

## 少品種高信頼セルによる演算器の提案と評価

鈴木 一範<sup>†</sup> 中田 尚<sup>†</sup> 中西 正樹<sup>†</sup> 山下 茂<sup>†</sup> 中島 康彦<sup>†</sup>

<sup>†</sup> 奈良先端科学技術大学院大学

〒 630-0192 奈良県生駒市高山町 8916-5

E-mail: †{kazunori-s, nakada, m-naka, ger, nakashim}@is.naist.jp

あらまし 近年のトランジスタ製造プロセスの微細化によって、トランジスタの故障率の増加が無視できない問題となっている。故障率の増加を抑える手法として、我々はトランジスタが規則的に配置されたセルを提案した。このセルは PMOS と NMOS を組み合わせたものを基本単位として構成されている。我々の提案したセルは、従来のセルに比べて壊れにくく、また故障を検出する機能を備えている。本論文ではこのセルで構成された演算器の提案および評価を行った。提案した演算器は、従来のセルで構成された演算器とトランジスタ数がほぼ同等でありながら、耐故障性に優れていることが分かった。

キーワード 性能ばらつき, 故障検出, 耐故障性

## A Functional Unit with Small Variety of Highly Reliable Cells and Its Evaluation

Kazunori SUZUKI<sup>†</sup>, Takashi NAKADA<sup>†</sup>, Masaki NAKANISHI<sup>†</sup>, Shigeru YAMASHITA<sup>†</sup>, and Yasuhiko NAKASHIMA<sup>†</sup>

<sup>†</sup> Nara Institute of Science and Technology

8916-5 Takayama, Ikoma, Nara, 630-0192 JAPAN

E-mail: †{kazunori-s, nakada, m-naka, ger, nakashim}@is.naist.jp

**Abstract** Recently, the shrinking process causes growth of error rate. We have proposed new standard cells in which transistors are arranged regularly in order to reduce errors. These cells are composed of pairs of PMOS and NMOS. The proposed cells are more robust against transistor faults and can also detect them. In this paper, we propose and evaluate a functional unit that is composed of the proposed cells. The number of transistors in our proposed functional unit is comparable that by traditional cells. Moreover our proposed functional unit has better fault tolerance.

**Key words** transistor variation, fault detection, fault tolerance

### 1. はじめに

近年、トランジスタ製造プロセスの微細化によって、トランジスタの性能ばらつきが大きくなる傾向にある。ばらつきが増大することによって高速化や低消費電力化といった回路最適化の実現が困難になる。そこで規則的にトランジスタが配置されたセルを使用し、かつ使用するセルの種類を少なくすることでばらつきを抑えることができる。

また、プロセス微細化によってトランジスタの故障率も増大する傾向にある。この問題に対する一般的な解決策は、図 1 の (A) のように回路を多重化し、後段に多数決回路を設置する方法 [1] である。しかし多重化の場合であっても、(B) のように、

故障率増加によって多重化した複数の回路、あるいは多数決回路内で故障が発生した場合は対処できない。

そこで我々はトランジスタが規則正しく配置されており、かつ以下の機能を持った少品種セルを提案した [2]。

(1) セル内で PMOS、あるいは NMOS が一定個故障しても正しい値を出力するセル

(2) トランジスタが一定個より多く故障した場合、その故障を検出できるセル

以下、上記の機能を持ったセルを「高信頼セル」と呼ぶ。本稿では高信頼セルを用いて構成した演算器について評価を行い、高信頼セルがトランジスタの故障に対して頑健であることを示す。

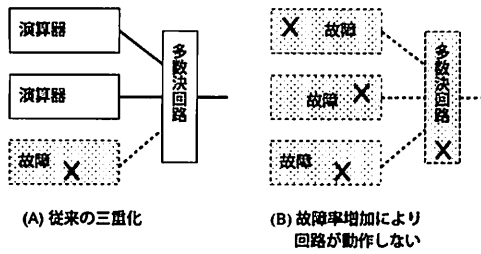


図 1 従来の演算器の構成とその問題点

以降の本稿の構成は以下の通りである。まず、2章でトランジスタの性能ばらつきと故障に対する対策を述べる。続いて高信頼セルの構成について説明する。次に3章で評価方法について述べる。4章で評価結果を示す。5章で考察を行い、最後に6章でまとめを述べる。

## 2. 性能ばらつきと故障に対する対策

本章では、プロセス微細化によって生じた性能ばらつきと故障に対する対策を述べる。

### 2.1 性能ばらつきへの対策

LSI設計の複雑さやコストを減少させることで性能ばらつきを抑える。複雑さを減少させるために、限られたパターンのセルを使用する。またセル自体におけるトランジスタの配置を規則的にすることによっても設計の複雑さを低減する。以上をまとめると、トランジスタが規則的に配置された少品種セルを使用することによって性能ばらつきを抑えることができる。

この方法の問題点として、従来のように自由にセルを配置できないため、使用するトランジスタ数が増加するということがあげられる。この問題はプロセス微細化によって搭載されるトランジスタ数が増加することにより解決できると考えられる。

### 2.2 故障への対策

本節ではセル内でトランジスタが故障している、ということ認識するためにセルに付加されていることが望ましい機能について述べる。また、本節ではセルの正しい出力値を正常値と、正常値とは異なるセルの出力値を異常値と呼ぶ。

- セルの出力値が正常値か異常値かを区別できる  
故障が発生しているという情報を、異常値が出力されているという情報に置き換える。これによって、故障が発生していることをセルの外部から検出できる。
- セル内のトランジスタが故障した場合、異常値を出力  
セル内のトランジスタが故障した場合は、入力信号が正常値であっても異常値を出力する。これによって故障したという情報がセルの外部に出力される。
- 異常値が入力された場合、異常値を出力  
異常値が入力された場合は、セル内のトランジスタが全く故障していなくても異常値を出力する。これによって、異常値が後続のセルへと伝搬される。また、故障した回路に異常値が入力された場合も異常値を出力する。

以上3つの機能がセルに備わっている場合、回路の出力を調

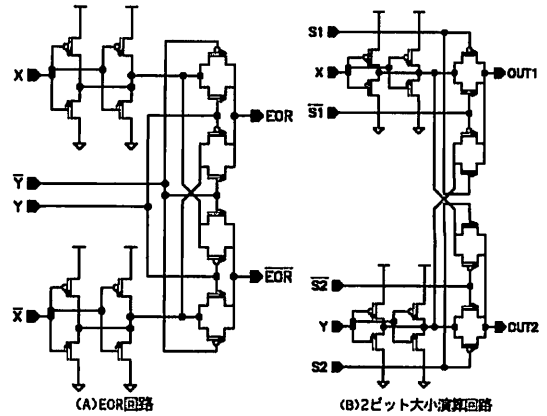


図 2 高信頼セルによる EOR 回路および 2 ビット大小演算回路

べることによって回路に故障が発生しているかどうか判定できる。

### 2.3 高信頼セルの実現方法

2.2節で述べた機能を実現するために次のような特色を持つセルを提案する。また本稿では高信頼セルを用いた比較器を設計する。

まず、入出力信号が異常かどうかを判定するためにセルの入出力に正論理と負論理を利用する。つまり、信号線の数が2倍になる。そして正論理と負論理で同じ値が出力されることで故障を検出する。以下、正論理と負論理で同じ値が出力されることを「不正値を出力する」と定義する。

次にセルの構成要素として伝送ゲートを使用する。伝送ゲートを使用することにより、PMOSとNMOSの片方が壊れても回路は動作する。高信頼セル内で故障が発生している状態を、PMOSとNMOSの両方が壊れ、物理的に断線している状態と定義する。

図2(A)に高信頼セルで構成されたEOR回路を示す。入力信号として、 $X$ と $Y$ の正負論理を使用しており、かつ出力信号もEORの正負論理となっている。このEOR回路は不正値が入力された場合、必ず不正値を出力する仕様になっている。また図2のように、伝送ゲートへの入力信号に対してはインバータを通して信号を強める必要がある。

次に、図2(B)に高信頼セルで構成された2ビットの大小演算回路を示す。この回路の出力は以下の論理式で表される。

$$OUT1 = (\overline{S1} \wedge \overline{X}) \vee (S1 \wedge \overline{Y}) \quad (1)$$

$$OUT2 = (\overline{S2} \wedge \overline{X}) \vee (S2 \wedge \overline{Y}) \quad (2)$$

この回路は $S1$ および $S2$ によって $\overline{X}$ 、 $\overline{Y}$ の片方を出力する。入力信号のうち、 $S1$ と $S2$ には正負論理を使用している。しかし $S1$ と $\overline{S1}$ のペア、あるいは $S2$ と $\overline{S2}$ のペアについて不正値が入力された場合に不正値が出力されない場合が存在する。例えば、 $(X, Y, S1, \overline{S1}, S2, \overline{S2}) = (0, 1, 0, 0, 0, 1)$ の場合 $S1$ のペアについて不正値が入力されているが、出力は $(OUT1, OUT2) = (1, 0)$ となる。不正値が出力されないということは、回路が故障しているということを検出できない。これ

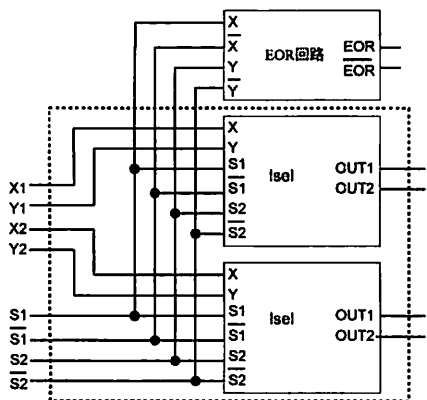


図3 EOR回路によるエラー伝搬

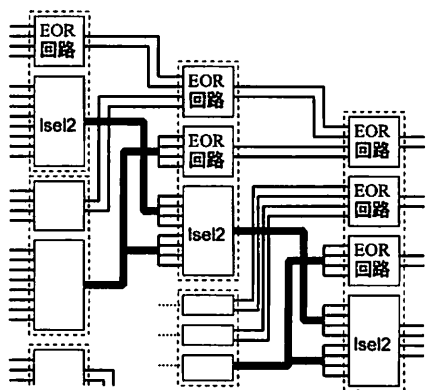


図4 isel2によるツリー状回路の構成

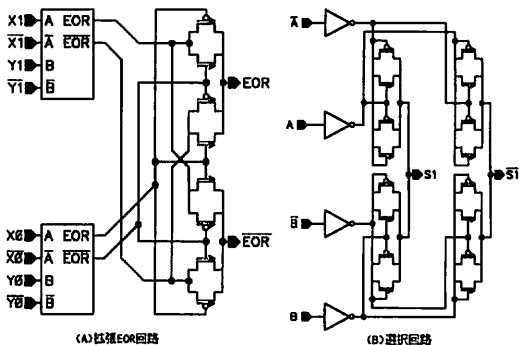


図5 高信頼セルによる拡張EOR回路および選択回路

を回避するためには、図2(B)で示したEOR回路を図3のように2ビット大小演算回路と並列に設置する。EOR回路への入力信号は2ビット大小演算回路に入力される $S1, \bar{S1}, S2, \bar{S2}$ になる。EOR回路の出力を調べることで、故障を検出する。

また、2ビット大小比較回路は6入力2出力であるが、図3の点線の枠内のように2つ並べて設置することで8入力4出力の回路が構成できる。以下、図2の2ビット大小比較回路を「isel」、iselを2つ並べて設置した8入力4出力の大小演算回路を「isel2」と呼ぶ。

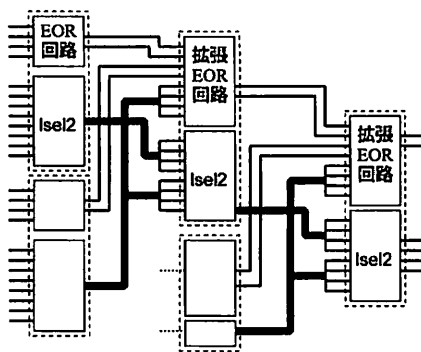


図6 拡張EOR回路によるEOR回路出力信号の低減

ここで isel2 をツリー状に構成した回路を考える。図4に回路構成を示す。図4中の太線は4ビットをまとめたバスであり、点線の枠で囲まれた部分はツリーを構成する基本単位を示している。今、1段目におけるEOR回路の出力ビット数が図4のように2ビットだったとする。その場合2段目のEOR回路に対しては、1段目のEOR回路の出力4ビットと isel2 の出力結果の片方4ビットが入力として与えられる。よってEOR回路が2つ必要となり、EOR回路の出力ビット数も4ビットに増加する。以下、1段増えるごとにEOR回路の出力が2ビットずつ増加する。

最終段でのEOR回路の出力が $2X$ ビットだった場合、回路が故障しているかどうかを判定するには、別のEOR回路を用いてこの $2X$ ビットを2ビットに収束させる必要がある。収束させるための一般的な手法は、EOR回路でツリー状に構成された回路を本来の回路の最終段の後続に設置するというものである。しかし回路の最終段の後続に設置するため、回路で演算するサイクルと同じサイクル内で2ビットへの収束が間に合わない可能性がある。つまり、回路が故障しているかどうかの判定が1サイクルまたはそれ以上遅れる可能性がある。これを回避するために、図5(A)で示した8入力2出力のEOR回路を用意する。

図5(A)は前にEOR回路を2つ配置し、その出力4ビットをさらに後ろのEOR回路に通すという構造になっている。これにより8入力2出力のEOR回路が実現される。以下、図5(A)を**拡張EOR回路**と呼ぶ。拡張EOR回路を図6のように2段目以降のEOR回路の代わりとして設置する。その結果、各段でのEOR回路の出力が常に2ビットに抑えられる。

本来なら拡張EOR回路の後半部分にあるEOR回路に信号を送る際はインバータを通じて信号を強める必要がある。ツリー状のEOR回路では出力信号のファンアウト数が増加しないため、インバータで信号を強める必要はない。しかしインバータで信号を強めないで、拡張EOR回路を通過する時間の方が2段のEOR回路を通過する時間より長い場合が考えられる。つまり、拡張EOR回路を用いて2ビットに収束させた場合の遅延時間がEOR回路+最終段の後ろにEOR回路を設置して2ビットに収束させた場合の遅延時間より短ければ、拡

張 EOR 回路を使用する方が有利であると言える。

### 2.4 故障を隠蔽するための最終段の構成

従来セルでは故障を検出するために、回路を3重化し、最終段に多数決回路を設置する。一方高信頼セルでは、回路を2重化し、最終段に正常な出力の組み合わせを選択できる回路を設置する。図5(B)に選択回路を示す。図5(B)は入力として2組の正負論理を持つ。両方の正負論理が等しい場合はそのまま出力する。片方の正負論理が正しく、もう片方の正負論理が不正値だった場合は、正しい方の正負論理を出力する。両方の正負論理が不正値だった場合は不正値を出力する。

## 3. 評価方法

本章では、2章で述べた高信頼セルが実際に故障に強いかどうかを評価する方法を述べる。評価基準として、64ビット比較器を作成し、一定割合のPMOSあるいはNMOSが故障した場合、どれだけ確率で回路が動作しているかという動作確率を用いた。動作確率が高いほど、その回路は故障に強いと言える。以下、比較器の構成方法および仮定した故障パターンについて説明する。本章ではXもしくはYがついている信号名を入力信号名とする。また入力信号名において0, 1がついている場合は0が下位ビット, 1が上位ビットの信号とする。

### 3.1 比較対象の演算器構成

本節では従来セル、および高信頼セルを用いて64ビット比較器を構成する手法について述べる。

#### 3.1.1 従来セルを用いた構成

まず比較対象として、高信頼セルを用いず従来セルを用いて比較器を構成する方法について述べる。

図7に回路の構成を示す。図7(A)は通常のNANDゲートとNOTゲートで構成された1ビット比較器であり  $X \geq Y$  の場合は  $GE$  (Greater Than or Equal) に1が、 $X \leq Y$  の場合は  $LE$  (Less Than or Equal) に1が出力される。図7(B)は2ビットの比較結果から1ビットの比較結果を生成する回路である。1ビット比較器で生成された2つの  $GE, LE$  のペアから1つの  $GE, LE$  が生成される。図7(B)の回路をツリー状に並べることにより64ビット比較器を構成する。

また、比較器を3重化し2入力NANDゲートと3入力NANDゲートで構成された多数決回路を最終段に設置することで回路を多重化する。

#### 3.1.2 高信頼セルを用いた構成

本節では、高信頼セルを用いて比較器を構成する方法について述べる。まず、1ビット比較器について説明する。図8は高信頼セルを用いた1ビット比較器である。図7と同様に  $X \geq Y$  の場合は  $GE$  に1が、 $X \leq Y$  の場合は  $LE$  に1が出力される。また  $X > Y$  の場合は  $GT$  (Greater Than) に1が、 $X < Y$  の場合は  $LT$  (Less Than) に1が出力される。 $GT$  と  $LE, GE$  と  $LT$  は論理が逆であり、高信頼セルにおける正論理と負論理にあたる。

次に2ビット比較について説明する。2ビットの比較演算は次式で表される。

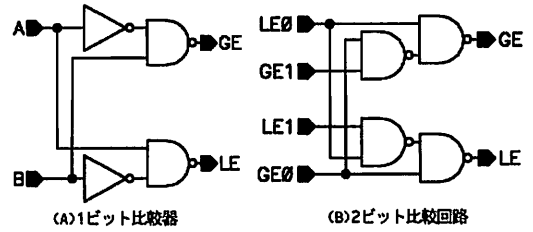


図7 従来セルによる1ビット比較器および2ビット比較回路

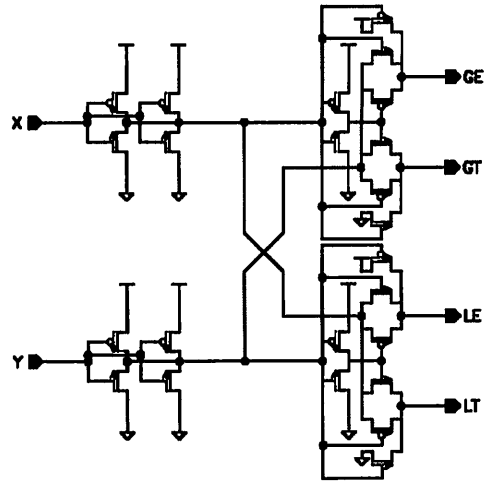


図8 高信頼セルによる1ビット比較器

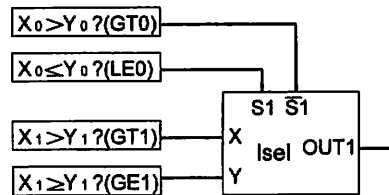


図9 Isel による2ビット比較演算の実現

$$(X_1 X_0 > Y_1 Y_0) = ((X_0 \leq Y_0) \wedge (X_1 > Y_1)) \vee ((X_0 > Y_0) \wedge (X_1 \geq Y_1)) \quad (3)$$

式3において  $(X_0 \leq Y_0)$  と  $(X_0 > Y_0)$  は正負が逆である。つまり  $X_0 \leq Y_0$  の真偽によって、 $X_1 > Y_1$ 、もしくは  $X_1 \geq Y_1$  を選択することにより、2ビットの比較演算  $X_1 X_0 > Y_1 Y_0$  を実現できる。 $X_0 \leq Y_0$  を  $Isel$  の  $S1$  への入力とすると、2ビットの比較演算は  $Isel$  の一部を使用し、図9のように実現できる。また  $X_1 X_0 \geq Y_1 Y_0$  という比較演算は次式で表される。

$$(X_1 X_0 \geq Y_1 Y_0) = ((X_0 < Y_0) \wedge (X_1 > Y_1)) \vee ((X_0 \geq Y_0) \wedge (X_1 \geq Y_1)) \quad (4)$$

2ビット比較演算  $X_1 X_0 \geq Y_1 Y_0$  も  $X_1 X_0 > Y_1 Y_0$  の演算と同様に、 $X_0 < Y_0$  の真偽によって  $X_1 > Y_1$ 、もしくは  $X_1 \geq Y_1$  を選択することによって実現可能である。以下、同様に  $X_1 X_0 < Y_1 Y_0$ 、 $X_1 X_0 \leq Y_1 Y_0$  の演算はそれぞれ式4、式3

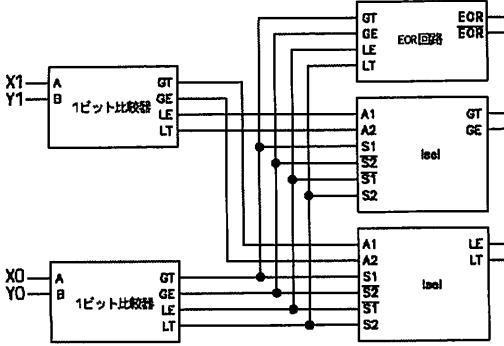


図 10 高信頼セルによる 2 ビット比較回路の実装方法

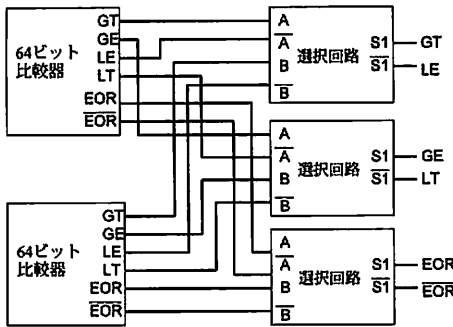


図 11 64 ビット比較器における選択回路の実装方法

の否定で表すことができる。

よって図 8 の 1 ビット比較器と図 2 (B) の lsel を用いて、図 9 のような回路を構成することによって、上記 4 つの 2 ビット比較演算が実現される。2 ビット比較器全体を図 10 に示す。lsel におけるセレクト信号  $S1, \bar{S1}, S2, \bar{S2}$  にはそれぞれ  $X_0 > Y_0, X_0 \leq Y_0, X_0 < Y_0, X_0 \geq Y_0$  を与える。また lsel を使用するため 2.3 節で述べたように拡張 EOR 回路を並列に設置し、最終段での EOR 回路の出力を 2 ビットに抑える。

また比較器を 2 重化して、正負論理となっているペア (GT, LE), (GE, LT) および EOR 回路の出力をそれぞれ図 5 (B) で示した選択回路に接続することで回路を多重化する。図 11 に拡張 EOR 回路を使用した 64 ビット比較器を多重化した場合の接続方法を示す。

### 3.2 仮定する故障のパターン

まず故障が発生するセルを、従来セルの場合では図 7 (B) 内の NAND ゲート 4 つのみとした。高信頼セルの場合では lsel 内のみとした。本来なら、すべてのセルにおいて故障が発生したとすべきであるが、今回は予備評価として回路内で一番大きな割合を占めている 2 ビット比較結果から 1 ビットの比較結果を生成する部分を故障が発生する対象とした。以下、2 ビット比較結果から 1 ビットの比較結果を生成する部分を「2 ビット比較回路」と呼ぶ。

NAND では PMOS, あるいは NMOS が 1 つ壊れただけでも故障となり回路が動作しない。一方、lsel では PMOS, ある

表 1 各回路における出力信号の遅延時間

| 構成方法                | 遅延時間     |
|---------------------|----------|
| 従来セル (3 重化)         | 1063.3ps |
| 高信頼セル+EOR           | 1128.1ps |
| 高信頼セル+拡張 EOR        | 994.97ps |
| 高信頼セル+EOR (2 重化)    | 1183.9ps |
| 高信頼セル+拡張 EOR (2 重化) | 1122.5ps |

表 2 各回路におけるトランジスタ数

| 構成方法                | トランジスタ数 |
|---------------------|---------|
| 従来セル (3 重化)         | 5364    |
| 高信頼セル+EOR           | 5472    |
| 高信頼セル+拡張 EOR        | 5304    |
| 高信頼セル+EOR (2 重化)    | 11200   |
| 高信頼セル+拡張 EOR (2 重化) | 10704   |

いは NMOS が 1 つ壊れただけでは故障は発生しないがペアの 2 つ壊れた場合は故障となるケースがある。lsel においてトランジスタが 2 つ壊れた場合に、回路全体が故障となるパターンはダブルインバータ以外の部分における伝送ゲートの両方が壊れた場合である。

多重化を行ってない回路については 2 ビット比較回路内で最大 8 つまで故障が発生したと仮定し、各故障数ごとに故障が起こりうる全パターンを算出した上で動作確率を計算した。多重化を行った回路については故障の分布があると仮定した上で、多重化を行ってない回路の故障率を元に計算を行った。

## 4. 性能評価

本章では 3 章で示した各回路について評価した結果を述べる。HSPICE でのシミュレーションに際しては Rohm の 0.18 $\mu$ m のトランジスタモデルを使用した。

### 4.1 回路遅延

最初に、HSPICE を使用し各回路について出力信号の遅延時間を計測した。従来セル (3 重化) について比較結果である GE, LE の出力の遅延時間の最悪値を出力信号の遅延時間とした。EOR 回路を含む場合は比較器で出力された比較結果の遅延時間の最悪値と EOR 回路の出力 12 ビットを 2 ビットに収束させた場合に要した遅延時間の最悪値 265.3ps の合計とした。拡張 EOR 回路を含む場合は、拡張 EOR 回路の出力の遅延時間の最悪値とした。一覧を表 1 に示す。

表 1 から、高信頼セル+EOR 回路を使用した場合は従来セル (3 重化) と比べて約 65ps 遅く高信頼セル+拡張 EOR 回路を使用した場合は従来セル (3 重化) より約 70ps 早いということが分かった。このことから、EOR 回路の出力 12 ビットを収束させることによって高信頼セル+EOR 回路全体で遅延時間は増える、また拡張 EOR 回路を使用する場合は動作速度の低下はないと言える。

また表 1 から、EOR 回路の結果を 2 ビットに収束させるのに必要な遅延時間は拡張 EOR 回路の方が EOR 回路より多重化を行ってない場合で約 130ps、多重化を行った場合でも約 60ps 早いということが分かった。トランジスタ数も考慮した場合、

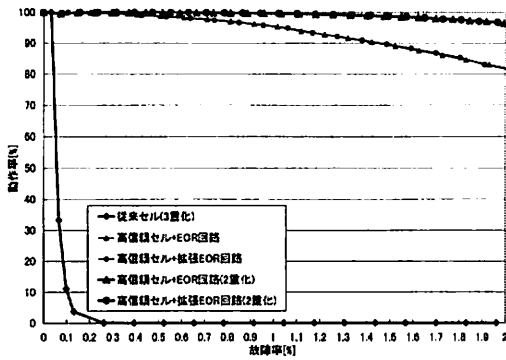


図 12 故障率を変化させた場合の動作率

高信頼セル+EOR 回路+取戻回路で構成された比較器のトランジスタ数は 5552 個になる。これは高信頼セル+拡張 EOR 回路に比べて約 5%多く、拡張 EOR 回路を用いた方がトランジスタ数で有利であると言える。

#### 4.2 トランジスタ数

次に各回路におけるトランジスタ数を計測した。表 2 に一覧を示す。

表 2 から従来セル (3 重化) と高信頼セル+EOR 回路、あるいは高信頼セル+拡張 EOR 回路がほぼ同じトランジスタ数となることが分かった。しかし、高信頼セルでかつ 2 重化を行った場合はトランジスタ数は従来セル (3 重化) と比べて約 2 倍にまで増加した。

#### 4.3 故障による動作率

最後に各回路について故障しているトランジスタの割合を 0%から 2%まで変化させた場合の動作率について計算を行った。結果を図 12 に示す。図 12 中の細い線は多重化していない回路を示し、太い線は多重化した回路を示している。図 12 において、高信頼セル+EOR 回路の動作率と高信頼セル+拡張 EOR 回路の動作率がほぼ重なっている。また、高信頼セル+EOR 回路 (2 重化) の動作率と高信頼セル+拡張 EOR 回路 (2 重化) の動作率もほぼ重なっている。

図 12 から従来セル (3 重化) と比べて、高信頼セル+EOR 回路、あるいは高信頼セル+拡張 EOR 回路は故障に強いということが分かった。そして EOR 回路、あるいは拡張 EOR 回路のどちらを使用したとしても動作率についてはほぼ等しいということが分かった。

また図 12 から高信頼セルにおいて 2 重化を行った場合と 2 重化を行わない場合とでは、2 重化を行った方が動作率が高いという事が分かった。しかし 4.2 節で述べたように、2 重化を行った場合は従来セル (3 重化) と比べてトランジスタ数が約 2 倍になる。

## 5. 考 察

高信頼セルを用いることによって、従来セル (3 重化) とほぼ同じトランジスタ数でありながら従来セル (3 重化) より十分高い信頼性を得ることができた。また高信頼セルを用いた回

路に対して 2 重化を行うことによってより高い信頼性を得ることができる。しかし従来セル (3 重化) と比べてトランジスタ数を約 2 倍使用することになる。以上から高信頼セルを用いる場合は、2 重化を行い、従来の回路よりトランジスタ数を 2 倍になるがより高い信頼性を得るか、あるいは従来の回路とほぼ同程度のトランジスタ数である、2 重化を行わない高信頼セルを使用しそれなりに高い信頼性を得るかのトレードオフになることが想定される。

今回は故障の評価方法として、2 ビット比較回路において特定の箇所が壊れた場合を故障した回路とみなしたが、実際の回路では 2 ビット比較回路以外の部分である 1 ビット比較器や EOR 回路でも故障が発生する。EOR 回路で故障が発生した場合は 2 ビット比較回路で故障が発生していなくても、つまり比較結果が正しい場合であっても故障が発生したとみなされる。また、1 ビット比較器で故障が発生した場合は 2 ビット比較回路で故障が発生しなくても回路全体では故障となる。よって、シミュレーションにおいて故障の対象となる回路の範囲を増やした場合は動作率が減少すると予想される。

## 6. ま と め

近年プロセス微細化によるトランジスタの故障率増加が問題となっている。我々は、故障率増加を抑える手法として PMOS と NMOS を規則的に配置した少品種セルを提案した。このセルの特徴として、壊れにくく、壊れた場合その故障が検出できる、故障検出機能を演算器内に埋め込むことができる、という点があげられる。また、PMOS と NMOS が規則的に配置されており、かつ種類が少ないためトランジスタの性能ばらつきを抑えることもできる。本稿ではこのセルを組み合わせて構成された 64 ビット比較器について評価を行った。

評価の結果、提案したセルで構成された比較器は通常の 3 重化を行った比較器より高速に動作し、かつ耐故障性については 3 重化を行った比較器よりはるかに優れていることが分かった。しかし提案したセルで構成された比較器の多重化を行った場合、信頼度はさらに高まるがトランジスタ数が約 2 倍に増加する。

今後は、回路のレイアウトを行い、回路面積の具体的な評価や、VDEC を通じて上記の演算器で構成されたチップの試作を行う予定である。

**謝辞** 本研究の一部は科学研究費補助金 (基盤研究 (B) 課題番号 19300012) による。また、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、ローム (株) および凸版印刷 (株) の協力で行われたものである。

## 文 献

- [1] J Von Neumann: "Probabilistic Logics and the Synthesis of Reliable Organisms from Unreliable Components", pp. 43-98, Princeton Univ. Press (1956).
- [2] 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦, "細粒度命令分解と少品種セルによる高信頼化アーキテクチャの提案", 情報処理学会研究報告, 2007-ARC-175, pp. 61-66, Nov, 2007.