

高信頼性モードと高速アクセスモードを有するディペンダブル SRAM

奥村 俊介 藤原 英弘 井口 友輔 野口 紘希 森田 泰弘 川口 博 吉本 雅彦

神戸大学 〒657-8501 神戸市灘区六甲台町 1-1

E-mail: s-oku@cs28.cs.kobe-u.ac.jp

あらまし 信頼性を動的に変化させることが可能なディペンダブル SRAM を提案する。提案する SRAM は 7 トランジスタ (7T) 構成であり、2 つの従来 6T メモリセルを 1 組として、双方の内部ノードを追加トランジスタで接続する。提案 SRAM は通常モード、高速アクセスモード、そして高信頼性モードの 3 種類のモードを有する。提案 SRAM の高速アクセスモードでは、従来の 6T SRAM と比較して読出しセル電流が 142% 増加し、その結果読出し時のビット線放電時間は 66.3% 短縮される。また、高信頼性モードにおいては、Bit error rate (BER) が 2.5×10^{-2} 改善された。面積オーバーヘッドは追加トランジスタに PMOS を用いた場合は 12% である。

キーワード SRAM, ディペンダブル LSI, Quality of a bit

A Dependable SRAM with high-reliability mode and high-speed mode.

Shunsuke Okumura, Hidehiro Fujiwara, Yusuke Iguchi, Hiroki Noguchi, Yasuhiro Morita,

Hiroshi Kawaguchi, and Masahiko Yoshimoto

Kobe University, 1-1 Rokkodai, Nada, Kobe, Hyogo 657-8501, Japan

E-mail: s-oku@cs28.cs.kobe-u.ac.jp

Abstract We propose a novel dependable SRAM with 7T memory cell pair, and introduce a new concept, "quality of a bit (QoB)" for it. The proposed SRAM has three modes: a typical mode, high-speed mode, and dependable mode, in which the QoB is scalable. That is, the area, speed, reliability, and/or power of one-bit information can be controlled. In the typical mode, assignment of information is as usual as one memory cell has one bit. On the other hand, in the high-speed or dependable mode, one-bit information is stored in two memory cells, which boosts the speed or increases the reliability. In the high speed mode, the cell current is increased by 142%, and bitline discharge time is reduced by 66.3%. Furthermore, in dependable mode, Bit error rate (BER) in proposed SRAM is improved by 2.5×10^{-2} . Compared with the conventional 6T memory cell, the respective area overheads are 30% and 12%, in the nMOS and pMOS additional cases.

Keyword SRAM, Dependable LSI, Quality of a bit

1. はじめに

近年、VLSI は様々な産業の基幹を担っており、コンピュータシステムの信頼性がますます重要となっている。しかし、プロセスの微細化が進むにつれてソフトウェアや NBTI (Negative bias temperature instability) のような動作不良がより頻繁に発生する傾向にある。また、素子特性のばらつきが増大することにより歩留まりの低下とともに信頼性も低下している。さらに、設計、製造プロセス、動作テストなどの各段階でエラーが発生する可能性がある。特に、SRAM はチップの動作安定性を決定する支配的な要因であり、より高い信頼性が求められている [1-6]。

LSI において、速度、供給電圧、温度、ソフトウェアの影響など、動作環境によって信頼性が変化するため、各環境下において、動的に信頼性を改善し、適応することが望まれている。さらに要求される信頼性はアプリケーションによっても異なるため、各種のア

リケーションに信頼性を対応させることが期待されている。本稿では SRAM の高信頼性を目指し、動的な信頼性の変化を可能とする 7T メモリセルペアで構成されたディペンダブル SRAM を提案する。

2. ディペンダブル SRAM 概要

SRAM の動作信頼性を決定する要因として動作環境が挙げられる。温度の変化や、供給電圧の低下によって SRAM の動作マージンは小さくなり、正常な動作が不可能となることがある。また、暗号化プログラム、銀行等の個人情報のデータと、スクリーンセーバプログラムデータの重要性が異なるように、アプリケーションごとに要求されるデータの信頼性は異なる。提案 SRAM では図 1 に示したように信頼性をブロックごとに動的に変化させることが可能である。通常モードブロック (Normal dependability block) においては、従来のように 1 つのメモリセルに 1bit のデータを割り

当て、一方、2つのメモリセルに1bitのデータを割り当てるブロックを高信頼性ブロック（Higher dependability block）とする。この構造ではメモリの容量が半分となるが、高い信頼性を実現する。

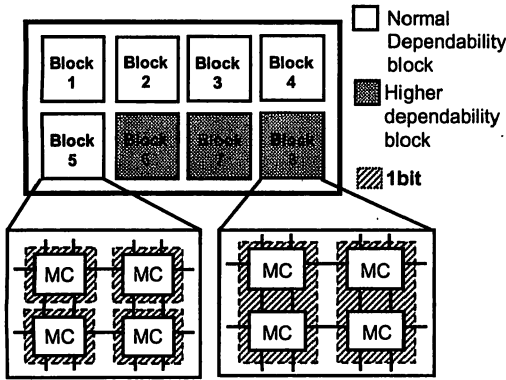


図1 ディペンダブルSRAM

例えば、OS（Operating system）では暗号化プログラムや個人情報などのプログラムに対して高い信頼性のブロックを割り当てる。アプリケーションソフトではシステムコールによってデータの信頼性を適切に割り振ることが可能となる。プログラムとデータの利用率がメモリの50%以下であるならば、メモリの容量を犠牲にすることなく、OSによって積極的に高信頼性ブロックへデータを記憶させることが可能である。また、データ量の少ない簡易なコードは常に高信頼性モードで動作させることも可能である。

上記のディペンダブルSRAMを実現するための提案メモリセルを以下の節から説明する。

3. ディペンダブルメモリセルと Quality of a bit (QoB) の概念

3.1. 6T メモリセルペア

図2に従来の6Tメモリセル2つを組としたメモリセルペアを示す。

従来の6Tメモリセルでは読出し、書込みの各動作においてWL[0]、WL[1]のどちらか“High”となり、1つのメモリセルのみがアクセスされる。この従来の方法を“1-MCモード”とする。1-MCモードのメモリセルはサイジングによって決定される動作マージンを動的に変化させることは不可能である。また、メモリセルの動作マージンはしきい値電圧のばらつきの影響を受けやすく、マージンの劣化が問題となる。

そこで、WL[0]とWL[1]の2つのWLを同時に“High”とし、同一のデータを2つのメモリセルに書込む。この方法を“2-MCモード”とする。2-MCモードでは

読出し時に2つのWLが立上がることにより、より多くのセル電流を得ることが可能となる。

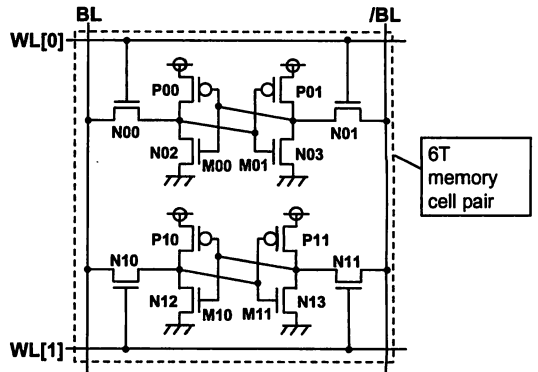


図2 6Tメモリセルペア

さらに、2-MCモードでの利点として自己修復効果が挙げられる。1-MCモードではメモリセルの各トランジスタ（Tr.）が大きくばらつき、動作マージンが小さくなる。その場合、メモリセルに記憶されたデータが読出し時に破壊される可能性がある。それに対し、2-MCモードでは動作マージンが確保されないメモリセル（Bad cell）のデータは動作マージンの確保されているもう一方のメモリセル（Good cell）によって修復される。図3に2-MCモードにおける自己修復効果を示す。Bad cellのデータが反転しても、このデータはGood cellによって維持され、正常な読出しが行われる。よって、動作マージンはペアとなっているメモリセルのうち動作マージンの大きいメモリセルによって決定され、ばらつきの影響を抑えることができる。

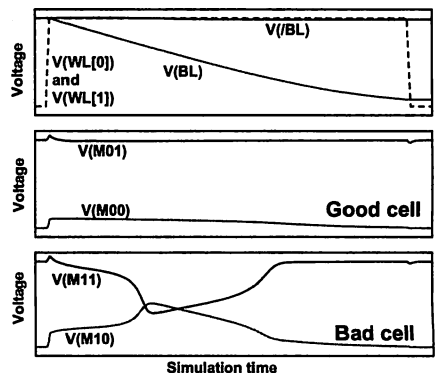


図3 自己修復効果

上述の6Tメモリセルペアにおける自己修復動作には、長時間のサイクルタイムを必要とする問題がある。これは、動作マージンを確保できないメモリセルの内部ノードが2つのビット線とアクセスTr.を介して、動

作マージンの大きいメモリセルによって徐々に修復されるためである。つまり、2つのビット線の電位差が十分に開いた後、自己修復が発生する。よって、アクセスタイムが高速であったとしても、内部ノードを正常が正常な値に落ち着き、適切な動作が可能となるためにはサイクルタイムが長くなる。

3.2. 提案 7T メモリセルペア

前節で述べた 6T メモリセルペアにおける問題を解決するために、メモリセルペアの内部ノードを付加 Tr. によって直接接続する 7T メモリセルを提案する。図 4、図 5 に提案 7T メモリセルの回路図とレイアウト図を示す。提案するメモリセルは、従来の 6T メモリセルペアの内部ノード (M00 と M10, M01 と M11) を 2 つの PMOS (P20, P21) で接続した構成である。同様に、PMOS の代わりに NMOS を使用することも可能である。しかし、従来の 6T メモリセルと比較して、面積オーバーヘッドが PMOS を追加したレイアウトでは 12%、NMOS を追加した場合 30% となり、面積の観点から PMOS を付加する回路を選択した。

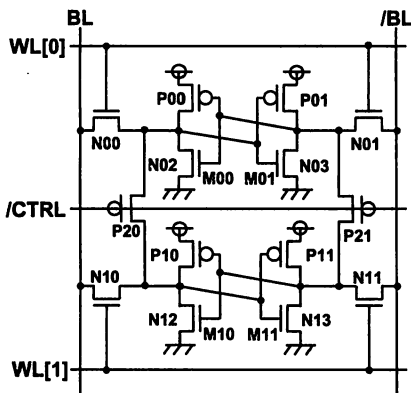


図 4 7T メモリセルペア

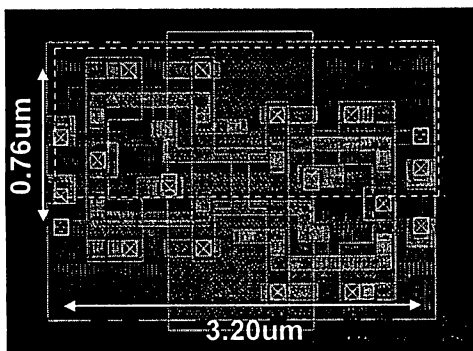


図 5 7T メモリセルペアレイアウト (90-nm)

メモリセルペアを付加 Tr. で接続することにより、提案メモリセルは 3 種類の動作モードが存在する。表 1 に各モードの 1bit あたりのメモリセル数と追加 Tr. の動作をまとめる。

表 1 提案メモリセルの各動作モード

動作モード	# of MCs stored 1bit	# of WL drive	P20, P21
通常モード	1	1	“OFF”
高速アクセスモード	2	2	“ON”
高信頼性モード	2	1	“ON”

- 通常モード (Typical mode) : WL が 1 本だけ立上がり、1bit のデータを 1 つのメモリセルに記憶する。
- 高速アクセスモード (High-speed mode) : WL が 2 本立上がり、1bit のデータを 2 つのメモリセルに記憶する。
- 高信頼性モード (Dependable mode) : 立上がる WL は 1 本のみであるが、1bit のデータを 2 つのメモリセルに記憶する。

高速アクセスモードと高信頼性モードにおいては、1bit のデータを 2 つのメモリセルで記憶するため、“データの品質” は通常モードとは異なる。以下に、各モードの詳細な動作を述べる。

3.2.1. 通常モード

通常モードでは追加 Tr. をオフ (/CTRL= “High”) の状態にさせ、従来の 6T メモリセルと同様の動作を行う。このモードでは従来の 6T メモリセルからの動作マージンの改善は得られないが、1bit あたりの面積が 3 種類のモードで最小となる。

3.2.2. 高速アクセスモード

高速アクセスモードでは、追加 Tr. をオン (/CTRL= “Low”) の状態とし、メモリセルペアどうしの内部ノード (M00 と M10, M01 と M11) を共有させる。WL[0] と WL[1] を同時にオンさせ、高速な読出しを可能とする。ビット線から 2 つのメモリセルへ流れる電流が同等であるため、アクセスタイムは 6T メモリセルの 2-MC モードと等しくなる。しかし、付加 Tr. によって内部ノードが直接接続されているため、自己修復の時間が短縮可能となる。その結果、サイクルタイムは 6T メモリセルの 2-MC モードより短縮される。

また、高速アクセスモードの書き込み動作においては、先に正しいデータの書き込まれたマージンの大きいメモリセルによって、書き込みマージンの小さいメモリセルの書き込みを補助する。さらに、追加 Tr. によって WL が閉じた後の反転もマージンの大きいセルによって防ぐ

ことが可能となる。よって、書込み動作においては高速アクセスモードが3種類の動作モードで最適となる。

3.2.3. 高信頼性モード

提案 7T メモリセルペアの最も重要なモードは高信頼性モードである。追加 Tr.をオンの状態とし、WL[0]か WL[1]のどちらか一方のみをオンとする。この構造により、読出し時に一つのアクセス Tr.を介して流れる電流を2つのドライブ Tr.で放電するため、内部ノードの電圧の上昇を抑えることが可能となり、読出しマージンが拡大される。

3.3. Quality of a bit (QoB)の概念

Quality of a Bit (QoB)とは、動作環境やアプリケーションに応じて1ビットあたりの面積、速度、そして信頼性を動的に変化させるという概念である。提案 SRAM は3種類のモードを有する。高速アクセスモード、高信頼性モードでは1bitのデータが2つのメモリセルに記憶される。このときのデータの品質は通常モードでのデータとは異なる。提案する 7T メモリセルを使用することによって、“より高速な”または“より高信頼の”情報を得ることが可能となる。すなわち、提案 SRAM では動作環境や使用するアプリケーションに応じて信頼性を維持・改善することが可能となる。

4. 信頼性とアクセスタイムの改善効果

この節では Bit Error Rate (BER) を用いた評価によって提案メモリセルの信頼性を示す。90nm プロセスにおける動的なセルの安定性をモンテカルロシミュレーションによって検証した。以下にシミュレーションにおける正常動作の判断条件を示す。

● 読出し動作

$$V (/BL) \geq V (BL) + 50mV \quad (1)$$

and

$$V (M00) \geq V (M01) \quad (2)$$

and/or

$$V (M10) \geq V (M11) \quad (3)$$

● 書込み動作

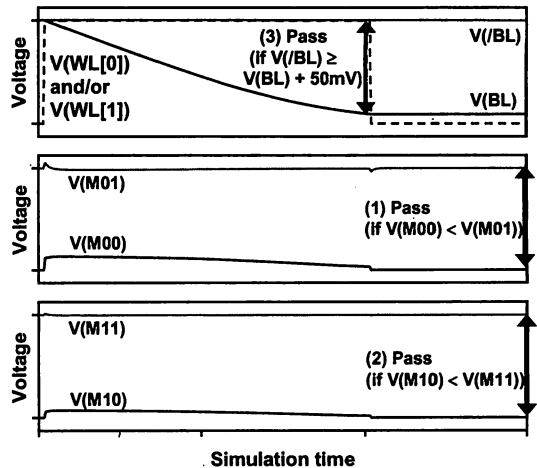
$$V (M00) \geq V (M01) \quad (4)$$

and/or

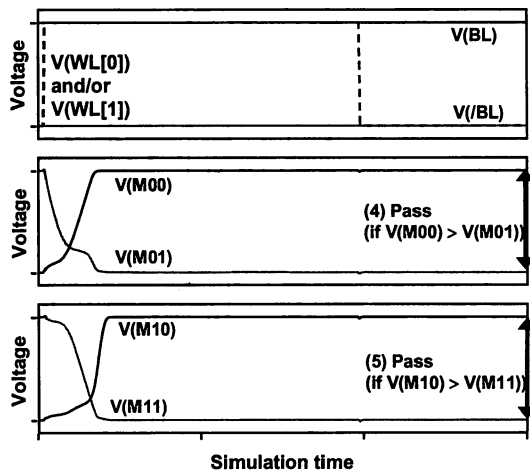
$$V (M10) \geq V (M11) \quad (5)$$

図6の(a)は読出し動作時の高速アクセスモードの波形の例である。6T メモリセルの2-MC モードや7T メモリセルの高速アクセスモード、高信頼性モードにおいては判定条件の(2)、(3)の両方で評価を行う。一方、6T メモリセルの1-MC モードや、7T メモリセルの通常モードにおいては(2)、または(3)のどちらか一方の条件のみで評価を行う。図6の(b)は書込み時の波形の例である。書込み時においても同様に2-MC モード、高速アクセスモード、高信頼性モードは(4)

かつ(5)の条件で評価を行い、1-MC モード、通常モードは(4)または(5)の一方の条件で評価を行う。



(a) 読出し波形



(b) 書込み波形

図6 BER 判定条件波形図

図7に読出し動作時のBERを示す。読出し動作マージンに対してワーストケースとなる、FS コーナー、125°Cの条件によるシミュレーションを行う。ワード線が立上がっている期間を20nsに設定し、自己修復の効果が十分に得られる時間で評価した。図7に示されているように、6T メモリセルの2-MC モードと提案7T メモリセルの高速アクセスモードではほぼ同等の信頼性が得られており、2つのメモリセルに1bitのデータを書込んだことによる自己修復の効果が表れている。さらに、提案7T メモリセルの高信頼性モードがBER 10^{-3} の時、従来の6T メモリセルと比較してBER

が 2.5×10^{-2} 改善されている。これは、読出し動作マージンが他のモードと比較して大きいためである。高信頼性モードにおいては2つのアクセス Tr.に対し、4つのドライブ Tr.が接続されるため、3種類の動作モードで最も安定した読出しが可能である。

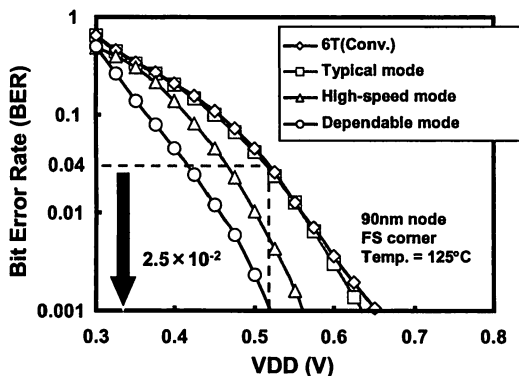


図 7 Bit Error Rate (読出し)

書き込み時の BER を図 8 に示す。2-MC モードでは 1-MC モードと比較して BER が高くなる。この理由は 1つのメモリセルにデータを書込むより、2つのメモリセルに同時に書き込みを行う方が困難であるからである。しかし、直接内部ノードを接続した提案 7Tr.メモリセルペアでは高速アクセスモードでの書き込みの信頼性が改善されている。これは、ワード線が閉じた後も追加 Tr.によって書き込みマージンの小さいセルへの書き込みが補助され、ばらつきの影響を抑えられるためである。また、高信頼性モードでは 2つのアクセス Tr.から 2つのメモリセルにデータを書込む必要があるため、書き込みには適していない。よって、1bitのデータを2つのメモリセルで記憶する場合は、高速アクセスモードによる書き込みが適している。

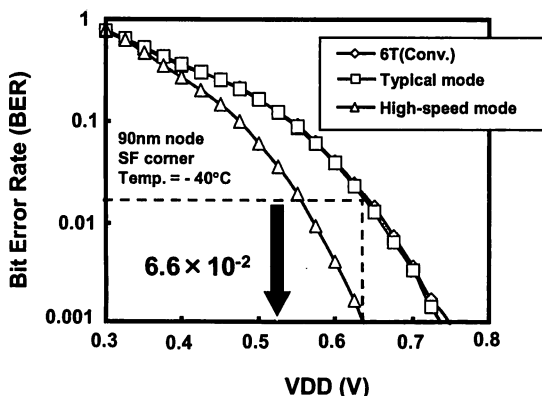


図 8 Bit Error Rate (書き込み)

図 9 に 2-MC モードと高速アクセスモードにおけるセル電流の優位性を示す。図 9 に示されているように、上記の2つのモードでは従来 6T の 1-MC モードと比較してセル電流が 142%増加している。ローカル V_{th} (しきい値電圧) ばらつきによってメモリセルペアの上下2つともワーストケースになる確率は非常に低い。よって、2-MC モードと高速アクセスモードにおいてセル電流は2倍以上となる。つまり、ローカルばらつきの影響は2つのメモリセルを接続することで抑制することが可能となる。それによって、読出し動作において高速なアクセスタイムの実現が可能となる。

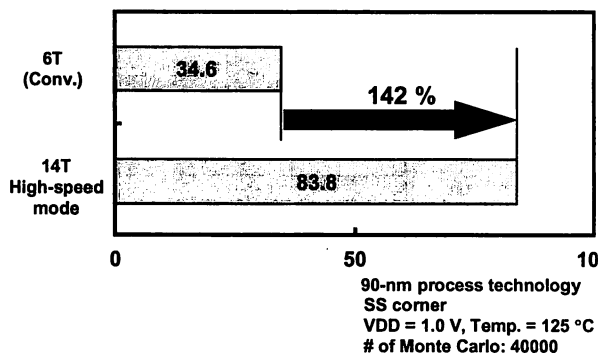
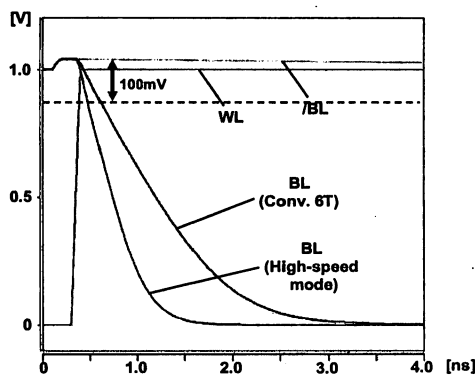
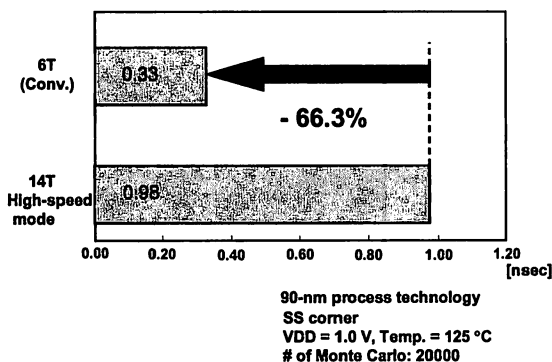


図 9 セル電流

図 10 に高速アクセスモードによるアクセスタイムの短縮効果を示す。前章で述べたように、高速アクセスモードは 6T メモリセルよりも多くのセル電流を得られるため、ビット線を放電する時間の短縮が可能である。メモリセルのデータはセンスアンプによって2本のビット線の微小電位差を増幅して読出されるため、シミュレーションではビット線の電位差が 0.1V 開くまでの時間を測定している。従来の 6T メモリセルのビット線放電時間が 0.98ns、提案 7T メモリセルの高速アクセスモードでは 0.33ns であり、66.3%のビット線放電時間の短縮が可能となる。



(a) 読出し波形



(b) ビット線放電時間比較

図 10 ビット線放電時間短縮効果

5. まとめ

本研究では、信頼性を動的に変化させることが可能なディペンダブル SRAM を提案した。提案する SRAM は 7 トランジスタ構成であり、従来の 2 つの 6T メモリセルを 1 組として、双方の内部ノードを追加トランジスタで接続する。提案 SRAM は通常モード、高速アクセスモード、そして高信頼性モードの 3 種類のモードを有する。3 種類のモードを使い分けることにより、メモリセルブロックごとに動的に信頼性を変化させることが可能となる。通常モードにおいては従来同様 1bit のデータを 1 つのメモリセルに記憶するが、高速アクセスモード、高信頼性モードにおいては 1bit のデータを 2 つのメモリセルに記憶する。この構造により高速読出しと高い信頼性の実現が可能となる。

提案 SRAM の高速アクセスモードでは、従来の 6T SRAM と比較して読出しセル電流が 142% 増加し、その結果、読出し時のビット線放電時間は 66.3% 短縮される。また、高信頼性モードにおいては、従来の 6T

メモリセルと比較して Bit error rate (BER) を 2.5×10^{-2} 改善した。90nm プロセスにおいて面積オーバーヘッドは、追加トランジスタに PMOS を用いた場合は 12% である。

6. 参考文献

- [1] International Technology Roadmap for Semiconductors
http://www.itrs.net/Common/2005ITS/Home2005.htm
- [2] L. Chang, Y. Nakamura, R. K. Montoye, J. Sawada, A. K. Martin, K. Kinoshita, F. H. Gebara, K. B. Agarwal, D. J. Acharyya, W. Haensch, K. Hosokawa and D. Jamsek, "A 5.3GHz 8T-SRAM with Operation Down to 0.41V in 65nm CMOS," 2007 Symposium on VLSI Circuits Digest of Technical Papers, pp. 252-253, June 2006.
- [3] H. Pilo, J. Barwin, G. Bracer, C. Browning, S. Burns, J. Gabric, S. Lamphier, M. Miller, A. Roberts, F. Towler, "An SRAM Design in 65nm and 45nm Technology Nodes Featuring Read and Write-Assist Circuits to Expand Operating Voltage," 2006 Symposium on VLSI Circuits Digest of Technical Papers, pp. 15-16, June 2006.
- [4] M. Khellah, D. E. Khalil, D. Somasekhar, Y. Ismail, T. Karnik, V. De, "Effect on Power Supply Noise on SRAM Dynamic Stability," 2007 Symposium on VLSI Circuits Digest of Technical Papers, pp. 76-77, June 2007.
- [5] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa, And T. Kawahara, "90-nm process-variation adaptive embedded SRAM modules with power-line-floating write technique," IEEE J. Solid-State Circuits, vol. 41, no. 3, pp. 705-711, March 2006.
- [6] H. Yamauchi, T. Suzuki, Y. Yamagami "A 1R/1W SRAM Cell Design to Keep Cell Current and Area Saving against Simultaneous Read/Write Disturbed Accesses" IEICE Tr.ans ElecTr.on.2007; E90-C: 749-757.