

DVFS 制御向け動きベクトル検出アルゴリズムとこれを適用した動きベクトル検出プロセッサの開発

小林伸彰 石川雄悟 榎本忠儀

中央大学 大学院 理工学研究科 情報工学専攻
〒112-8551 東京都文京区春日 1-13-27

あらまし 動的電圧周波数協調 (Dynamic Voltage and Frequency Scaling ; DVFS) 制御技術の電力削減効果を最大限に引き出すために、信号処理量を予測する Adaptively Assigned Breaking-off Condition Search (A²BCS) と呼ぶ高速動きベクトル検出 (ME) アルゴリズム、ならびに DVFS 制御技術、A²BCS アルゴリズムを適応した 90-nm ME プロセッサを開発した。A²BCS アルゴリズムはマクロブロック毎に ME プロセッサへ供給する最適な電源電圧 (V_{DD}) と最適なクロック周波数 (f_c) を予め予測することができるアルゴリズムで、これを H.264 に準拠したソフトウェアエンコーダに実装し、画像解析した。ME プロセッサは差分絶対値和回路、DVFS 制御回路、小形 DC/DC コンバータ、PLL クロックドライバより構成される。DVFS 制御と A²BCS を併用した結果、本 ME プロセッサの消費電力は 28.3 μ W であった。これは、全探索法を適用し、DVFS 制御を用いない従来形 ME プロセッサの消費電力の 2.42% であった。

キーワード H.264、動きベクトル検出プロセッサ、DVFS、PLL

Fast Motion Estimation Algorithm for a Low Power Motion Estimation Processor Implementing Dynamic Voltage and Frequency Scaling

Nobuaki Kobayashi, Yugo Ishikawa and Tadayoshi Enomoto

Graduate School of Science and Engineering, Chuo University
1-13-27 Kasuga, Bunkyo-ku, Tokyo 112-8551, Japan

Abstract To make full use of an effective power reduction capability of dynamic voltage and frequency scaling (DVFS), a fast motion estimation (ME) algorithm called adaptively assigned breaking-off condition search (A²BCS) and an ME processor that employs both A²BCS and DVFS were developed. The A²BCS algorithm can adaptively predict the optimum supply voltage (V_D) and the optimum clock frequency (f_c) before each block matching process starts. The 90-nm CMOS ME processor consisted of a two-stage pipelined absolute difference accumulator, a DVFS controller, a small DC/DC converter, and a PLL clock driver. Power dissipation of the ME processor was 28.3 μ W which was 2.42% that of a conventional ME processor adopting a full search ME algorithm.

Key word: motion estimation, DVFS, power dissipation, DC/DC converter, PLL clock driver

1 はじめに

携帯情報端末向け動画像符号化 LSI において、高性能・高機能化と低電力化の両立が必須である。特に高画質の動画像符号化処理では、処理量が極めて多い動きベクトル検出 (Motion Estimation ; ME) 処理を高速化して、ME 回路を低電力化することが最重要課題である。

ME 処理では、対象マクロブロック (M-Blk) 毎に与えられた一定の時間内に最適動きベクトルを検出する

必要がある。従来、中断法^[1]等の高速 ME アルゴリズムを用いて、最適動きベクトルが検出された時点で、ME 回路を停止して、残りの時間の電力消費を断って、消費電力 (P_{AT}) の削減を図ってきた。ME 回路を停止する方法として、クロックの供給を止めるゲーテドクロック方式がある^[2]。停止後の電力を節約する方法 (従来方式) は、一定の供給電圧 (V_D)、所望のクロック周波数 (f_c) で ME 回路を動作させおき、高速 ME アルゴリズムで ME 回路の稼働率を低減する、ことにより電力削減する方法である。従って、高速 ME アルゴリ

ズムにより処理量が、例えば 1/2 に削減されると、 P_{AT} も、理想的には、処理量に比例して、半減する。

信号処理量が 1/2 となる事が事前に予測できれば、 f_c と V_D を、理想的には、1/2 にできるので、 P_{AT} は 1/8 と大幅に低減できる。つまり、理想的には、 f_c の 3 乗に比例して、 P_{AT} を削減できるので、ゲートクロック方式より有利である。この手法は動的電圧・周波数協調 (Dynamic Voltage and Frequency Scaling ; DVFS) 制御方式と呼ばれ、稼働率を常に 100% としておき、変化する信号処理量に応じて必要かつ最小の f_c (ここではこれを最適 f_c と呼ぶ) と、この最適 f_c を補償する必要かつ最小の V_D (ここではこれを最適 V_D と呼ぶ) を供給し、電力を節約する技術である^[3]。

しかし、DVFS 制御方式を利用し、その効果を十二分に発揮するためには、第一に、信号処理量の変化を事前に予測することができる高速 ME アルゴリズムの開発^[4]、第二に、予測された信号処理量から最適 f_c 、最適 V_D を生成する回路の開発、が必須となる^[3]。このような問題を解決するために、信号処理量を事前に予測できる adaptively assigned breaking-off condition search (A²BCS) と呼ぶ高速 ME アルゴリズムを開発した^{[5][6]}。これまで A²BCS を MPEG-4 に準拠したソフトウェアエンコーダに実装していたが、CIF 画像 4 種類に適用した結果、全探索法 (Full Search ; FS) 並みの画質を維持し、ME 速度を FS の約 4.35 ~ 6.15 倍高速化できた。(探索窓サイズ ; $p=10$ 画素)。本アルゴリズムと DVFS を併用した、90-nm ME プロセッサの消費電力は FS を適用した場合と比べ、約 13.4 ~ 17.0 % に削減された。新たに、A²BCS を H.264 に実装し^[7]、CIF 画像 4 種に適用した結果、FS 並の画質を維持し、ME 速度を FS の 9.59~23.2 倍、MPEG-4 に実装した場合の 2.2~3.8 倍に高速化できた。A²BCS と DVFS を適用した 90-nm ME プロセッサの消費電力は FS を適用した場合の約 2.42~7.37 % に削減された。

以下、第 2 章でアルゴリズムについて述べ、第 3 章で画像解析結果、第 4 章でアルゴリズムと DVFS を併用した ME プロセッサの低電力化について述べる。

2 DVFS 制御適用可能なアルゴリズム

2.1 A²BCS アルゴリズム

ブロックマッチング (BM) 処理における対象マクロブロック (M-Blk) の差分絶対値和 $\{d(n)\}$ と BM 回数 (n) の関係は、図 2.1 (a) に示すように、BM 処理毎に、この BM 処理で得られた最小の $d(n)$ とこれまでで得られた最小の $d(n)$ とを比較し、後者が小さければ後者を保持し、後者が大きければ前者に書き換える。この処理を繰り返すことにより、ある n で $d(n)$ は最小となり、それ以後の BM 処理では $d(n)$ は変化しない。 $d(n)$ が最小となる n が n_m 、最小 $d(n)$ が $d(n_m)$ である。680MHz 動作のプロセッサで CIF 画像 (352 画素 \times 288 ライン) を ME 処理する場合、1 個の M-Blk 当たりの BM 処理回数の最大 (n_p) は 450 回である。全探索 (Full Search ; FS) 法では、1 回目、2 回目、 \dots 、 n 回目、 \dots

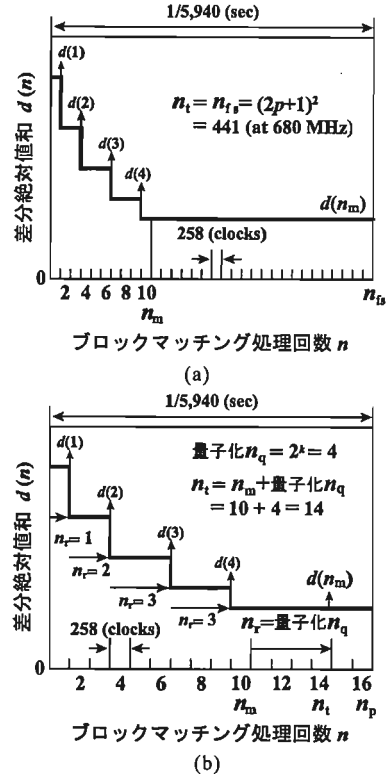


図 2.1 処理手順の推移。(a) 従来方法 (b) 提案方法

450 回目の BM で、それぞれ $d(1)$ 、 $d(2)$ 、 \dots 、 $d(n)$ 、 \dots 、 $d(450)$ を算出し、これらを BM 周期 (258 クロックサイクル分) 毎に出力する。この中から $d(n_m)$ を持つ M-Blk を動きベクトルとして求める。

DVFS 制御では、稼働率 100% で、緩やかに (低 f_c で)、かつ低 V_D で動作させ、電力を削減する技術である。従って、 n_p を事前に予測し、最適 f_c 、最適 V_D を適応的に設定する必要がある。しかし、 n_p を事前に予測することは難しい。そこで、図 2.1(b) に示すように、 $d(n)$ が更新された (減少した) 時点からの BM 回数 (n_r) を監視する。 $d(n)$ が頻繁に更新されている期間、つまり n_r が小さい場合、BM 処理は停止できない。そこで $d(n)$ がある「一定期間 (n_q)」継続して一定であれば、以後 $d(n)$ が更新される確率は低い、として、BM 処理を停止することができる。次にこの n_q を定め、 n_r が n_q と一致した時点で、BM 処理を停止する。

2.2 BM 終了条件の設定

BM 処理を終了する条件、すなわち n_q を決定するために、複数個の M-Blk から得られる情報を用いる。まず、参照フレーム (現フレームの 1 フレーム前のフレーム) で、対象 M-Blk と同位置の M-Blk を用いる。通常、両 M-Blk は極めて類似している、という根拠に基づいている。さらに、現フレームで、対象 M-Blk の

左上、真上、左、の M-Blk も用いる。より新しい時間情報とより広い位置情報を反映させるためである。以上、4 個の M-Blk で得られる n_m の中から、最大の n_m ($\text{Max}.n_m$) が

$2^{k+1} > \text{Max}.n_m \geq 2^k$ ($k \leq 4, 5, \dots$) である時、 n_q を 2^k とする。但し、所望の処理速度と画質が得られるよう、 k の最小値、つまり n_q の最小値は予め定めておく。 k を 4, 5 に設定する場合、対応する A^2BCS アルゴリズムをそれぞれ A^2BCS -4、 A^2BCS -5 と表記する。

3 画像解析

3.1 テスト画像と解析条件

H.264 に準拠したソフトウェアエンコーダ JM^[8]に A^2BCS を実装し、各種テスト画像を用いて画像解析と速度評価を行った。用いたテスト画像は“Foreman”と呼ばれる動きの速い動画像、“Coastguard”と呼ばれる動きの複雑な画像および“Akiyo”、“Sign Irene”と呼ばれる動きの遅い画像である。フレームサイズは CIF (352 画素×288 ライン)、YUV は 4:2:0、フレーム数 (N_f) は 300 (1 フレーム目は I-VOP、それ以外は全て P-VOP) である。1 画素当たりの情報量は 8 ビット (b) である。M-Blk サイズは 16 画素×16 ラインのみとし、可変マクロブロック機能は用いない。 p を探索窓 (SW) の画素数とすると、SW サイズは $(2p+1+16)$ 画素× $(2p+1+16)$ ラインで与えられる。以下の解析では p を 10 画素とした。よって、SW は 37 画素×37 ライン、全探索法の処理サイクル数 (n_{fs}) は $441=(2p+1)^2$ である。データレート (R_d) は 384 kbps、フレームレート (R_f) は 15 fps、に設定する。なお、 A^2BCS 処理は渦巻き探索を用いる。1/4 画素精度探索は併用しない。

3.2 解析結果

A. A^2BCS -4 の解析結果

図 3.1 に A^2BCS -4 の解析結果を示す。テスト画像は 198 フレーム目の“Foreman”、1 フレーム内の M-Blk 数は 396 個である。図 3.1(a)、(b)、(c)、(d) はそれぞれ $\text{Max}.n_m$ 、量子化 $n_q \{=2^k (8 \geq k > 4), =2^4 (4 \leq k)\}$ 、 $n_t (=n_m + n_q)$ 、 $d(n_m)$ である。(2.1) 式より $\text{Max}.n_m$ が量子化され、 n_q が設定される様子がわかる。また、 n_q に対応して、各 M-Blk 毎の n_t が増減している。 n_t が常に 441 回となる FS [図 3.2 (a)] と比べ、大幅に削減されている。図 3.1(d) は A^2BCS -4 の $d(n_m)$ (黒色) に図 3.2(b) に示した FS の $d(n_m)$ (灰色) を重ね合わせた図である。これより明らかなように、 A^2BCS -4 の大部分の M-Blk で、 $d(n_m)$ は FS のそれと一致している。これは、 A^2BCS -4 で得た動き補償画像の画質が FS のそれと同等であることを示している。

“Foreman”の全 P ピクチャ (299 フレーム) から得られた A^2BCS -4 の特性を表 3.1 にまとめる。 A^2BCS -4 の平均 n_t は 46 回で、FS の $n_t (=441$ 回) と比べ、大幅 (10.43%) に削減されている。換言すると、 A^2BCS -4 の

平均 ME 速度 (平均 F_s) は、FS と比べ、約 9.59 倍高速化されていることになる。一方、 A^2BCS -4 の平均 $d(n_m)$ は 941.92 であり、FS のそれ ($=914.52$) より、約 3 % 大きい。換言すると、FS と比べ、動き補償画像の画質はわずかに劣化しているが、ほとんど同等である、ことを示している。 A^2BCS -4 の平均ピーク SN 比 (平均 R_{SN}) は 37.428 dB であり、FS (37.459 dB) のわずか 0.031 dB の減少 (劣化) に抑えている。これは、 A^2BCS の復号画像の画質が FS と同等であることを示している。

以上をまとめると、“Foreman”では、 A^2BCS -4 は、FS と同等の画質を維持でき、ME 速度が FS より約 9.59 倍速いアルゴリズム、と言える。

“Foreman”以外のテスト画像の A^2BCS -4 の特性を表 3.1 に示す。 A^2BCS -4 の平均 R_{SN} は、FS と比べ、0.013 dB (“Akiyo”)、0.039 dB (“Coastguard”)、0.059 dB (“Sign Irene”) の減少 (劣化) に抑えている。また、ME 速度は FS と比べ、約 20.0 倍 (“Coastguard”)、23.2 倍 (“Akiyo”)、17.0 倍 (“Sign Irene”) 高速化されている。以上より、 A^2BCS -4 は FS と遜色ない画質で、FS と比べ、高速に動きベクトル検出できることが分かる。

B. A^2BCS -5 の解析結果

図 3.3 に A^2BCS -5 の解析結果を示す (“Foreman”の 198 フレーム目)。同図 (a)、(b)、(c)、(d) はそれぞれ 396 個の M-Blk の $\text{Max}.n_m$ 、量子化 $n_q \{=2^k (8 > k \geq 5$ の場合)、 $=2^5 (5 \leq k$ の場合)、 $n_t (=n_m + n_q)$ 、 $d(n_m)$ である。 A^2BCS -5 の $\text{Max}.n_m$ と量子化 n_q は A^2BCS -4 のそれら [図 3.1(a)、(b)] と比べて大きい。量子化 n_q が大きく設定されるため、 $n_t (n_m + n_q)$ は増加する。この結果、 A^2BCS -5 で得られる $d(n_m)$ は A^2BCS -4 のそれ [(図 3.1(d))] と比べ、大部分の M-Blk において、より FS に近い $d(n_m)$ が得られている。これは、 A^2BCS -5 で得た動き補償画像の画質が A^2BCS -4 と比べ、改善されたことを示している。

A^2BCS -5 で得られた画像特性を表 3.1 に示す。“Foreman”では、 A^2BCS -5 の平均 R_{SN} は改善され、 A^2BCS -4 と比べ、0.05 dB 増加 (改善)、FS と比べ、0.019 dB 増加している。ME 速度は、 A^2BCS -4 の 1/1.46 となり、遅くなる。

“Foreman”以外のテスト画像の A^2BCS -5 の特性を表 3.1 にまとめて示す。画質面では、 A^2BCS -5 の平均 R_{SN} は、 A^2BCS -4 と比べ、0.036 dB (“Coastguard”)、0.023 dB (“Akiyo”)、0.085 dB (“Sign Irene”) 増加 (改善) している。また、FS と比べ、“Coastguard”で 0.003 dB の減少 (劣化) に抑え、“Akiyo”、“Sign Irene”でそれぞれ 0.01dB、0.027 dB 増加 (改善) している。ME 速度は “Coastguard”、“Akiyo”、“Sign Irene”で A^2BCS -4 と比べ、1/1.77 (“Coastguard”)、1/1.79、1/1.81 (“Akiyo”) となり、遅くなる。以上より、 A^2BCS において k の値を大きくする (n_q の最小値を大きくする) と、画質は向上するが、速度は減少することが分かる。

4 ME プロセッサの低電力化

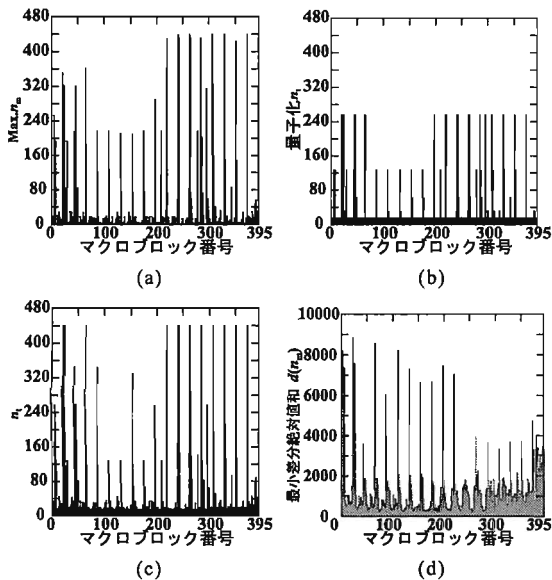


図 3.1 198 フレーム目の A²BCS-4 の特性。(a) Max. n_m (b) 量子化 n_q (c) n_t (d) $d(n_m)$ (黒:A²BCS、灰:FS)

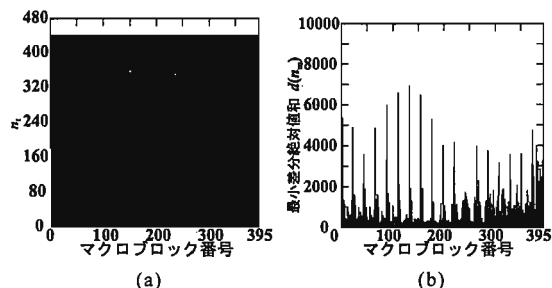


図 3.2 200 フレーム目の FS の特性。(a) n_t (b) $d(n_m)$

ME プロセッサは差分絶対値和回路、DVFS 制御回路、小形 DC/DC コンバータ、PLL クロックドライバより構成される。

4.1 差分絶対値和回路と DC/DC コンバータ

差分絶対値和回路 (absolute difference accumulator; ADA) の構成を図 4.1 に示す。本回路は 1 画素分のデータの差分絶対値を得る 8 ビット (b) 差分絶対値回路と 1 マクロブロック (M-Blk) 分の差分絶対値を累算する 16 b 累算回路の 2 段パイプライン構成である。累算回路の上位 8 b は 7 b 目の桁上げ信号をカウントするだけでよいので、8 b カウンタが用いられている^[2]。

図 4.2 に ADA の動作時消費電力 (P_{AT}) とクロック周波数 (f_c) の関係を示す。○は電源電圧 (V_{DD}) を 1 V に固定した場合、ADA の P_{AT} は f_c に比例する。◇は外付 DC/DC-C より最適な電圧 (最適 V_D) を供給した

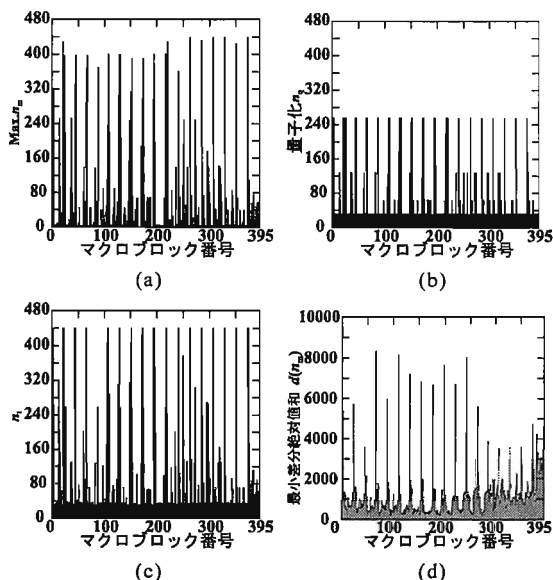


図 3.3 198 フレーム目の A²BCS-5 の特性。(a) Max. n_m (b) 量子化 n_q (c) n_t (d) $d(n_m)$ (黒:A²BCS-5、灰:FS)

表 3.1 各種アルゴリズムの特性 (値は全て平均値、CIF、 $R_f = 15$ fps、 $R_d = 384$ kbps、 $p = 10$ 、 $N_f = 300$)

テスト画像	アルゴリズム	n_t [回] (%)	F_s [倍]	$d(n_m)$ (%)	R_{SN} [dB] (dB 差)
Foreman	FS	441 (100.00)	1.00	914.52 (0.00)	37.459 (0.000)
	A ² BCS-4	46 (10.43)	9.59	941.92 (+3.00)	37.428 (-0.031)
	A ² BCS-5	67 (15.19)	6.58	920.00 (+0.60)	37.478 (+0.019)
Coastguard	FS	441 (100.00)	1.00	1,512.3 (0.00)	32.858 (0.000)
	A ² BCS-4	22 (4.99)	20.0	1,522.0 (+0.64)	32.819 (-0.039)
	A ² BCS-5	39 (8.84)	11.3	1,512.4 (+0.01)	32.855 (-0.003)
Akiyo	FS	441 (100.00)	1.00	248.68 (0.00)	47.147 (0.000)
	A ² BCS-4	19 (4.31)	23.2	248.47 (-0.08)	47.157 (+0.010)
	A ² BCS-5	34 (7.71)	13.0	249.10 (+0.17)	47.134 (-0.013)
SignIrene	FS	441 (100.00)	1.00	633.96 (0.00)	41.037 (0.000)
	A ² BCS-4	26 (5.90)	17.0	672.34 (+6.05)	40.978 (-0.059)
	A ² BCS-5	47 (10.66)	9.38	642.26 (+1.31)	41.064 (+0.027)

場合である。最適 V_D が f_c に比例して設定されれば、ADA の P_{AT} は f_c の 3 乗に比例する。□は内蔵 DC/DC-C より最適 V_D を供給した場合である。内蔵 DC/DC-C を含めた ADA の P_{AT} は f_c の 2 乗に比例する。

A²BCS-4 と DVFS 制御の効果を最大限に発揮させるために、各 k に対応する最適なクロック周波数 (最適 f_c)、最適 V_D を図 4.2 から算出する。量子化 n_q 、最適 f_c 、最適 V_D および処理可能な最大 BM 回数 (n_p) を表 4.1 に示す。ここで n_p は最適 f_c から決定される。A²BCS-4 と DVFS 制御を用いると、ADA に供給する最適 f_c 、最適 V_D を M-Blk 毎に動的に設定することができる。

4.2 DVFS 制御による低電力化

図 4.3 に "Foreman" を用いた A²BCS-4 の解析結果を示

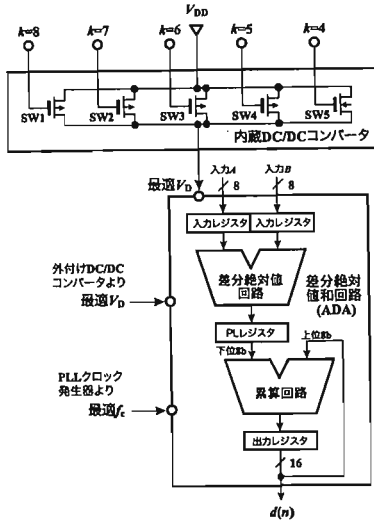


図 4.1 差分絶対値和回路と内蔵 DC/DC コンバータ

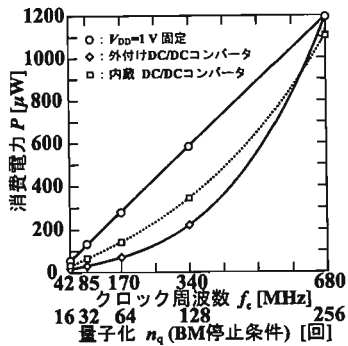


図 4.2 差分絶対値和回路の動作時消費電力 (P_{AT})

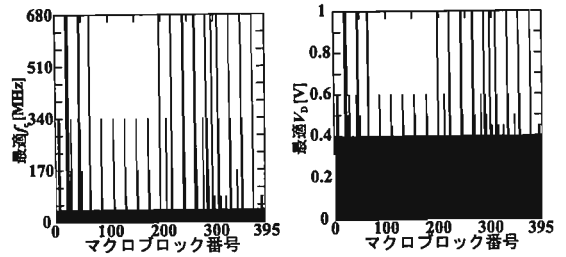
す。解析条件{"Foreman", 198 フレーム目、量子化 $n_q=2^k(8 \geq k > 4)$ 、量子化 $n_q=2^4(4 \leq k)$ は 3.2 項の A と全く同一である。図 4.3(a), (b) はそれぞれ M-blk 毎の最適 f_c 、最適 V_D である。図 3.1(b) に示した量子化 n_q に対応して、最適 f_c 、最適 V_D が動的に設定されている様子がわかる。

各 M-Blk に対して処理可能な最大 BM 回数 (n_p) を図 4.3(c) に黒で示す。 n_p は量子化 n_q に対応して、動的に設定されている。FS 並の画質を補償するためには、 n が n_p に達する前に最適動きベクトルが検出されなくてはならない。 n_m は $d(n)$ が最小となる、つまり、最適動きベクトルが検出される n である。図 4.3(c) に n_m (灰) を n_p (黒) に重ねて示す。本図から明らかなように、全ての M-blk で $n_m < n_p$ の条件を満足しており、DVFS の導入による画質劣化による問題はない、と言える。

図 4.3 (d) に内蔵 DC/DC-C を含めた ADA の P_{AT} を示す。最小の P_{AT} が $26.1 \mu W$ 、最大の P が $1,111 \mu W$ である。FS の各 M-blk の P_{AT} は常に $1,170 \mu W$ である。

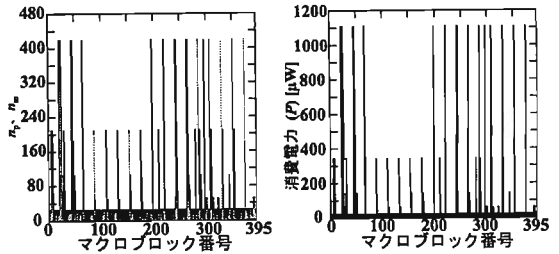
表 4.1 量子化 n_q 、最適 V_D 、最適 f_c 、 n_p 、 P_{AT0}

$n_q = 2^k$ [回]	最適 f_c [MHz]	最適 V_D [V]	n_p [回]	P_{AT} [μW]	
				内蔵 DC/DC-C	外付 DC/DC-C
$2^8 = 256$	680	1.00	450	1,111	1,194
$2^7 = 128$	340	0.60	225	344.1	217.7
$2^6 = 64$	170	0.50	112	146.1	72.05
$2^5 = 32$	85	0.45	56	65.15	29.39
$2^4 = 16$	43	0.40	28	26.12	10.79



(a)

(b)



(c)

(d)

図 4.3 最適 f_c 、最適 V_D 、処理可能な最大 BM 回数 (n_p)、 n_m 、動作時消費電力 (P_{AT})。 (a) 最適 f_c (b) 最適 V_D (c) n_p と n_m (d) P_{AT}

これに対して、DVFS 制御を適応することにより、 P_{AT} が大幅に削減されているのがわかる。

ADA の平均 P_{AT} を表 4.2 に示す。テスト画像は "Foreman" である。FS を適用し、DVFS 制御を用いない場合、ADA の平均 P_{AT} は $1,170 \mu W$ であった。 A^2BCS-4 を適用し、DVFS 制御の代わりにゲーテッドクロック方式を用いた場合、ADA の平均 P_{AT} は約 $122 \mu W (=1,170 \times 46/441)$ である。 A^2BCS-4 を適用し、内蔵 DC/DC-C を用いて DVFS 制御を行った場合、内蔵 DC/DC-C を含めた ADA の P_{AT} は $86.2 \mu W$ である。これは $1,170 \mu W$ 、 $122 \mu W$ と比べ、それぞれ 7.37%、70.7% に削減されている。

同様に、 A^2BCS-4 、外付 DC/DC-C を用いて DVFS 制御を行った場合、ADA の P_{AT} は $71.6 \mu W$ である。これは $1,170 \mu W$ 、 $122 \mu W$ と比べ、それぞれ 6.12%、58.7% に低減されている。

"Foreman" 以外のテスト画像についても同様な傾向が見られる (表 4.2)。 A^2BCS-4 、内蔵 DC/DC-C を用いて DVFS 制御を適用すると、内蔵 DC/DC-C を含めた

表 4.2 差分絶対値と回路の消費電力

テスト 画像	平均 P_{AT} [μ W] (%)		
	DVFS (内蔵 DC/DC-C)	DVFS (外付 DC/DC-C)	Gated Clock
Foreman	86.2 (7.37)	71.6 (6.12)	122 (10.4)
Coastguard	29.6 (2.53)	14.7 (1.26)	58.4 (4.99)
Akiyo	29.5 (2.52)	14.6 (1.25)	50.4 (4.31)
Sign ired	43.8 (3.74)	28.3 (2.42)	69.0 (5.90)

全探索法を適用し、DVFS 制御を用いない従来形 ME プロセッサの $P_{AT} = 1,170 \mu$ W

ADA の平均 P_{AT} (4 テスト画像の平均 P_{AT}) は 29.5~43.8 μ W である。これは、1,170 μ W、122 μ W と比べ、それぞれ 2.52~3.74%、50.7~63.5% に低減されている。同様に、A²BCS-4、外付 DC/DC-C を用いて、DVFS 制御を適用すると、ADA の平均 P_{AT} は 14.6~28.3 μ W である。これは、1,170 μ W、122 μ W と比べ、それぞれ 1.25~2.42%、25.2~41.0% に低減されている。

5 おわりに

処理量を大幅に削減でき、かつ動的周波数・電圧協調 (DVFS) 制御が可能な高速動きベクトル検出アルゴリズム (A²BCS) を開発し、H.264 に実装し、評価した。A²BCS は信号処理量を予め予測し、予測信号処理量から最適クロック周波数と最適供給電圧を設定することが可能である。4 種類の CIF テスト画像を用いて評価した結果、A²BCS の平均ピーク SN 比は、全探索法 (FS) の約 0.06 dB 以内の劣化に抑え、FS と同等の結果が得られた。一方、A²BCS の処理速度は、FS の 9.59~23.2 倍に高速化された。A²BCS と DVFS 制御を適用した ME プロセッサを 4 種類のテスト画像で評価した結果、消費電力 (P_{AT}) は 29.5~86.2 μ W であった。これは、全探索法を適用し、DVFS 制御を用いない従来形 ME プロセッサの P_{AT} の 2.52~7.37% であった。また、DVFS 制御に替え、ゲートクロック方式を適用すると、ME プロセッサの P_{AT} は上記従来形 ME プロセッサの P_{AT} の 50.7~63.5% に低減されたが、DVFS 制御方式が有利である事がわかった。

謝辞

本チップ試作は東京大学大規模集積システム設計教育センターを通し、株式会社 先端 SoC 基板技術開発 (ASPLA) および株式会社 半導体理工学研究センター (STARC) の協力で行われたものである。また、榎本研究室の関係諸氏に感謝致します。

参考文献

- [1] T. Enomoto, Y. Sasajima, A. Hirobe, and T. Ohsawa, "Fast Motion Estimation Algorithm and Low Power CMOS Motion Estimation Array LSI for MPEG-2 Encoding", in Proc. of International Symposium on Circuits and Systems (ISCAS'99), vol-IV, pp. 203-206, in Orlando, Florida, May/June 1999.
- [2] N. Kobayashi, T. Ei and T. Enomoto, "Low Dynamic Power and Low Leakage Power Techniques for CMOS Motion Estimation Circuits", IEICE Tran. on Electronics, vol. E89-C, no. 3, pp. 271-279, Mar. 2006.
- [3] 石川、金子、岩成、仲山、筒井、萩原、小林、榎本、「低電力 90-nm CMOS 動きベクトル検出プロセッサの開発」、信学技報、ICD2006-201, pp.25-30、2007 年 3 月 7 日。
- [4] 小林、榎本、「ブロックマッチングの停止条件を適応的に設定する高速動きベクトル検出アルゴリズムの開発」、信学技報、ICD2006-200, pp.19-24、2007 年 3 月 7 日。
- [5] 小林、榎本、「DVFS に向けた高速動きベクトル検出アルゴリズムとこれを適用した低電力動きベクトル検出プロセッサの開発」、信学技法、ICD2007-72, pp.17-21、2007 年 8 月 23 日。
- [6] N. Kobayashi and T. Enomoto, "Power 90-nm CMOS Motion Estimation Processor Implementing Dynamic Voltage and Frequency Scaling (DVFS) and Fast Motion Estimation Algorithm", Proc. of International Symposium on Circuits and Systems (ISCAS'08), in, Seattle, Washington, USA, May. 2008.
- [7] 石川、小林、榎本、「A²BCS 動きベクトル検出アルゴリズムの H.264 への搭載」、信学総合大会講演論文集、情報・システム、D-11-75、2008 年 3 月 21 日
- [8] JM Reference Software ver.12.3. [Available Online]. <http://bs.hhi.de/suehring/tml/download/>