

マルチ閾値電圧トランジスタを用いた 2 線 2 相式非同期式回路の リーク電力削減手法

高田 幸永 今井 雅 中村 宏 南谷 崇
東京大学 先端科学技術研究センター
〒 153-8904 東京都目黒区駒場 4-6-1

E-mail: {coa, miyabi, nakamura, nanya}@hal.rcast.u-tokyo.ac.jp

概要 今後増大すると予測されている遅延変動の対処法の 1 つとして、2 線 2 相式非同期設計がある。しかし 2 線式回路は回路量が大きく、1 線式回路に比べリーク電力が大きくなるという問題がある。そこで本報告では、2 線 2 相式回路は非動作時に回路の状態が一意に定まる性質に着目し、マルチ閾値電圧トランジスタを用いてリーク電力を削減する手法を提案する。

キーワード 遅延変動, リーク電力, 2 線 2 相非同期式回路, マルチ閾値トランジスタ

Leakage Power Reduction Method for Dual-Rail Four-Phase Asynchronous Circuits Using Multi-Vth Transistors

Koei TAKADA, Masashi IMAI, Hiroshi NAKAMURA, and Takashi NANYA
Reserch Center for Advanced Science and Technology, The University of Tokyo 4-6-1 Komaba,
Meguro-ku, Tokyo, 153-8904 Japan

E-mail: {coa, miyabi, nakamura, nanya}@hal.rcast.u-tokyo.ac.jp

Abstract Dual-rail four-phase asynchronous circuits are well-known for their benefits in terms of delay variation tolerance. On the other hand, dual-rail circuits need to reduce their leakage power, since dual-rail asynchronous logic is often known to be larger than its equivalent single-rail counter-part, and thus its leakage power is also larger. In this paper, we propose leakage power reduction method for dual-rail four-phase asynchronous circuits using multi-Vth transistors.

Key words Delay Variation, Leakage Power, Dual-rail Four-Phase Asynchronous Circuit, Multi-Vth Transistor

1. はじめに

VLSI 製造技術の進歩によるプロセスの微細化によって、VLSI の高速化、システムの大規模化が可能になった。しかしその一方で回路の遅延変動とリーク電力の増大が深刻化している[1-5]。

遅延変動の要因には製造プロセス上の誤差から生じた素子や配線の物理的なパラメータが変動するプロセス変動、ノイズなどによって発生する電源電圧の変動、電力消費に伴う温度上昇で素子や配線のパラメータが変動する温度変動などがある。よって最大遅延に合わせたクロックを用いる同期式設計は今後増大すると予測される遅延変動によってパフォーマンスを上げるのが難しくなる。こ

れに対処する方法としてクロック信号を用いない非同期式設計がある。非同期式回路とは要求応答ハンドシェイクプロトコルに基づいて動作する回路である。クロックを用いず、要求応答に基づき動作するため遅延変動に対するロバスト性が高い。また平均遅延で動作するため素子の高速性をそのまま直線的にシステムの性能向上に反映することが可能である。

非同期式回路には主なデータの通信方式として東データ方式と2線2相式がある。東データ方式とは組み合わせ回路の最悪遅延より大きな遅延線を付加する方式である。2線2相式とは1ビットの信号を肯定線と否定線の2本の信号線を用いて論理1を(1, 0)、論理0を(0, 1)で表し、連続した信号

の間にスペーサ(0, 0)を挿入することを繰り返すことでデータを転送する方式である。東データ方式は同期式と同じ1線式の組み合わせ回路を適用できるメリットがあるが、遅延線を用いるために2線2相式に比べ遅延変動に弱い。2線2相式は符号化したデータを扱うため1線式に比べ回路量は大きくなるが、データビット毎にタイミング信号があるため、各ビットがそれぞれのタイミングにより演算を完了させることが可能である。そのため、いかなる遅延変動が生じた場合にもタイミングエラーを起こすこと無く正しい動作を保証できる。よって本研究では遅延変動に対するロバスト性がより高い2線2相式を採用する。

2線2相式は同期式や東データ方式に比べ回路量が1線式のものに比べ大きくなるため、リーク電力が大きいという欠点がある。そこで本稿では2線2相式の回路におけるリーク電力削減手法を提案し、その評価を行った結果を述べる。また、本稿で提案するリーク電力削減手法は2種類あり、それらの比較も行った。

本論文の構成は以下の通りである。2節で本研究が対象としている2線2相式非同期式回路の通信プロトコルについて述べる。次に3節で提案するリーク電力削減手法について述べる。4節では評価に用いたシミュレーション環境と手順および評価結果、またその結果に対する考察を述べる。5節では関連研究との関わりを述べ、最後に6節で結論を述べる。

2. 非同期式回路の通信プロトコル

この節では非同期式回路のデータ転送方式の一つである2線2相式の通信プロトコルについて説明する。2線2相式はデータパスを符号化し転送を行う。1ビットのデータを肯定線と否定線の2本の信号線対で表し、各論理値をTable 1のように符号化する。また論理値に用いない符号"00"をスペーサと定義し、符号"11"は利用しない。初期状態ではデータパス上のいかなるデータビットもスペーサ状態である。次に回路が動作を開始すると論理"0"または論理"1"を示す符号語へ遷移する。演算が完了したら再びスペーサ状態に遷移をして次のデータ処理に備える。つまり2相駆動をさせることでデータにタイミング情報を付加し、データの到着をデータビット毎に知ることができる。尚、符号化されたデータが転送され演算がなされている相を稼働相、スペーサが送られて組み合わせ回路内がリセットされている相を休止相と呼ぶ。

Table 1. 2線2相式符号とスペーサ

論理"0"	(0, 1)
論理"1"	(1, 0)
スペーサ	(0, 0)

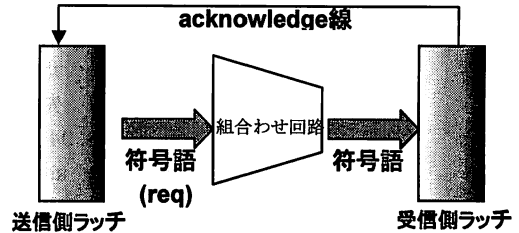


Figure 1. 2線2相式回路の構成

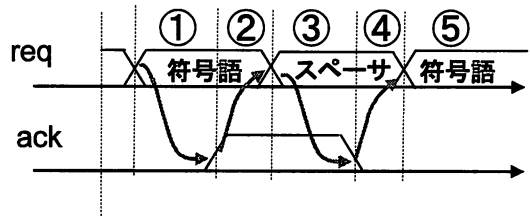


Figure 2. タイミングチャート

2線2相式回路の構成をFigure .1に示す。acknowledge線とはラッチ間で要求応答信号を伝播するための1bitの信号線である。2線2相式回路では

- ①送信側から受信側に符号化したデータを送る
- ②受信側はデータを受け取った後、送信側に応答信号を送る
- ③送信側は受信側から応答信号を受け取った後、送信側から受信側にスペーサを送る
- ④受信側はスペーサを受け取った後、送信側に応答信号を反転した信号を送る
- ⑤送信側がその信号を受け取り、かつ次に送るべきデータが送信側に届いている場合、受信側にそのデータを送る

という手順を繰り返してデータの転送を行う。この場合①②⑤の状態が稼働相であり、③④の状態が休止相である。

またFigure 2に非同期式回路のデータ転送におけるタイミングチャートを示す。この場合、要求信号(req)は組み合わせ回路の入力信号であり、応答信号(ack)はacknowledge線を伝播する信号である。

リーク電力を削減するために注目した2線2相式の特性は、休止相において組み合わせ回路の入力がスペーサという点である。つまりこれは回路非動作時において組み合わせ回路の状態が一意に定まるということの意味してい

る。この特性を利用して2線2相式回路特有のリーク電力削減手法が可能になる。その手法について次節で説明する。

3. 提案するリーク電力削減手法

本節では2線2相式の回路の非動作時のリーク電力を削減する2つの手法(Mt-Vth型, PS型)を提案する。両手法共にマルチ閾値電圧トランジスタを用いて組み合わせ回路を構成する。マルチ閾値電圧トランジスタとは

- ・low-Vth (動作速度は速いがリーク電力は大きい)
- ・high-Vth(動作速度は遅いがリーク電力は小さい)

という性能とリーク電力の異なる2種類のトランジスタであり, PMOS, NMOSそれぞれに用意されている。また両手法共に回路非動作時に組み合わせ回路の状態が一意に定まるといった2線2相式の特性に着目している点は同じである。

3.1 MT-Vth型

本節では提案するリーク電力削減手法の一つであるMT-Vth型について説明する。MT-Vth型では2線2相式回路の組み合わせ回路の一部をhigh-Vthで構成することにより組み合わせ回路のリーク電力を削減する。

高い性能を得るために基本的には組み合わせ回路はlow-Vthで構成するが, MT-Vth型ではハンドシェイクにおける休止相のリーク電力を削減するために, 以下の2つの指針を基に組み合わせ回路の一部にhigh-Vthを適用する。

(指針 1) 休止相においてオフになるトランジスタをhigh-Vthにする

(指針 2) 休止相においてオフになっているトランジスタがスタック状(直列接続)になっている場合, PMOSであれば最も電源に近いもの, NMOSであればグラウンドに最も近いものをhigh-Vthにする

Figure3にAND回路にMT-Vth型を適用した場合の回路構成を示す。休止相(入力が共に'0')のときオフになるトランジスタはn1, n2, p3であり, n1, n2はスタックになっており, グラウンドに近いのはn2の方である。つまりこの場合n2とp3をhigh-Vth, 残りのトランジスタをlow-Vthで構成することになる。

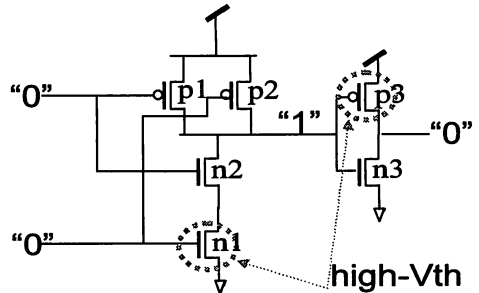


Figure 3. MT-Vth型を適用したAND回路の構成

3.2 PS型

本節では提案するもう一つのリーク電力削減手法であるPS型について述べる。PS型において, 組み合わせ回路は全てlow-Vthで構成する。そうした上で組み合わせ回路と電源・グラウンド間にそれぞれパワースイッチを挿入する。high-Vthで構成したパワースイッチを回路非動作時(休止相)においてオフにすることにより, そのときの組み合わせ回路に流れるリーク電流を抑制し, リーク電力を削減する。

ここで注意すべき点は, 組み合わせ回路の全ての電源線・グラウンド線にパワースイッチを接続すると, パワースイッチがオフの時に, 回路の状態が変化してしまう可能性があるということである。例としてFigure4に示すような, インバータ・チェーンの全てのグラウンド線にパワースイッチを接続した状態を考える。各インバータのノード部に表示してある数字(0か1)はそのノードの状態である。この場合パワースイッチをオフにすると, 次第にパワースイッチのドレイン側に電荷がたまり, その電荷がオンになっているNMOSのドレイン側に流れ込み(図の太矢印), 結果として各インバータの出力の値が変化してしまう。2節で述べたように, 2線2相式の通信プロトコルでは組み合わせ回路の出力信号の変化は演算データの到着を意味するため, 回路の状態の変化は誤作動の原因となる。

以上の問題を解決するためPS型では, 回路非動作時にオフになっているトランジスタのみにパワースイッチを接続するといった手法をとる。そうすることにより, 組み合わせ回路とパワースイッチ間に溜まった電荷の組み合わせ回路への流れ込みを防ぐことができる。すなわち回路非動作時に組み合わせ回路の状態を変化させることなくリーク電力の削減が可能となる。Figure5にインバータ・チェーンを例にPS型の回路の構成を示す。1, 3, 5段目のインバータはNMOSがオフになっているためグラウンド側にパワースイッチを, 2, 4, 6段目のインバータはPMOSがオフになっているため電源側にパワースイッチをそれぞれ

れ挿入する。

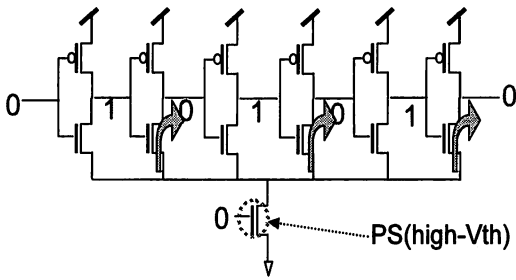


Figure 4. 全てのグラウンド線にPSを接続した場合のインバータ・チェーンの構成

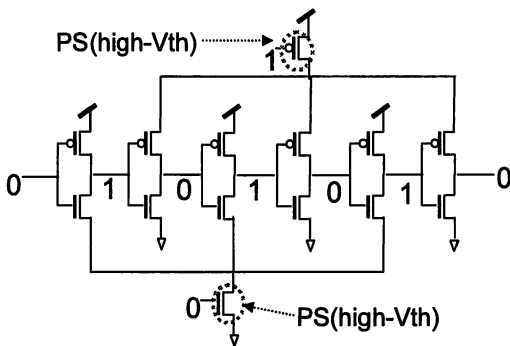


Figure 5. PS型を適用したインバータ・チェーンの構成

4. 評価

提案手法(MT-Vth型, PS型)のリーク削減効果を, 手法を適用しない場合(組み合わせ回路を全て low-Vth で構成)と比較することにより評価した. 対象とする回路はISCAS89ベンチマーク回路とした.

4.1 セルの設計・配置配線

本評価では配線容量・配線抵抗も含めた評価を行うために以下のセルを MT-Vth 型用と PS 型用にそれぞれ設計した.

- ・ 2 入力 NAND 回路
- ・ 2 入力 NOR 回路
- ・ 2 入力 AND 回路
- ・ 2 入力 OR 回路
- ・ インバータ回路

次に, 以上の論理素子のみでベンチマーク回路を論理合成し, その結果を用いて配置配線を行った. Table2 は今回対象としたベンチマーク回路名とその回路を構成するトランジスタ数である.

尚, セルの設計には cadence 社のレイアウトツール, 論

理合成と配置配線にはそれぞれ synopsys 社の論理合成ツール, 自動配置配線ツールを用いた.

Table 2 ベンチマーク回路名とそのトランジスタ数

回路名	トランジスタ数
s27	78
s344	946
s349	964
s641	1180
s713	1235
s1196	4399

4.2 シミュレーション条件

各ベンチマーク回路に本手法(MT-Vth 型, PS 型)を適用した場合と, 適用しなかった場合の, リーク電力と遅延を HSPICE シミュレータにより評価した. 尚, MT-Vth 型に関しては 3.1 節で示した指針 1 と指針 2 に該当する全てのトランジスタを high-Vth とした. シミュレーションにおいて, 90nm プロセステクノロジーライブラリを用いた. またシミュレーション条件は, 電源電圧 1.0V, 解析温度 100°C, プロセス変動(PMOS, NMOS)=(center, center)とした.

尚, MT-Vth 型, PS 型共に休止相においてのみリーク電力削減効果があるため, リーク電力の測定の際の組み合わせ回路の入力はスベサ (全て '00') とした.

遅延に関しては, 各ベンチマーク回路の入力数に合わせたランダムな入力値を 10 パターン用意し, それぞれに対する遅延の平均値をとった. また PS 型のパワースイッチは電源側(PMOS), グラウンド側(NMOS)共に同数とし, その数は遅延が MT-Vth 型のものとはほぼ等しくなるように決定した. これは, 遅延を等しくした場合の Mt-Vth 型と PS 型のリーク電力削減効果を比較するためである.

4.3 評価結果

リーク電力, 遅延の測定結果を Figure6, 7 に示す. グラフの縦軸はそれぞれリーク電力, 遅延の大きさであり, 横軸はベンチマーク回路名である. またベンチマーク回路名に続く括弧内の数字は PMOS, NMOS それぞれのパワースイッチの数を示している. またそれぞれの場合の回路面積を Figure8 に示す. これは配置配線した結果から得た値である.

Figure6 よりリーク電力は, 非適用の場合(NORMAL)と比べ, MT-Vth 型で 79~83%(平均 81%), PS 型で 90~95%(平均 94%)の削減効果を示している. またそのときの遅延増加率は Figure7 より共に 11%~39%(平均 32%)である. 回路面積の増加率は Figure8 より MT-Vth 型で 51~61%(平均 58%), PS 型で 3~12%(平均 8%)という結果を得

た。

4.4 考察

MT-Vth 型, PS 型ともに回路規模の大小に関わらず, 高いリーク削減効果を示している。PS 型が MT-Vth 型よりもリーク電力が小さい理由は, 回路構成上 PS 型のほうが, オフになっている low-Vth が常に一段多いためである。例えば 0 入力のインバータを考えた場合, MT-Vth 型ではオフになっているのは high-Vth の NMOS1 つだけであるが, PS 型の場合直列に接続された low-Vth と high-Vth の NMOS が 1 つずつオフになり, PS 型のほうが流れるリーク電流がより制限されるため, リーク電力も小さくなる。

回路面積に関しても PS 型のほうが, 増加率が小さいため優れているといえる。MT-Vth 型を適用して回路面積が増加する理由は, low-Vth と high-Vth を混在したセルをレイアウトする際にデザインルール上, 全て low-Vth でレイアウトした場合に比べ大きくなってしまいうからである。例えば Figure3 に示した low-Vth と high-Vth が混在した AND 回路のセルを設計すると low-Vth のみで設計した場合より, セルの面積は 1.64 倍になる。PS 型の回路面積増加は, パワースイッチの面積の増加分である。

5. 関連研究

2線2相非同期式回路はこれまで多くの研究が行われている[6-8]。これらの研究の主題は性能またはダイナミックエネルギーの改善であり, リーク電力に着目するものは多くはない。しかしながら, 最近では2線2相式のリーク電力削減に関する研究も行われており, その1つとして論文[9]に紹介されている手法がある。この手法は組み合わせ回路と電源, またはグランド間に挿入した供給電圧制御回路により, 回路非動作時におけるリーク電力を削減するものである。供給電圧制御回路は, 回路非動作時に組み合わせ回路の電源側の電圧を電源電圧より低く, グランド側の電圧を0Vよりも高くなるように制御する。それにより組み合わせ回路に流れるリーク電流を減らすことができるが, その時の電圧の値は組み合わせ回路の状態を変化させないように制御している。これは3.1節で述べたように2線2相式回路では回路非動作時に組み合わせ回路の状態が変化すると, 誤動作の原因となるからである。組み合わせ回路にリーク電流を制御する回路を付加する点においては論文[9]の手法と本研究のPS型は同じである。しかしながら論文[9]の手法は組み合わせ回路に供給する電圧の値を, 誤動作が起きない範囲で維持しなければならないため, 制御が難しく安定した動作を望めない。その点PS型は回路非動作時にオフになっているトランジスタのみにパワースイッチを接続しているため, パワースイッチをオフにしても回路状態が変化することなく, 安定

した動作が望める。その点において論文[9]の手法より本研究のPS型の手法の方が優れていると考えられる。

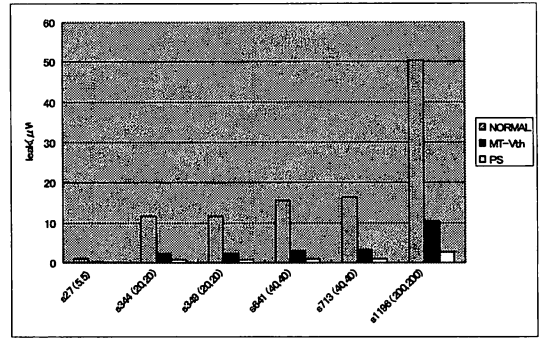


Figure 6. 各ベンチマーク回路のリーク電力測定結果

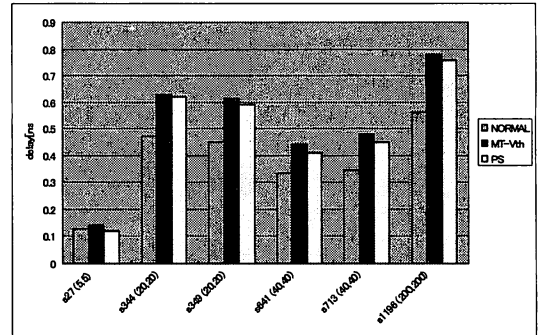


Figure 7. 各ベンチマーク回路の遅延測定結果

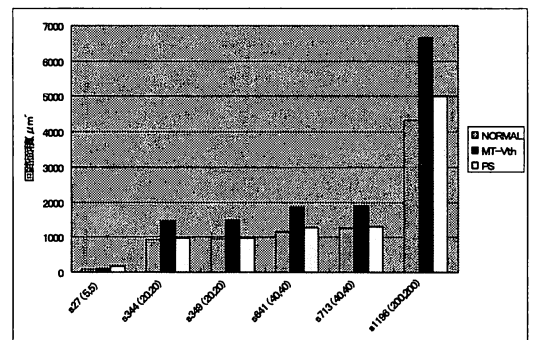


Figure 8. 各ベンチマーク回路の回路面積

6. まとめと今後の課題

6.1 まとめ

VLSI を構成する半導体の微細化が進むにつれて遅延変動が大きくなり、同期式回路において信頼性の低下、性能向上の限界という問題が深刻化している。

2線2相式非同期式回路は遅延変動に対してロバスト性が高く、平均遅延で動作するため、高信頼性で高性能なVLSI設計手法として注目されている。しかしながら2線2相式回路は同期式などの1線式回路に比べ回路の構成上、リーク電力が大きくなるという問題がある。そこで本稿では2線2相式回路が回路非動作時に回路の状態が一意に定まるという特徴に着目し、マルチ閾値電圧トランジスタを用いた2つのリーク削減手法(MT \cdot V_{th}型, PS型)を提案した。

HSPICE によるシミュレーションにより、両手法ともに回路規模の大小に関わらず、高いリーク電力削減効果(MT \cdot V_{th}型で79~83%, PS型で90~95%)が得られることを示した。またMT \cdot V_{th}型とPS型の比較ではリーク電力削減量、回路面積増加量共にPS型のほうが優れているという結果を得た。

6.2 今後の課題

今後は両手法の詳細な評価を行う必要がある。評価する項目としては、PS型のパワースイッチの切り替えにかかるエネルギーや、パワースイッチを制御するための制御回路が消費する電力などがある。

また提案したリーク電力削減手法を適用した上で、2線2相非同期式回路と同期式回路における性能・電力の比較を行う必要がある。

謝辞

本研究の遂行にあたり、科学研究費補助金基盤研究(A)18200002, (B)19300009及び若手研究(B)19700039のご支援を頂いた。また、本研究の一部は、科学技術振興機構・戦略的創造研究推進事業(CREST)の研究プロジェクト「ディペンダブルネットワークオンチッププラットフォームの構築」の支援、及び東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] International technology roadmap for semiconductors. <http://public.itrs.net/>, 2004 Edition.
- [2] Makoto Nagata, Takashi Morie, and Atsushi Iwata. Modeling substrate noise generation in CMOS digital integrated circuits. *Proc. CICC 2002*, pp. 501-504, May 2002.
- [3] Makoto Nagata, Takeshi Okumoto, and Kazuo Taki. A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits. *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, pp. 813-819, Apr. 2005.
- [4] Amir H. Ajami, Kaustav Banerjee, Amit Mehrotra, and Massoud Pedram. Analysis of ir-drop scaling with implications for deep submicron p/g network designs. *Proc. ISQED03*, pp. 35-40, Mar. 2003.
- [5] Resve Saleh, Syd Zakir Hussain, Steren Rochel, and David Overhauser. Clock skew verification in the presence of IR-drop in the power distribution network. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 19, No. 6, pp. 635-644, Jun. 2000.
- [6] Ted E. Williams and Mark A. Horowitz. A zero-overhead self-timed 160ns 54b CMOS divider. *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 11, pp. 1651-1661, Nov. 1991.
- [7] Scott Hauck. Asynchronous design methodologies: An overview. *Proceedings of the IEEE*, Vol. 83, No. 1, pp. 69-93, Jan. 1995.
- [8] Montek Singh and Steven M. Nowick. High-throughput asynchronous pipelines for fine-grain dynamic datapaths. In *Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp. 198-209. IEEE Computer Society Press, Apr. 2000.
- [9] Y. Thonnart et al. Automatic Power Regulation based on an Asynchronous Activity Detection and its Application to ANOC Node Leakage Reduction. In *Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp. 48-57. IEEE Computer Society Press, Apr. 2008.