

伝搬支配性に着目した遅延テストのためのハイブリッドスキャン設計

怒和 友美[†] 吉川 祐樹^{††} 市原 英行^{††} 井上 智生^{††}

^{††} 広島市立大学大学院情報科学研究科 〒731-3194 広島県広島市安佐南区大塚東3-4-1

E-mail: [†]nuwa@dsgn.im.hiroshima-cu.ac.jp, ^{††}{yosikawa,ichihara,tomoo}@hiroshima-cu.ac.jp

あらまし 遅延故障のテスト手法として、スキャンベースの遅延テストであるハイブリッド遅延テストが文献[1]で提案されている。ハイブリッド遅延テストは、一部のフリップフロップ (FF) をスキュードロード FF (SL-FF) として制御し、残りの FF をブロードサイド FF (BS-FF) として制御することができるハイブリッドスキャン設計により実現する。本研究では、ハイブリッド遅延テストにおける故障検出率の向上を目的として、FF の伝搬支配性に着目した SL-FF 選択のためのヒューリスティック尺度を提案し、それに基づくハイブリッドスキャン設計を行う。また、ハイブリッドスキャン設計された回路はブロードサイドテストも行えることに着目し、ハイブリッド遅延テストと組み合わせた効率的なテスト実行法を述べる。実験では遷移故障の検出率を評価し、提案する SL-FF 選択法の有効性を示す。
キーワード 遅延故障テスト、ハイブリッドスキャン設計、スキュードロード FF 選択、伝搬支配性

A Hybrid Delay Scan for Delay Testing Based on Propagation Dominance

Tomomi NUWA[†], Yuki YOSHIKAWA^{††}, Hideyuki ICHIHARA^{††}, and Tomoo INOUE^{††}

^{††} Graduate School of Information Sciences, Hiroshima City University

Ozuka-higashi 3-4-1, Asaminami-ku, Hiroshima, 731-3194 Japan

E-mail: [†]nuwa@dsgn.im.hiroshima-cu.ac.jp, ^{††}{yosikawa,ichihara,tomoo}@hiroshima-cu.ac.jp

Abstract The hybrid delay scan design [1], where part of FFs can be controlled as skewed-load ones, is an effective method for achieving high delay fault coverage with a small hardware penalty. In this work, we propose a heuristic measure for selecting skewed-load FFs (SL-FFs) based on propagation dominance, referring to the ability of FFs to propagate errors, and present a method for designing hybrid scan based on the proposed measure. Experimental results show that our proposed hybrid scan design is effective in fault coverage and fault efficiency, compared to the previous method [1], especially along with the broad-side test application.

Key words delay test, hybrid scan design, skewed-load FF, propagation dominance

1. まえがき

LSI の微細化、高速化に伴い、遅延故障のテストはますます重要となっている。回路に遅延故障が存在する場合、配線やゲートの遅延が増加し、回路動作に影響を与える原因となる。遅延故障のテストには 2 パタンテストが用いられる。2 パタンテストでは、1 パタン目で故障が存在すると仮定する信号線を所望の値に初期化し、2 パタン目で故障を活性化させ、外部出力またはフリップフロップ (FF) へと伝搬させる。遅延故障が存在すると、取り込み時刻に値の変化が間に合わず、1 時刻目と同じ値が取り込まれ故障が検出される [2]。

順序回路のテストを効率よく行う方法として、スキャン設計が一般的に用いられている。スキャン設計とは、FF をスキヤ

ン FF に置き換え、シフトレジスタとして接続する設計法であり、外部から容易に FF の値の設定、観測を行うことができる。スキャンベースの遅延故障のテストには、ブロードサイドテストとスキュードロードテストがある [3], [4]。これらのテスト手法では 2 パタン目の制御が異なる。スキュードロードテストは、高い故障検出率が期待できるが、2 パタン目をスキャン FF に取り込んだ後、その回路応答を取り込むために高速にスキャン FF の制御を行う必要があり、タイミングや複雑な制御を配慮するため、その設計にはコストがかかる。一方、ブロードサイドテストは 2 パタン目を回路応答から取り込むため、スキャン FF の制御を変更することなく回路応答を取り込むことができる。そのため、ブロードサイドテストの設計コストはスキュードロードテストに比べて小さいが故障検出率は低い。そこで、

低コスト、高故障検出率の遅延テストの実現を目的とした、ハイブリッドスキャン設計法が文献 [1] で提案されている。ハイブリッド遅延テストは、ハイブリッドスキャン設計を行った回路に対して、一部の FF をスキュードロード FF (SL-FF) として制御し、その他の FF をブロードサイド FF (BS-FF) として制御することで実現する。ハイブリッド遅延テストの特徴は、一部の FF を SL-FF として制御することであり、故障検出率は回路中のどの FF を SL-FF として制御するかに依存する。

本研究では、故障の伝搬条件に着目し、故障の伝搬のしやすさを表す尺度である伝搬支配性を考慮した SL-FF 選択法を提案する。検出不可能な故障には、遷移を外部まで伝搬できないために検出できないものがある。しかし、そのような故障でも伝搬支配性の高い FF を SL-FF として制御することで遷移の伝搬が可能となり、検出できるようになる可能性がある。また、ハイブリッドスキャン設計では、すべての FF を BS-FF として制御することでブロードサイドテストも行えることに着目し、ブロードサイドテストとハイブリッド遅延テストを組み合わせたテスト実行法を提案する。このテスト実行法では、ブロードサイドテストのためのテストパタン生成を行い、それによって判定不能となった故障を対象にハイブリッド遅延テストのためのテストパタン生成を行うことで過剰テストを抑えることができる。一方、高い故障検出率を要求する立場であれば、順序を考慮する必要はなく、先に実行するテストパタン生成で検出不能または判定不能となった故障を対象に、後者のためのテストパタン生成を行う。

提案した SL-FF 選択法と文献 [1] における選択法を適用した回路に対して評価を行い、伝搬できないために検出不能であった故障が提案法によって検出できることを確認するとともに、提案法はどのような故障に対して有効であるかを示す。更に、ブロードサイドテストとハイブリッド遅延テストを組み合わせたテスト実行法に対しても評価を行い、その有効性を示す。

2. ハイブリッドスキャン設計

ハイブリッドスキャン設計では、一部の FF を SL-FF として選択し、残りの FF を BS-FF とする。SL-FF は 2 時刻目における入力を直前の FF の 1 時刻前の FF からシフトするように制御でき、BS-FF は 1 時刻目の回路応答を 2 時刻目の入力とするように制御できる。図 1 は、FF D_4 を SL-FF として選択したときのハイブリッドスキャン設計の例である。1 時刻目は各マルチプレクサの制御信号 m_1, m_2 をすべて 1 に制御し、スキャンチェーンからの値を入力として 1 パタン目を設定する ($m_1 = m_2 = 1$)。2 時刻目では、SL-FF (FF D_4) は制御信号を 1 に制御して直前の FF の 1 時刻前の値を取り込む。一方、その他の FF は制御信号を 0 に制御して回路応答から値を取り込み、2 パタン目を得る ($m_1 = 0, m_2 = 1$)。

ハイブリッド遅延テストは、SL-FF として選択した FF D_i は直前の FF D_{i-1} から 2 パタン目をシフトし、BS-FF は回路応答から 2 パタン目を与えるテストである。本研究では、故障

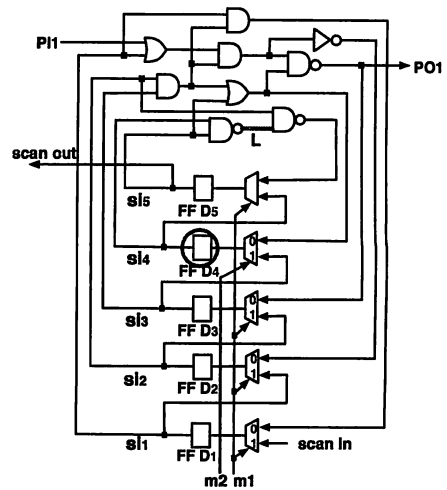


図 1 ハイブリッドスキャン設計

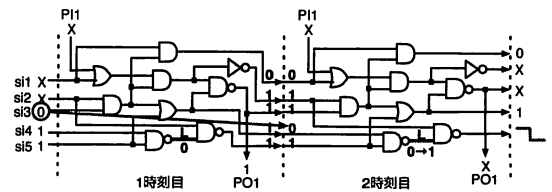


図 2 2 時刻展開図

モデルとして遷移故障を対象とする。図 1 において、信号線 L の立ち上がり遷移故障 ($0 \rightarrow 1$) をハイブリッド遅延テストする場合の具体的な制御と動作を説明する。図 2 は、図 1 の組合せ回路部を 2 時刻展開し、1 パタン目を与えた後の回路応答と、2 時刻目に 2 パタン目が与えられる様子を示したものである。信号線 L の立ち上がり遷移故障をテストするためには、1 時刻目で信号線 L を 0 に初期化し、2 時刻目で信号線 L に立ち上がりの遷移をおこして、さらにその遷移を外部まで伝搬させなければならない。回路を初期化するために必要な値を 1 パタン目とし、この例では $(P11, D_1, D_2, D_3, D_4, D_5) = (X, X, X, 0, 1, 1)$ を与える (X はドントケアを表す)。このとき、回路応答は $(D_1, D_2, D_3, D_4, D_5) = (0, 1, 1, 1, 1)$ となる。2 パタン目として各 FF に与えられる値は、BS-FF D_1, D_2, D_3, D_5 は回路応答がそのまま与えられるように制御される ($m_1 = 0$) ので $(D_1, D_2, D_3, D_5) = (0, 1, 1, 1)$ となる。しかし、SL-FF D_4 は直前の FF D_3 の 1 時刻目の値が入力されるように制御される ($m_2 = 1$) ため、 D_4 には回路応答の“1”ではなく、1 時刻目の D_3 の値である“0”が与えられることになる。よって、各 FF に与えられる 2 パタン目は $(D_1, D_2, D_3, D_4, D_5) = (0, 1, 1, 0, 1)$ となり、この例では D_1 に故障が検出される (図 2)。なお、この例の場合、すべての FF の 2 パタン目を回路応答から得るブロードサイドテストでは、各 FF に与えられる 2 パタン目は $(D_1, D_2, D_3, D_4, D_5) = (0, 1, 1, 1, 1)$ となり、2 時刻目で信号線

L の立ち上がり遷移が作れないため故障の検出はできない。

ハイブリッド遅延テストでは、スキュードロードの制御を取り入れることでブロードサイドテストよりも2パターン目の制約が緩和されている。また、設計制約が厳しくコストのかかるSL-FF数を少なくすることで、スキュードロードテストよりもコストを抑えることができる。

3. 伝搬支配性に着目したSL-FF選択法

文献[1]では、SL-FFを選択するための指標として、FFの可制御性と独立性を用いている。FFの v 可制御性($v \in \{0, 1\}$)とはFFを論理値 v にする難しさを示しており、 v 可制御性の値が大きいかほどFFを v に制御するのが難しいことを表す。また、FF D_i の独立性とは、FF D_i の出力が影響する範囲内にその直前のFF D_{i-1} の出力が影響しないことをいう。ある故障をテスト対象とするとき、独立なFFをSL-FFとして選択すると、2時刻目にFF D_i が必要とする値と1時刻前の直前のFF D_{i-1} の値で衝突は起こらない。一方、独立でないFFをSL-FFとして選択する場合、FF D_i とFF D_{i-1} で値の衝突が起こる可能性がある。このときの値の衝突が起こることをシフト依存という。シフト依存が起こると対象とする故障はテストすることができない。そこで、文献[1]におけるSL-FF選択法では、独立であるFFから優先してSL-FFを選択する。更に、回路全体の可制御性を高めるため、独立なFFの中でも可制御性が低いFFをSL-FFとして選択する。

しかし、独立ではないFFを選択したからといってシフト依存が必ずしも起こるとは限らない。独立ではないFFをSL-FFとして選択しても、実際にはシフト依存が起こらず、対象とする故障を検出できる可能性も考えられる。そこで、提案する選択法では評価指標から独立性を除く。また、可制御性だけではなく、故障を検出するためには故障を外部出力もしくはFFまで伝搬しなくてはならないということに着目し、故障の伝搬のしやすさを尺度として、伝搬支配性を考慮する。FFの伝搬支配性が高いほど、そのFFに値を割り当てたときに回路内の多くのゲートに非制御値を割り当てることができるため、故障の影響を外部へ伝搬できる可能性が高い。

それぞれの評価指標についての詳細は以降で述べる。

3.1 可制御性

可制御性はFFの制御の容易性を表す指標であり、値が大きいが制御が困難である(可制御性が低い)ことを表す。信号線 l の v 可制御性($v \in \{0, 1\}$)は以下のように定義される。

$$C_v(l) = \begin{cases} 1 & : l \text{ が外部入力, または状態入力である場合} \\ \min_{l_a \in I_l} \{C_c(l_a)\} & : v = c \oplus i \text{ である場合} \\ \sum_{l_a \in I_l} C_e(l_a) & : \text{上記以外の場合} \end{cases}$$

ただし、 I_l は l を出力とするゲートの入力集合、 c は l を出力とするゲートの制御値(ゲートの1つの入力値で出力値が決定する値)、 \bar{c} は l を出力とするゲートの非制御値を意味する。また、 $i = 1$ のときは、このゲートはNAND, NOR, NOTなど

の反転ゲートである。

FF D_i の0, 1可制御性は $C_v(D_i)$ と表され、そのFFの入力となる信号線の0, 1可制御性に等しい。SL-FFにすると、そのFFの0, 1可制御性がともに1になる。可制御性が低いFFを制御した方が回路全体の可制御性が高まることを考慮し、なるべく可制御性の低いFFをSL-FFとして選択するようにする。

3.2 伝搬支配性

遷移故障を顕測するためには、故障が存在する信号線上での遷移を外部出力、またはFFまで伝搬する必要がある。また、故障箇所での遷移を伝搬するには、遷移が伝搬する時刻に伝搬経路上のすべてのゲートに置ける経路外入力を非制御値にする必要がある。よって、故障を伝搬する際、回路内の多くのゲートに非制御値を与えたほうが故障を伝搬しやすいと考えられる。例えば、図3, 図4において、FF D_1 を0に制御すると非制御値が入力されるゲート数は1であるが(図3)、1に制御すると2つのゲートに非制御値を与えることができる(図4)。この場合、FF D_1 は1に制御したほうが故障を伝搬しやすい。このことより、FF D_i の入力を v としたときに非制御値が与えられるゲート数をFF D_i の v による伝搬支配性(v 伝搬支配性)とし、評価指標として用いる。FFの伝搬支配性は、そのFFを制御することでどれだけ故障を伝搬しやすくなるかということを表している。

FF D_i の v 伝搬支配性($v \in \{0, 1\}$)は以下のように定義される。

$$PD_v(D_i) = \sum_{g_a \in G_l} N \begin{cases} N = 1 & : v = \bar{c} \text{ の場合} \\ N = PD_o(g_a) & : v = c \text{ の場合} \end{cases}$$

ただし、 l はFF D_i の出力信号線、 G_l は l を入力とするゲートの集合、 c はゲート g_a の制御値、 \bar{c} はゲート g_a の非制御値とする。また、 o はゲート g_a に制御値を与えた場合の出力値とする。

ここで、伝搬支配性の計算例を示す。図3, 図4において、FF D_1 の0伝搬支配性 $PD_0(D_1)$ と1による1伝搬支配性 $PD_1(D_1)$ を求めると、FF D_1 に0を与えた場合、 g_1, g_2 には制御値である0が入力されるため、 $PD_o(g_1)$ と $PD_o(g_2)$ を計算する必要がある。 g_1 に0を入力すると、その出力 o は0となる。 g_1 の出力から繋がるパス上に存在するゲートは g_3 のみであり、 g_3 には非制御値が入力されるため、 $PD_o(g_3) = 1$ となる。また、 g_2 は出力のパス上にゲートが存在しないため、 $PD_o(g_2) = 0$ となる。したがって、FF D_1 の0伝搬支配性 $PD_0(D_1)$ は1である。同様に、1伝搬支配性 $PD_1(D_1)$ の場合を考える。FF D_1 に1を与えた場合、 g_1, g_2 には非制御値が入力されるため、 $PD_1(D_1) = 1 + 1 = 2$ となる。

3.3 SL-FF選択アルゴリズム

伝搬支配性と可制御性を考慮したFF D_i の評価値 $Cost(D_i)$ の計算方法を以下のように提案する。

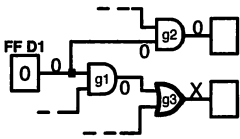


図3 伝搬支配性：FF D_1 に0を与えた場合

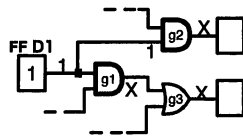


図4 伝搬支配性：FF D_1 に1を与えた場合

$$Cost(D_i) = (PD_0(D_i) \times C_0(D_i)) + (PD_1(D_i) \times C_1(D_i))$$

ただし、 $C_0(D_i)$ 、 $C_1(D_i)$ はそれぞれ 0,1 可制御性を表し、 $PD_0(D_i)$ 、 $PD_1(D_i)$ はそれぞれ 0,1 伝搬支配性を表す。この評価方法では、FF D_i の 0,1 伝搬支配性 $PD_0(D_i)$ 、 $PD_1(D_i)$ の合計により、その FF を制御することでどれだけ故障を伝搬しやすくなるかを評価する。また、回路全体での制御の難しさを考慮し、0,1 伝搬支配性 $PD_0(D_i)$ 、 $PD_1(D_i)$ にそれぞれ 0,1 可制御性 $C_0(D_i)$ 、 $C_1(D_i)$ をかけることで、可制御性が低く、かつ、制御することで故障を伝搬しやすくなる FF を評価する。値が大きいほど制御する価値のある FF である。

この評価値 $Cost(D_i)$ を用いた SL-FF 選択法では、SL-FF として選択できる最大数になるまで、 $Cost(D_i)$ の大きい FF から順に SL-FF として選択する。 $Cost(D_i)$ が同じ FF が 2 つ以上ある場合は、各 FF の 0,1 可制御性のうち低いほうの値、すなわち、数値が大きいほうの値を比較し、値の大きい FF から優先的に選択する。図1を用いて、提案した選択法による SL-FF 選択の例を示す。今回は SL-FF を 2 つまで選択できるとする。まず、各 FF において 0,1 伝搬支配性 $PD_0(D_i)$ 、 $PD_1(D_i)$ と 0,1 可制御性 $C_0(D_i)$ 、 $C_1(D_i)$ を求める。各 FF の可制御性は、
 $(C_0(D_1), C_1(D_1)) = (1, 3)$ 、 $(C_0(D_2), C_1(D_2)) = (3, 1)$ 、
 $(C_0(D_3), C_1(D_3)) = (4, 1)$ 、 $(C_0(D_4), C_1(D_4)) = (2, 1)$ 、
 $(C_0(D_5), C_1(D_5)) = (2, 1)$

となる。また、各 FF の伝搬支配性は

$$\begin{aligned} (PD_0(D_1), PD_1(D_1)) &= (1, 2), \\ (PD_0(D_2), PD_1(D_2)) &= (1, 2), \\ (PD_0(D_3), PD_1(D_3)) &= (1, 1), \\ (PD_0(D_4), PD_1(D_4)) &= (1, 1), \\ (PD_0(D_5), PD_1(D_5)) &= (2, 2) \end{aligned}$$

となる。これから FF の評価値 $Cost(D_i)$ を計算する。例えば、 D_1 の $Cost(D_1)$ は、

$$\begin{aligned} Cost(D_1) &= (C_0(D_1) \times PD_0(D_1)) + (C_1(D_1) \times PD_1(D_1)) \\ &= (1 \times 1) + (3 \times 2) = 7 \end{aligned}$$

となる。他の FF も同様に計算すると、

$Cost(D_2) = 5$ 、 $Cost(D_3) = 5$ 、 $Cost(D_4) = 3$ 、 $Cost(D_5) = 6$ となる。ここで、 D_2 と D_3 の評価値が同じであるので、これらの可制御性の低いほうの値を比較し、優先順位を決定する。 D_2 は 0, 1 可制御性を比べると 0 可制御性のほうが低く（値が大きい）、また、 D_3 も同様に 0 可制御性のほうが低い。よって、ここでは D_2 の 0 可制御性の値“3”と D_3 の 0 可制御性の値“4”を比較する。この場合は、 D_3 のほうが値が大きいため、 D_3 のほうが D_2 よりも優先順位が高くなる。したがって、SL-FF の選択順

序は D_1 、 D_5 、 D_3 、 D_2 、 D_4 となる。今回の例では SL-FF を 2 つまで選択できるとするので、この場合、 D_1 と D_5 が SL-FF として選択される。

3.4 テスト実行法

3.4.1 テストモード

ハイブリッドスキャン設計では、制御信号 m_1 、 m_2 を同じように制御し、すべての FF を回路応答から入力するように制御することができる。この場合はブロードサイドテストと同じ動作をすることになる。ここで、ハイブリッドスキャン設計においてブロードサイドテストを行うように制御するモードをブロードサイドモード、ハイブリッド遅延テストを行うように制御するモードをハイブリッドモードとよぶ。

ブロードサイドテストで検出可能な故障が、ハイブリッド遅延テストで必ずしも検出可能となるわけではないことを考慮すると、ハイブリッド遅延テストに加えてブロードサイドモードによるテストも行うことで更に多くの故障を検出することができると考えられる。また、ハイブリッドスキャン設計でブロードサイドモードによるテストを行う場合、特に付加コストは発生しない。よって、ブロードサイドモードによるテストとハイブリッドモードによるテストを両方行うことで、付加コストなく故障検出率の向上が期待できる。以上より、ブロードサイドモードによるテストとハイブリッドモードによるテストを両方行うテスト実行法を BS-HY 実行法とし、この方法によるテスト実行を考える。

3.4.2 テストの立場とテスト実行

BS-HY 実行法を行う場合の故障検出効率と故障検出率の求め方を示す。 F_{all} を全故障の集合とし、 DT_b をブロードサイドモードで検出可能と判定された故障の集合、 UT_b をブロードサイドモードで検出不可能と判定された故障の集合、 ND_b をブロードサイドモードで判定不能とされた故障の集合 ($ND_b = \overline{DT_b} \cup \overline{UT_b}$) とする。また、 DT_h をハイブリッドモードで検出可能と判定された故障の集合、 UT_h をハイブリッドモードで検出不可能と判定された故障の集合、 ND_h をハイブリッドモードで判定不能とされた故障の集合 ($ND_h = \overline{DT_h} \cup \overline{UT_h}$) とする (図5)。BS-HY 実行法における故障検出効率 E は、いずれかのテストで検出可能、もしくは検出不可能と判定された故障の割合を表し、

$$E = \frac{|(DT_b \cup UT_b) \cup (DT_h \cup UT_h)|}{|F_{all}|} \quad (1)$$

となる。また、故障検出率 C は、いずれかのテストで検出可能と判定された故障の割合を表し、

$$C = \frac{|DT_b \cup DT_h|}{|F_{all}|} \quad (2)$$

となる。

BS-HY 実行法を行う場合、ブロードサイドモードでのテスト生成とハイブリッドモードでのテスト生成の順序を考慮することで過剰テストを抑えることができる。過剰テストを考慮す

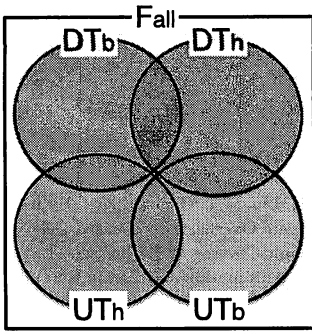


図5 ブロードサイドモードによるテストとハイブリッドモードによるテストにおける故障集合の関係

る立場では、できる限り通常動作に近い形のテストで故障を検出するのが望ましい。よって、まずブロードサイドモードでテスト生成を行い、それによって判定不能とされた故障 (ND_b) を対象としてハイブリッドモードでテスト生成を行う。これにより、ブロードサイドモードでのテスト生成によって検出不可能とされた故障 (UT_b) に対してはハイブリッドモードでテスト生成を行わないため、過剰テストを抑えることができる。これに対し、過剰テストを考慮せず、できる限り故障を検出することを目的とする立場では、特にテスト生成の順序を考慮する必要はなく、先に実行したテストモードで検出不能または判定不能となった故障集合に対して、もう一方のテストモードでテスト生成を行う。

4. 実 験

文献[1]で紹介されている独立性を考慮した SL-FF 選択法 (I 選択法) と、今回提案する伝搬支配性を考慮した SL-FF 選択法 (PD 選択法) を適用した回路に対し実験を行った。実験は、ITC99 ベンチマーク回路を対象とした。また、選択できる SL-FF 数は回路中の FF の 10% を限度としている。

PD 選択法の有効性を確認するため、I 選択法、PD 選択法に対してハイブリッドモードによるテスト生成を行った結果を表 1 に示す。この表において、 $|DT_h^I|$ は I 選択法を適用した回路に対するハイブリッドモードでのテスト生成で検出可能となった故障数を表し、 $|DT_h^{PD}|$ は、PD 選択法を適用した回路に対するハイブリッドモードでのテスト生成で検出可能となった故障数を表す。また、ブロードサイドモードによるテスト生成では検出不可能もしくは判定不能だが、ハイブリッドモードによるテスト生成では検出可能となった故障数を $|DT_{ho}^k|$ ($k \in \{I, PD\}$)、ブロードサイドモードによるテスト生成では検出可能だが、ハイブリッドモードによるテスト生成では検出不可能もしくは判定不能となった故障数を $|DT_{bo}^k|$ 、両方のテスト生成で検出可能となった故障数を $|DT_{hb}^k|$ とする。 $|DT_{ho}^k|$ 、 $|DT_{bo}^k|$ 、 $|DT_{hb}^k|$ はそれぞれ、

$$|DT_{ho}^k| = |DT_h^k \cap \overline{DT_b^k}| \quad (3)$$

$$|DT_{bo}^k| = |DT_b^k \cap \overline{DT_h^k}| \quad (4)$$

$$|DT_{hb}^k| = |DT_h^k \cap DT_b^k| \quad (5)$$

で表される。

表 1 より、ハイブリッドモードにおけるテストの結果のみを比較した場合は、PD 選択法の故障検出数は必ずしも I 選択法の故障検出数に勝っているわけではなく、回路によって結果は異なっている。また、 $|DT_{bo}^I|$ と $|DT_{bo}^{PD}|$ を比較すると $|DT_{bo}^{PD}|$ のほうが多い、すなわち、ブロードサイドモードによるテストでは検出可能であったが、ハイブリッドモードによるテストでは検出されなくなってしまうような故障が、PD 選択法のほうが多いことがわかる。これより、ハイブリッドモードによるテストのみを行う場合は、独立性を考慮することもある程度必要であると考えられる。

一方で、 $|DT_{ho}^I|$ と $|DT_{ho}^{PD}|$ を比較すると、ほとんどの場合において PD 選択法のほうが多い結果となっている。これより、PD 選択法はブロードサイドモードによるテストで検出不可能な故障を多く検出できていることがわかる。その理由の 1 つとして、ブロードサイドモードによるテストでは伝搬できないことが原因で検出できない故障が、伝搬支配性を考慮して SL-FF を選択することで、伝搬が可能となり検出できるようになったと考えられる。このような故障は、I 選択法よりも PD 選択法においてより多く確認できた。したがって、PD 選択法は、ブロードサイドモードによるテストでは遷移の伝搬が行えず検出不可能であった故障に対して有効であると考えられる。ブロードサイドモードによるテストを行うことを考えれば、 $|DT_{bo}^{PD}|$ の故障も検出することが可能となるため、伝搬支配性を考慮して SL-FF を選択することは有効であると考えられる。

表 2 には、I 選択法、PD 選択法をそれぞれ適用した回路に対し BS-HY 実行法でテスト生成を行い、式 (1) により故障検出効率を評価した結果と式 (2) により故障検出率を評価した結果を示す。実験の順序は、まずブロードサイドモードでテスト生成を行い、検出不能、もしくは判定不能と判定された故障を対象としてハイブリッドモードでテスト生成を行った。表中の $|F_{all}|$ は回路の総故障数を示し、 $SLFF$ は選択した SL-FF 数を表す。また、故障検出効率を E 、故障検出率を C 、ブロードサイドモードとハイブリッドモードのいずれかで検出された故障数を $|DT^k|$ ($k \in \{I, PD\}$) とする。 $|DT^k|$ は以下の式で表される。

$$|DT^k| = |DT_b^k \cup DT_h^k| \quad (6)$$

表 2 より、故障検出効率 E はほとんどの回路においてどちらの選択法でも 100% であったが、b11 回路では、PD 選択法は I 選択法に対して 0.42% 増加した。故障検出率 C は、b13 回路を除いて、I 選択法よりも PD 選択法のほうが増加した。故障検出率の増加量は、最も低いもので 2.5%、高いものでは 10.8%、平均して約 4.2% 増加している。また、I 選択法と PD 選択法においてそれぞれ選択した SL-FF 数を比較してみると、b09 回路では、I 選択法では 1 つの FF しか SL-FF として選択してい

表 1 ハイブリッドモードによるテスト生成の結果

回路	I 選択法を適用した場合				PD 選択法を適用した場合			
	$ DT_{ho}^I $	$ DT_{he}^I $	$ DT_{ho}^I $	$ DT_{he}^I $	$ DT_{ho}^{PD} $	$ DT_{he}^{PD} $	$ DT_{ho}^{PD} $	$ DT_{he}^{PD} $
b01	280	0	0	280	285	13	8	272
b02	169	0	0	169	176	7	0	169
b03	985	12	0	973	988	53	38	935
b04	4254	20	0	4234	4185	248	306	3937
b07	2541	8	0	2533	2502	117	148	2385
b08	963	24	0	939	1012	101	28	911
b09	1011	49	0	962	997	77	42	920
b10	1126	35	0	1091	1041	98	148	943
b11	3248	15	0	3233	3580	507	160	3073
b12	6377	61	0	6316	6018	242	540	5776
b13	1867	52	0	1815	1811	18	22	1793

表 2 BS-HY 実行法によるテスト生成の結果

回路	I 選択法を適用した場合				PD 選択法を適用した場合				
	$ F_{all} $	$SLFF$	$ DT^I $	$E[\%]$	$C[\%]$	$SLFF$	$ DT^{PD} $	$E[\%]$	$C[\%]$
b01	302	1	280	100	92.72	1	293	100	97.02
b02	178	1	169	100	94.94	1	176	100	98.88
b03	1076	3	985	100	91.54	3	1026	100	95.35
b04	4552	6	4254	100	93.45	6	4491	100	98.66
b07	2788	4	2541	100	91.14	4	2650	100	95.05
b08	1154	2	963	100	83.45	2	1040	100	90.12
b09	1120	2	1011	100	90.27	1	1039	100	92.77
b10	1266	1	1126	100	88.94	1	1189	100	93.92
b11	4556	3	3248	98.92	71.29	3	3740	99.34	82.09
b12	7066	12	6377	100	90.25	12	6558	100	92.81
b13	2284	5	1867	100	81.74	5	1833	100	80.25

ないが、PD 選択法では 2 つの FF を SL-FF として選択している。これは、I 選択法では独立性による制約が厳しく、SL-FF を最大数まで選択することができなかったことを表している。

表 1 より、PD 選択法ではブロードサイドモードによるテストで検出不可能となってしまった故障 $|D_{ho}^{PD}|$ も存在したが、表 2 の $|D^{PD}|$ をみると、BS-HY 実行法で行うことで $|D_{ho}^{PD}|$ を検出できていることが確認できる。したがって、検出不可能となってしまった故障もブロードサイドモードによるテストを行うことで十分に補えていることがわかる。また、表 1 の $|D_{ho}^I|$ が全ての回路において 0 となっていることから、今回の実験では、I 選択法を用いた場合はハイブリッドモードによるテストで検出された故障がブロードサイドモードによるテストで検出できる故障をすべて包含していたことがわかる。よって、今回は、I 選択法を適用した場合においてはブロードサイドモードによるテストを行うことによる効果は得られなかった。

5. まとめ

本研究では、故障の伝搬条件に着目した SL-FF の選択法とハイブリッドスキャン設計におけるテスト実行法を提案した。また、SL-FF 選択法の有効性を確認するため、I 法と PD 法を適用した回路に対しハイブリッドモードによるテスト生成を行い、さらに提案したテスト実行法についても実験を行った。実験の結果より、SL-FF 選択の際には独立性を考慮することもある程度必要であるが、伝搬支配性を考慮することでも故障を多

く検出できることが確認できた。また、ブロードサイドモードを導入することで、SL-FF の選択方法によっては、より故障検出率を向上することが確認できた。今後は、テスト生成時間やテストパターン数による評価を行う予定である。

文 献

- [1] S. Wang, X. Liu, S. T. Chakradhar, "Hybrid Delay Scan: A Low Hardware Overhead Scan-based Delay Test Technique for High Fault Coverage and Compact Test Sets," Proceedings Design Automation and Test in Europe Conference and Exhibition, pp.1296-1301, Feb. 2004.
- [2] K. -T. Cheng and H. -C. Chen, "Classification and identification of nonrobust untestable path delay faults," IEEE Transactions on Computer-Aided Design of integrated Circuits and Systems, Vol.15, no.8, pp.845-853, Aug. 1996.
- [3] J. Savir and S. Patil, "Broad-side delay test," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.13, no.8, pp.1057-1064, Aug. 1994.
- [4] J. Savir and S. Patil, "Scan-based transition test," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.12, no.8, pp.1232-1241, Aug. 1993.
- [5] J. A. Waicukauski, E. Lindbloom, B. K. Rosen, and V. S. Iyengar, "Transition Fault Simulation," Proceedings IEEE Design and Test of Computers, pp.32-38, April. 1987.
- [6] G. Xu and A. D. Singh, "Flip-flop selection to Maximize TDF Coverage with Partial Enhanced Scan," Proceedings 16th IEEE Asian Test Symposium, pp.335-340, Oct. 2007.
- [7] N. K. Jha and S. Gupta, "Testing of Digital Systems," the PRESS SYNDICATE OF THE UNIVERSITY OF CAMBRIDGE, pp.214-221, 2003.
- [8] J. Savir, "Skewed-Load Transition Test: Part I, Calculus," Proceedings IEEE International Test Conference, pp.705-713, Sept. 1992.
- [9] L. H. Goldstein and E. L. Thigpen, "SCOAP: Sandia Controllability/Observability Analysis Program," Proceedings IEEE-ACM Design Automation Conference, pp.190-196, June. 1980.
- [10] J. Saxena, K. M. Butler, J. Gatt, R. Raghuraman, S. P. Kumar, S. Basu, D. J. Campbell, and J. Berech, "Scan-Based Transition Fault Testing - Implementation and Low Cost Test challenges," Proceedings IEEE International Test Conference, pp.1120-1129, Oct. 2002.