

高信頼セルによる回路の信頼性評価

堀田 敬一[†] 中田 尚[†] 中西 正樹[†] 山下 茂[†] 中島 康彦[†]

[†] 奈良先端科学技術大学院大学 〒630-0192 奈良県生駒市高山町 8916-5

E-mail: †{keiichi-h, nakada, m-naka, ger, nakashim}@is.naist.jp

あらまし 近年のトランジスタ製造によるプロセス微細化によって、トランジスタの故障率の増加が問題となっている。そこで故障率の増加を抑える手法として、高信頼セルを用いて回路を構成する手法が提案されている。高信頼セルは従来セルと比較して耐故障性が高いと考えられている。この耐故障性を定量的に扱うためには、信頼性評価を行う必要がある。信頼性評価手法はいくつか提案されているが、従来手法を用いて高信頼セルの信頼性評価を行う場合、信頼性を正確に評価できない問題が生じる。そこで本論文では、正確な評価を行うためにトランジスタの故障率をもとに回路全体の信頼性を評価する手法を提案する。これにより従来セルと高信頼セルによる回路の信頼性を定量的に評価することが可能になる。提案手法を用いた従来セルと高信頼セルの信頼性の評価実験を行った結果、従来セルと比較して高信頼セルの信頼性がどの程度高いかを定量的に示した。

キーワード 信頼性評価, 耐故障性, 性能ばらつき

Evaluating the reliability of Highly Reliable Cell Circuits

Keiichi HOTTA[†], Takashi NAKADA[†], Masaki NAKANISHI[†], Shigeru YAMASHITA[†], and
Yasuhiko NAKASHIMA[†]

[†] Nara Institute of Science and Technology, 8916-5, Takayama, Ikoma, Nara, 630-0192, Japan

E-mail: †{keiichi-h, nakada, m-naka, ger, nakashim}@is.naist.jp

Abstract Recently, the shrinking process causes transistor variation and growth of error rate. Highly Reliable Cells (HRCs) have been proposed to solve these problems. We need to evaluate reliability of them quantitatively, because they are considered to be highly reliable. Although, there have been proposed several methods to evaluate the reliability, they cannot evaluate the reliability of circuits by HRCs accurately. Therefore, in this paper, we propose a new evaluation method for the reliability of circuits based on the fault probability of each transistor. The method can evaluate the reliability of circuits by HRCs or the CMOS cells. The experimental results show that HRCs are more reliable than the CMOS cells.

Key words reliability evaluation, fault tolerance, transistor variation

1. はじめに

近年、トランジスタ製造プロセスの微細化によって、トランジスタの性能ばらつきが大きくなる傾向にある。ばらつきが増大することによって高速化や低消費電力化といった回路最適化の実現が困難になる。この問題の解決手法として、定期的にトランジスタが配置されたセルを使用することで、ばらつきを抑えることが提案されている [1]。

また、プロセス微細化によってトランジスタの故障率も増大する傾向にある。この問題に対する一般的な解決策は、図 1 の (A) のように回路を多重化し、後段に多数決回路を設置する方法 [2] である。しかし多重化の場合であっても、(B) のように、

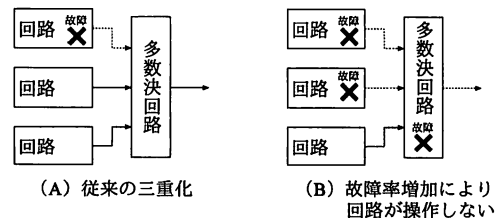


図 1 従来の演算器の構成とその問題点

故障率増加によって多重化した複数の回路、あるいは多数決回路内で故障が発生した場合は対処できない。

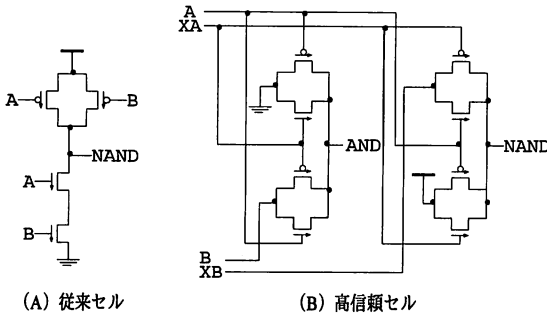


図2 従来セルと高信頼セルの構成

そこでトランジスタが規則正しく配置されており、かつ以下の機能を持った少品種セルが提案されている [3].

- (1) セル内で PMOS, あるいは NMOS が一定数故障しても正しい値を出力するセル
- (2) トランジスタが一定数より多く故障した場合、その故障を検出できるセル

以下、上記の機能を持ったセルを「高信頼セル」と呼ぶ。また、CMOS のセルを「従来セル」と呼ぶ。図 2 の (A) は従来セルによる NAND 論理であり、(B) は高信頼セルによる AND/NAND 論理である。

高信頼セルは故障が生じても正しい値を出力することから耐故障性が高いと考えられている [3]。実際、文献 [3] において耐故障性の評価は行われている。評価手法として、回路のセル内で故障が生じる確率を元に評価が行われている。評価においては入力パターンや故障パターンは考慮されていない。より正確な評価を行うためには入力パターンや故障パターンを考慮した手法が望ましい。そこで本論文では、ある確率で故障が発生するとき外部出力が正しい値を出力する確率を「回路の信頼性」と定義する。回路の信頼性を評価する際に入力パターンや故障パターンを考慮した評価手法を提案し、正確な評価が可能であることを示す。

本論文の構成は以下の通りである。まず、2 章で高信頼セルの特徴について述べる。次に 3 章で従来セルの評価手法について紹介を行い、従来手法を用いた高信頼セルの信頼性評価の問題点について述べる。4 章で提案する評価手法について述べる。5 章で加算器による回路の信頼性評価結果を述べ、最後に 6 章でまとめを述べる。

2. 高信頼セルの概要

高信頼 AND/NAND セル (以下、単純に高信頼セルと呼ぶ) の入出力は正論理と負論理がペアとなっている。図 2 の (B) において A, B, AND は正論理を表し、また XA, XB, NAND は負論理を表している。正常な値、つまり正論理と負論理が互いに逆の値を「正常値」と定義する。また、正論理と負論理が同じときの値を「異常値」と定義する。本論文では正常値を N_0 と N_1 、異常値を E_0 と E_1 と定義し、それぞれの正論理と負論理の組み合わせを表 1 に示す。

表 1 高信頼セルにおける正負論理

	正論理	負論理
N_0	0	1
N_1	1	0
E_0	0	0
E_1	1	1

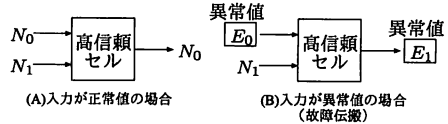


図3 高信頼セルによる故障伝搬

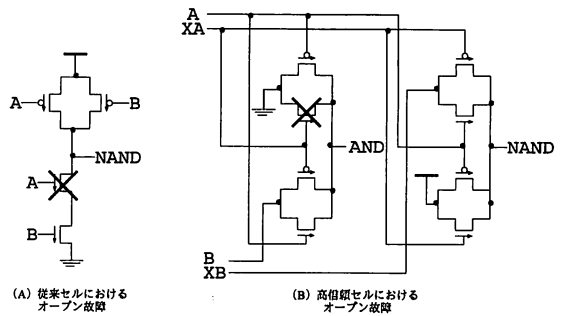


図4 従来セルと高信頼セルで発生するオープン故障例

2.1 故障伝搬

高信頼セルは正常値が入力されると出力も正常値を出力する。入力のうち一方でも異常値が入力されると異常値を出力する。高信頼セルの故障伝搬の機能は異常値を伝搬することで実現している。図 3 に故障伝搬の例を示す。

図 3 の (A) において入力に正常値 N_0 と N_1 が与えられた時は、出力は正常値である N_0 が出力される。(B) において入力に異常値 E_0 と正常値 N_1 が入力されるとき出力は異常値 E_1 を出力することを示している。この機能によって、故障検出のための冗長な回路を付け加えることなく、故障検出を行うことができる。

2.2 耐故障性

高信頼セルはセル内のトランジスタが一定数故障したときでも正常値を出力することができる。図 4 は各セルでオープン故障が生じる場合を表し、×によってトランジスタのオープン故障を表している。(A) において従来セルのトランジスタにオープン故障が発生すると入力によっては不定値を出力するため、正常な動作が不可能となる。(B) において高信頼セルの出力の正論理に接続されているトランジスタにオープン故障が発生する場合でも正常な動作は可能となっている。以上の点から従来セルと比較して高信頼セルによる回路の信頼性は高いと考えられる。

2.3 高信頼セルの信頼性

文献 [3] において、高信頼セルにより構成された比較器の耐故障性の評価が行われている。これは比較器内において、各セルが異常値を出力する確率を元に回路の耐故障性の評価を行っ

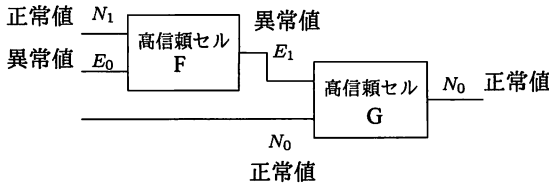


図5 高信頼セルによる故障伝搬

ている。この手法では入力パターンによる耐故障性については考慮されていない。入力パターンを考慮しない場合、正確な評価が行われない例を図5に示す。図5において高信頼セルGの入力の方に正常値 N_0 が入力される時、高信頼セルGのもう一方の入力はドントケアとなる。そのため高信頼セルGの出力は正常値を出力することができる。ドントケアとなる場合は、入力パターンに依存するため、ほかの入力パターンでは故障伝搬を行う。このように入力パターンによって故障が発生しても出力では正常値を出力する場合がある。文献[3]における評価では入力パターンは考慮されていない。このことからより正確な回路の信頼性の評価を行うためには入力パターンに考慮した評価が望ましい。

また、図4において、オープン故障が発生するトランジスタの場所によって出力が変化するため、故障パターンを考慮した回路の信頼性を評価することが望ましい。

3. ゲートの故障確率を元にした信頼性評価手法

高信頼セルの入力パターンと故障パターンを考慮した回路の信頼性を評価するために、従来手法を用いて評価を行う方法が考えられる。回路の信頼性を評価する従来手法として、確率を元にした回路の信頼性評価手法がいくつか提案されている。提案手法の1つに、行列を用いて回路の信頼性を評価する手法が提案されている[5]。この手法はゲートの出力にソフトエラーが発生するとした確率を元に回路が正しい値を出力する確率を回路の信頼性と定義している。このソフトエラーが発生する確率を高信頼セルのトランジスタにオープン故障が発生する確率と置き換えて評価する手法が考えられる。しかし、ソフトエラーをトランジスタのオープン故障に置き換えて信頼性の評価を行うと、正確な評価が行えない問題が生じる。ソフトエラーはある外部入力パターンのとき本来外部出力に影響を及ぼさないゲートにソフトエラーが生じることで外部出力に影響を及ぼすことがある。トランジスタにおいてはセルへの入力パターンによってトランジスタの動作が決まる。動作しているトランジスタにオープン故障が発生すると出力に影響を及ぼすが、動作していないトランジスタにオープン故障が生じると考えても出力には影響を及ぼさない。入力パターンにより動作するトランジスタは変化するため同一の回路を評価するはずが、入力パターンに依存した回路を評価することになる。このことから、従来手法をオープン故障に適用することは難しいと考えられる。

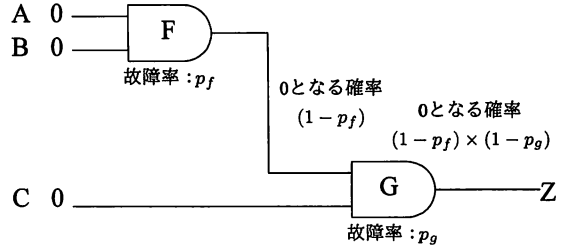


図6 提案手法による信頼性評価例

4. 信頼性評価手法の提案

従来手法の拡張によってトランジスタのオープン故障を含めた評価を行うことは難しいと考えられるため、本論文では評価手法を新たに提案する。提案手法においても回路の信頼性はある確率で故障が発生するとき外部出力が正しい値を出力する確率である。

4.1 提案手法の概要

提案手法ではある入力パターンが回路に与えられたときに、正しい値を出力する確率を計算し、回路の信頼性とする。外部入力から入力パターンがセルに与えられ、入力パターンごとに正しい値を出力する確率は、回路を構成するセルの故障率によって計算される。このとき入力パターンによって正しい値を出力する確率は異なるため、すべての入力パターンの中から正しい値を出力する確率が最小となる値を回路の信頼性とする。

図6に提案手法による信頼性の評価例を示す。セルF、G共にANDセルである。セルF、セルG共に故障が起こるとし、故障率を p_f, p_g とする。故障が発生すると入力パターンによって出力が変化すると考える。セルFへ外部入力 $(A, B) = (0, 0)$ が与えられたとき、出力は故障がない場合0を出力する。このとき、入力 $(A, B) = (0, 0)$ がセルFに入力される時、正しい値である0がセルFから出力される確率は $(1 - p_f)$ となる。次にセルGの場合を考える。セルGはセルFの出力と外部入力Cが入力される。そのためセルGは外部入力 (A, B, C) によって出力が決定する。セルFからの値は入力パターンに依存してある確率で正しい値がセルGに入力される。外部入力 $(A, B, C) = (0, 0, 0)$ のときセルFが正しい値である0をセルGへ入力する確率は $(1 - p_f)$ である。セルGが正しい値を出力する確率が $(1 - p_g)$ である。以上より外部入力 $(A, B, C) = (0, 0, 0)$ のとき外部出力Zが正しい値である0を出力する確率は $(1 - p_f) \times (1 - p_g)$ と計算できる。

次節では高信頼セルと従来セルそれぞれについて信頼性を算出する式の定式化を行う。

4.2 高信頼セルによる回路の信頼性の評価

入力 $(x_1, \dots, x_n) \in (0, 1)^n$ とするとき論理関数 $f(x_1, \dots, x_n) \in (0, 1)$ を高信頼セルにより構成した回路の信頼性を評価する手法を以下で述べる。

外部入力が (x_1, \dots, x_n) のとき、ある高信頼セルの出力が $Y_d \in (N_0, N_1, E_0, E_1)$ となる確率を、ある高信頼セルの確率

関数と定義する。高信頼セルの確率関数は $P_d(x_1, \dots, x_n, Y_d)$ と表現する。

図 6 では入力として $(A, B, C) = (N_0, N_0, N_0)$ が正しい値である N_0 を確率 $((1 - p_f) \times (1 - p_g))$ で出力する。この確率関数は以下ようになる。

$$P_d(N_0, N_0, N_0, N_0) = (1 - p_f) \times (1 - p_g) \quad (1)$$

確率関数 $P_d(x_1, \dots, x_n, Y_d)$ における Y_d は入力 (x_1, \dots, x_n) のパターンによって、その正しい値は変化する。そのため入力が与えられた時に正しい値を出力する確率は高信頼セルの場合、以下で表現される。

(1) $f(x_1, \dots, x_n) = 0$ の時

$$P_d(x_1, \dots, x_n, N_0) \quad (2)$$

(2) $f(x_1, \dots, x_n) = 1$ の時

$$P_d(x_1, \dots, x_n, N_1) \quad (3)$$

式 (2) は論理関数の出力が 0 となる入力パターンの時に高信頼セルによる回路の出力が N_0 となる確率である。式 (3) は論理関数の出力が 1 となる入力パターンの時に高信頼セルによる回路の出力が N_1 となる確率である。

高信頼セルにおいては入力 (x_1, \dots, x_n) のすべてのパターンにおける式 (2) または式 (3) の最小値を高信頼セルによる回路の信頼性と定義する。

4.3 従来セルによる回路の信頼性の評価

論理関数 $f(x_1, \dots, x_n) \in (0, 1)^n$ を従来セルにより構成した回路の信頼性を評価する手法を以下で述べる。

外部入力が (x_1, \dots, x_n) のとき、ある従来セルの出力が $Y_s \in (0, 1, U)$ となる確率をある従来セルの確率関数と定義する。 U は不定値を表す。従来セルの確率関数は $P_s(x_1, \dots, x_n, Y_s)$ と表現する。

従来セルの確率関数も高信頼セルの確率関数と同様に入力パターンによって、その正しい値は変化する。ある入力の時の正しい値を出力する確率は従来セルの場合、以下で表現される。

(1) $f(x_1, \dots, x_n) = 0$ の時

$$P_s(x_1, \dots, x_n, 0) \quad (4)$$

(2) $f(x_1, \dots, x_n) = 1$ の時

$$P_s(x_1, \dots, x_n, 1) \quad (5)$$

式 (4) は論理関数の出力が 0 となる入力パターンの時に従来セルによる回路の出力が 0 となる確率である。式 (5) は論理関数の出力が 1 となる入力パターンの時に従来セルによる回路の出力が 1 となる確率である。

従来セルにおいては入力 (x_1, \dots, x_n) のすべてのパターンにおける式 (4) または式 (5) の最小値を従来セルによる回路の信頼性と定義する。

4.4 故障モデル

本論文で扱うオープン故障と縮退故障を述べる。

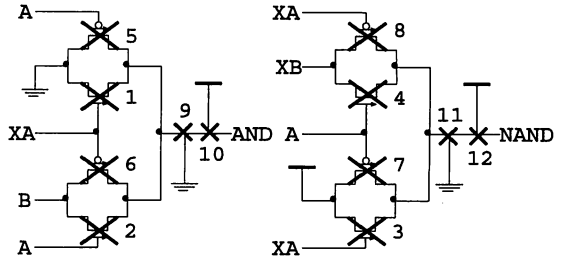


図 7 高信頼セルの故障パターン

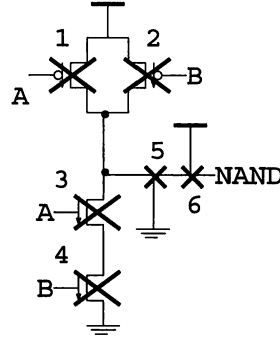


図 8 従来セルの故障パターン

4.4.1 オープン故障

高信頼セル内のオープン故障が起こる場所を図 7 に示す。また、これらの故障に対する入出力関係を表 2 に示す。本論文では高信頼セル、従来セル共に 1 つのセル内で 1 箇所のトランジスタのみが故障を起こすことを想定している。そのため 1 セル内で複数箇所の故障が起こることは考慮しない。表 2 における $F_{di} (i = 1, \dots, 8)$ の列はオープン故障が生じる時の出力パターンを意味する。変数 i は図 7 におけるトランジスタの番号である。例えば表 2 における F_{d1} の列は、図 7 における 1 番のトランジスタにオープン故障が生じる時の出力パターンである。また、 F_{d0} は故障が起こらないとした時の出力パターンである。最下段における $p_{di} (i = 1, \dots, 8)$ はオープン故障が生じる確率である。この p_{di} はトランジスタ i 番がオープン故障を起こし、セル内の他のトランジスタはオープン故障を起こさなかったときの確率である。従来セルについても同様に、オープン故障モデルを図 8 に、オープン故障に対する入出力関係を表 3 に示す。従来セルでは論理値 0, 1 と U を用いている。この U は不定値である。従来セルの表 3 の場合も高信頼セルの入出力関係の表 2 と同様の見方をする。 $F_{si} (i = 1, \dots, 4)$ はオープン故障が生じる時の出力パターンを意味する。 F_{s0} は故障が起こらないとしたときの出力パターンである。最下段における $p_{si} (i = 1, \dots, 4)$ はオープン故障が生じる確率である。

4.4.2 縮退故障

次に縮退故障の場合を考える。オープン故障と同様に高信頼セル、従来セル共に 1 つのセルの出力のうち 0 縮退故障か 1 縮退故障を起こすことを想定する。そのため高信頼セルでは出力が 2 本であるが、どちらか一方の出力に縮退故障が生じ

表 2 故障パターンによる入出力関係 (高信頼セル)

入力		故障パターン												
A	B	F_{d0}	F_{d1}	F_{d2}	F_{d3}	F_{d4}	F_{d5}	F_{d6}	F_{d7}	F_{d8}	F_{d9}	F_{d10}	F_{d11}	F_{d12}
N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	E_1	E_0	N_0
N_0	N_1	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	E_1	E_0	N_0
N_0	E_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	E_1	E_0	N_0
N_0	E_1	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	E_1	E_0	N_0
N_1	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	E_1	E_0	N_0
N_1	N_1	N_1	N_1	N_1	N_1	N_1	N_1	N_1	N_1	N_1	E_0	N_1	N_1	E_1
N_1	E_0	E_0	E_0	E_0	E_0	E_0	E_0	E_0	E_0	E_0	E_0	N_1	E_0	N_0
N_1	E_1	E_1	E_1	E_1	E_1	E_1	E_1	E_1	E_1	E_1	N_0	E_1	N_1	E_1
E_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	E_1	E_0	N_0
E_0	N_1	E_1	E_1	E_1	E_1	E_1	E_1	E_0	N_1	E_1	N_0	E_1	N_1	E_1
E_0	E_0	E_0	E_0	E_0	N_0	E_0	E_0	E_0	E_0	N_0	E_0	N_1	E_0	N_0
E_0	E_1	E_1	E_1	E_1	E_1	E_1	N_0	E_1	E_1	E_1	N_0	E_1	N_1	E_1
E_1	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	N_0	E_1	E_0	N_0
E_1	N_1	N_1	N_1	E_0	N_1	E_1	N_1	N_1	N_1	N_1	E_0	N_1	N_1	E_1
E_1	E_0	E_0	E_0	E_0	N_0	E_0	E_0	E_0	E_0	E_0	E_0	N_1	E_0	N_0
E_1	E_1	E_1	E_1	N_0	E_1	E_1	E_1	E_1	E_1	E_1	N_0	E_1	N_1	E_1
		$p_{d0} = 1 - \sum_{i=1}^{12} p_{di}$	p_{d1}	p_{d2}	p_{d3}	p_{d4}	p_{d5}	p_{d6}	p_{d7}	p_{d8}	p_{d9}	p_{d10}	p_{d11}	p_{d12}

表 3 故障パターンによる入出力関係 (従来セル)

入力		故障パターン						
A	B	F_{s0}	F_{s1}	F_{s2}	F_{s3}	F_{s4}	F_{s5}	F_{s6}
0	0	1	1	1	1	1	0	1
0	1	1	U	1	1	1	0	1
0	U	1	U	1	1	1	0	1
1	0	1	1	U	1	1	0	1
1	1	0	0	0	U	U	0	1
1	U	U	U	U	U	U	0	1
U	0	1	1	U	1	1	0	1
U	1	U	U	U	U	U	0	1
U	U	U	U	U	U	U	0	1
		$p_{s0} = 1 - \sum_{i=1}^6 p_{si}$	p_{s1}	p_{s2}	p_{s3}	p_{s4}	p_{s5}	p_{s6}

るとする。表 2 において故障パターン $F_{di}(i = 9, \dots, 12)$ は高信頼セルに縮退故障が生じる時の入出力パターンをである。 F_{d9} は AND 論理の 0 縮退故障, F_{d10} は AND 論理の 1 縮退故障, F_{d11} NAND 論理の 0 縮退故障, F_{d12} は NAND 論理の 0 縮退故障が生じる時の出力パターンである。再下段における $p_{di}(i = 9, \dots, 12)$ は縮退故障が生じる確率である。また、従来セルにおける縮退故障は、表 3 の F_{s5} と F_{s6} によって表現されている。 F_{s5} は 0 縮退故障, F_{s6} は 1 縮退故障の出力パターンである。再下段における p_{s5} , p_{s6} は縮退故障が生じる確率である。

4.5 評価手法

上述したとおり、評価する回路の各セルにおいて入力に確率関数を与え故障が生じる確率を元に出力の確率関数を計算することを回路全体に行い、信頼性を算出しそれを回路の信頼性とする。

5. 評価

提案手法を用いた信頼性の評価を行う。以下では評価対象回路と故障が起こる条件について述べる。そして高信頼セルによる回路と従来セルによる回路の信頼性評価を行う。

5.1 評価対象

本論文では評価回路を NAND セルと加算器とする。比較のためにそれぞれの評価回路を従来セルと高信頼セルで構成し評価を行う。評価対象回路である加算器のビット幅は 1 ビット, 2 ビット, 4 ビット, 8 ビットとする。加算器を構成するセルは従来セル, 高信頼セルのどちらも NAND セルのみとする。図 9 は NAND セルのみで構成した半加算器である。加算器は図 9 で示した半加算器を組み合わせて構成する。また、今回はオープン故障と縮退故障による故障率を以下のように設定する。

- (1) 縮退故障, オープン故障は同じ故障率で故障を起こすとする
- (2) 0 縮退故障と 1 縮退故障は同じ故障率で縮退故障を起こすとする
- (3) 各トランジスタは同じ故障率でオープン故障を起こすとする

高信頼セルの場合、表 2 における $p_{di}(i = 1, \dots, 12)$ はすべて同じ値とし、 $p_{di}(i = 1, \dots, 12)$ を高信頼セルの故障率とする。従来セルの場合、表 3 における $p_{si}(i = 1, \dots, 6)$ はすべて同じ値とし、 $p_{si}(i = 1, \dots, 6)$ を従来セルの故障率とする。故障率は高信頼セルと従来セル共に 1.0×10^{-6} から 1.0×10^{-3} まで変化させて評価を行う。

5.2 評価結果

図 10 に従来セルの NAND セルと高信頼セルの AND・NAND

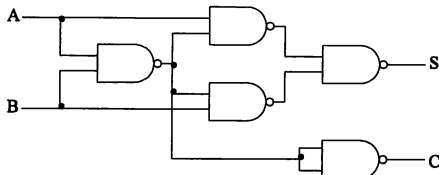


図9 NANDセルによる半加算器の構成

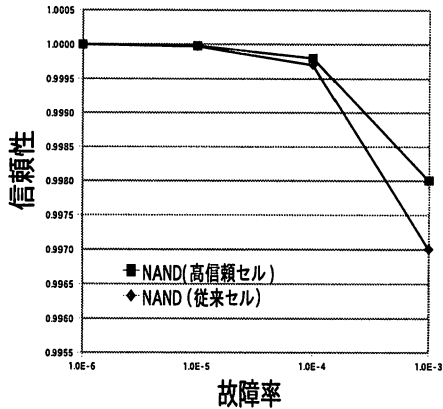


図10 NANDセルの信頼性

セルの信頼性評価の結果を示す。この結果から、同じ論理を出力する1セルでの比較において高信頼セルは常に従来セルより信頼性が高い結果となった。また、加算器については図11に1ビット加算器と2ビット加算器、図12に4ビット加算器と8ビット加算器の信頼性評価結果を示す。ほとんどの加算器において従来セルによる構成より高信頼セルによる構成のほうが信頼性が高い結果となった。以上の結果からほとんどの回路において、従来セルによる回路と比較して高信頼セルによる回路は信頼性が高いと言える。今回は8ビットまでの加算器の信頼性評価を行った。32ビット加算器などの大規模な回路を評価することは計算に必要な計算機のメモリ量の問題などを解決できていないため評価できていない。しかし、これまでの結果から加算器のビット数が増えても従来セルによる加算器よりも高信頼セルによる加算器のほうが信頼性が高いと思われる。

6. まとめ

耐故障性が高いと考えられる高信頼セルは提案されているが、故障パターンに応じた信頼性は評価されていなかった。そこで本論文では高信頼セルの信頼性を定量的に扱うための評価手法を提案した。故障モデルとして、オープン故障と縮退故障を想定した。セル内でオープン故障と縮退故障が起こる確率を元に各故障がある確率で起こるとしたときの回路全体の信頼性を評価した。その結果、従来セルと比較して高信頼セルの信頼性がどの程度高いかを定量的に示した。

今後は加算器以外の回路も対象として、多重化を含めた信頼性の評価を行う予定である。

謝辞 本研究の一部は科学研究費補助金（基盤研究（B）課題

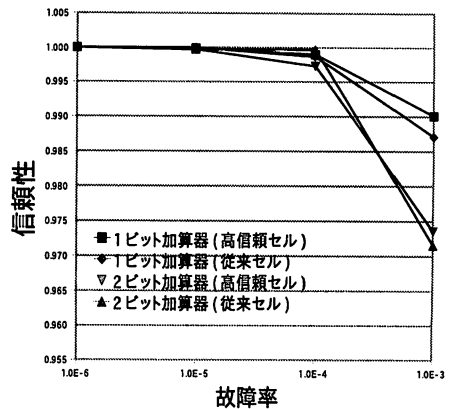


図11 1ビット・2ビット加算器の信頼性

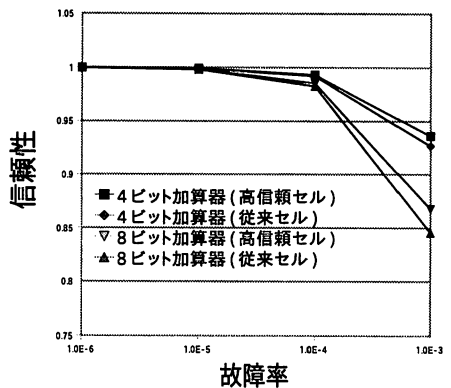


図12 4ビット・8ビット加算器の信頼性

番号 19300012) による。また、本研究は東京大学大規模集積システム設計教育研究センターを通じ、シノプシス株式会社、日本ケイデンス株式会社、ローム(株)および凸版印刷(株)の協力で行われたものである。

文献

- [1] Hirokazu Muta and Hidetoshi Onodera. Manufacturability-aware design of standard cells. *IEICE Transactions*, Vol. 90-A, No. 12, pp. 2682-2690, 2007.
- [2] Jvon Newmann. "Probabilistic Logics and the Synthesis of Reliable Organisms from Unreliable Components", pp. 43-98. Princeton Univ. Press, 1956.
- [3] 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦. 高信頼セルによる演算器の耐故障性と遅延時間の評価. 情報処理学会研究報告, 2008-ARC-179, pp. 181-186, Aug 2008.
- [4] Debayan Bhaduri, Sandeep Shukla, Paul Graham, and Maya Gokhale. Scalable techniques and tools for reliability analysis of large circuits. *VLSI Design, International Conference on*, Vol. 0, pp. 705-710, 2007.
- [5] Smita Krishnaswamy, George F. Viamontes, Igor L. Markov, and John P. Hayes. Accurate reliability evaluation and enhancement via probabilistic transfer matrices. In *DATE '05: Proceedings of the conference on Design, Automation and Test in Europe*, pp. 282-287, Washington, DC, USA, 2005. IEEE Computer Society.