

## 柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャの検討

高 永勲<sup>†,††</sup> Dawood ALNAJJAR<sup>†,††</sup> 密山 幸男<sup>†,††</sup> 橋本 昌宣<sup>†,††</sup> 尾上 孝雄<sup>†,††</sup>

† 大阪大学 大学院情報科学研究科 情報システム工学専攻

〒 565-0871 吹田市山田丘 1-5

†† JST,CREST

E-mail: †ko.younghun@ist.osaka-u.ac.jp

**あらまし** VLSI に要求される信頼性はアプリケーションと動作環境に依存するため、VLSI 設計者には信頼性を考慮した設計が求められる。そこで本稿では、柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャを提案する。提案アーキテクチャは、4つのセルを持つクラスタをその基本要素とし、4つの動作モード (TMR, DMR, SMS, SMM) によって異なる冗長構成と信頼性を実現する。TMR モードは最も高い信頼性を実現する構成であり、3重化した演算回路の出力をクラスタ内で多数決をとり、エラーの蓄積や伝搬を防ぐ。これにより、クラスタ内で起こったソフトウェアエラーは、ロールバック操作をすることなく修復できる。各動作モードについて、ソフトウェアエラーによる故障率を評価した結果、提案アーキテクチャで4段階の異なる信頼性を実現できることを示した。また、柔軟な信頼性を実現するための付加回路による面積オーバーヘッドは30.5%となった。

**キーワード** 信頼性、ソフトウェアエラー、粗粒度、再構成可能アーキテクチャ、TMR

## Coarse-Grained Reconfigurable Architecture with Flexible Reliability

Younghun KO<sup>†,††</sup>, Dawood ALNAJJAR<sup>†,††</sup>, Yukio MITSUYAMA<sup>†,††</sup>, Masanori HASHIMOTO<sup>†,††</sup>,  
and Takao ONOYE<sup>†,††</sup>

† Graduate School of Information Science and Technology, Osaka University

1-5 Yamadaoka, Suita, Osaka 565-0871, Japan

†† JST,CREST

E-mail: †ko.younghun@ist.osaka-u.ac.jp

**Abstract** Acceptable soft error rate on a VLSI chip varies depending on applications and operating environment so that recent VLSI designers concern reliability specification. In this paper, we propose a novel coarse-grained dynamically reconfigurable architecture, which offers flexible reliability. Introducing a notion of cluster cell, which comprises four execution modules, as a basic element of the proposed architecture, four operation modes (TMR, DMR, SMS, and SMM) can be realized with different redundancy and reliability levels. In the TMR operation mode, which attains the highest reliability level, outputs of three execution modules are voted inside of a cluster cell, making it possible to perform an error recovery without any rollback operations. Evaluation of soft error rates demonstrates that four different reliability levels can be achieved by the proposed architecture. The area of additional circuits to provide flexible reliability accounts for 30.5% of the proposed coarse-grained reconfigurable device.

**Key words** reliability, soft error, coarse-grained, reconfigurable architecture, TMR

### 1. ま え が き

集積回路プロセスの微細化に伴い、ビット反転に必要な最小電荷量が減少するため、VLSI におけるソフトウェアエラーの発生頻度が高まりつつある。また、許容できるソフトウェアエラーはアプリ

ケーションや動作環境に依存する。特に、宇宙線による影響が大きい宇宙空間でのアプリケーションや、誤動作が許されない交通システムや金融システムでは、ソフトウェアエラーに対する信頼性を考慮した設計が求められる。そこで、ソフトウェアエラーの検知や故障回避のために、時間的冗長化、空間的冗長化、誤り訂正

符号などが広く研究され、利用されている [1]~[3]。

ソフトエラー対策として、TMR(Triple modular redundancy) [4] のような単純な冗長化手法を用いた場合、その面積オーバーヘッドが課題となる。そこで、冗長化時の面積オーバーヘッドを削減するため、ソフトエラーの影響を受け易い回路を選択的に 3 重化する STMR(Selective triple modular redundancy) [5] や、空間的冗長化と時間的冗長化を組み合わせた DWC-CED(Duplication with comparison - concurrent error detection) [6] などの手法が提案されている。また、回路を 3 重化せずに正しい結果を出力する手法として、ロールバックやロールフォワードといった機構が用いられる [7], [8]。しかし、再計算によって正しい値を出力するためにはシステムの停止や非同期処理の実行が必要になるため、プロセスの制御が複雑となり、その結果面積オーバーヘッドは大きくなる。

また、集積回路の開発コストが高くなるにつれて、再構成可能デバイスが広く使われるようになった。再構成可能デバイスの規則的なアレイ構造は空間的冗長化に適しており、前述のようなハードウェア冗長化手法が容易に適用できる。細粒度再構成可能デバイスの場合、多数決回路や誤り訂正符号/復号回路を、LUT(Look up table) によって自由に実現することができる。このため、アプリケーション設計者はソフトエラー耐性/回避の技術を自由に選択し、実装することが可能である。これに対して、粗粒度再構成可能デバイスの場合、ALU などの演算器をその構成要素としているため、多数決回路や誤り訂正符号/復号回路を細粒度再構成可能デバイスのように自由かつ効率的に実装することができず、ハードウェア冗長化手法によるソフトエラーの適用が困難である。このため、ソフトエラー対策が施されていない粗粒度再構成可能デバイスは、高い信頼性が求められるアプリケーションに適さない。

そこで、本稿では、アプリケーションや動作環境に合わせて柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャを提案する。再構成可能セルアレイの基本機能と配線構造は我々がこれまで開発したメディア処理向け再構成可能アーキテクチャ [9] を継承する。したがって、本稿では柔軟な信頼性を実現する機構に注目する。アーキテクチャ設計において、信頼性の柔軟度と面積効率との間にはトレードオフが存在し、実用性の観点からは高い面積効率が求められる。そこで、信頼性の柔軟度と面積効率のトレードオフを考慮し、クラスタを基本要素とする再構成可能アーキテクチャを提案する。クラスタは、4 つの演算回路、比較・多数決回路、冗長度制御部で構成され、4 つの動作モードによって演算機構の冗長構成を選択することで、幅広い範囲の信頼性を実現する。提案アーキテクチャの特徴を以下に示す。

- 4 段階の信頼性レベルを、クラスタの 4 つの動作モードで実現する。
- 付加回路は、構成情報用スイッチ、冗長度制御回路、比較器、多数決回路であるため、面積オーバーヘッドは小さい。
- 最も信頼性が高いモードでは、全ての演算結果は次の演算で使用される前に多数決がとられるため、ソフトエラーの修復にロールバック操作が不要である。

表 1 4 つの動作モードにおける冗長度と信頼性

| 動作モード | 冗長度 |    | 信頼性           |              |              | 面積効率        |     |
|-------|-----|----|---------------|--------------|--------------|-------------|-----|
|       | CFG | EM | SEU<br>in CFG | SEU<br>in EM | SET<br>in EM | コンテキ<br>スト数 | セル数 |
| TMR   | 3   | 3  | ○             | ○            | ○            | 3           | 3   |
| DMR   | 3   | 2  | ○             | ○            | △            | 2           | 2   |
| SMS   | 3   | 1  | ○             | △            | ×            | 1           | 1   |
| SMM   | 1   | 1  | ×             | △            | ×            | 3           | 1   |

## 2. 信頼性の柔軟度と動作モード

ソフトエラーは、ラッチやレジスタなどで記憶内容が反転することで起こる SEU(Single event upset) と、組み合わせ回路で発生したグリッチがフリップフロップに取り込まれることで起こる SET(Single error transient) に分類される。

演算回路の構成情報を保持する構成情報メモリに SEU が起こると、回路の機能が壊れることによる永続的故障となるため、一般的に構成情報の信頼性は演算回路の信頼性より重要であると考えられる。このため、構成情報の信頼性は、構成情報を 3 重化することで実現する。一方、演算回路の信頼性は、信頼性と面積効率とのトレードオフを考慮し、3 重化と 2 重化を選択して実現する。演算回路では、SET とレジスタでの SEU の 2 種類のソフトエラーが起こり得る。多数決回路を用いて 3 重化した場合は、SEU と SET の両方に対して耐性を持たせることができる。一方、2 重化した場合は、比較器により両方のソフトエラーを検知することができ、さらに、データレジスタにパリティビットを追加することで演算回路の SEU の修復も可能である。このパリティビットは、演算回路を冗長化させず単体で動作させる場合でも、SEU の検知に利用できる。

以上で述べた信頼性を実現するため、提案する再構成可能アーキテクチャは、3 つの構成情報メモリを持つ演算回路を 4 つ有するクラスタを基本要素とする。表 1 に示すように、TMR、DMR(Double modular redundancy)、SMS(Single modular with single context)、SMM(Single modular with multi-context) の 4 つの動作モードにより、異なる信頼性と、異なる動的再構成機能(コンテキスト数)を実現する。表 1 の、CFG(Configuration memory) は構成情報メモリ、EM(Execution module) は演算回路を意味する。また、“○”は検知と修復が可能、“△”は検知のみ可能、“×”は検知不可能であることを意味する。

各動作モードで想定される動作環境は以下の通りである。

**TMR:** 必ず正しい出力が得られるような高いソフトエラー耐性が求められる。

**DMR:** 求められるソフトエラー耐性は TMR に比べて低く、演算回路での SET は無視できるか再実行による排除が可能である。

**SMS:** 演算回路でのソフトエラー耐性は必要ないが、構成情報メモリにはソフトエラー耐性が求められる。

**SMM:** 構成情報メモリと演算回路の両方においてソフトエラー耐性が不要。

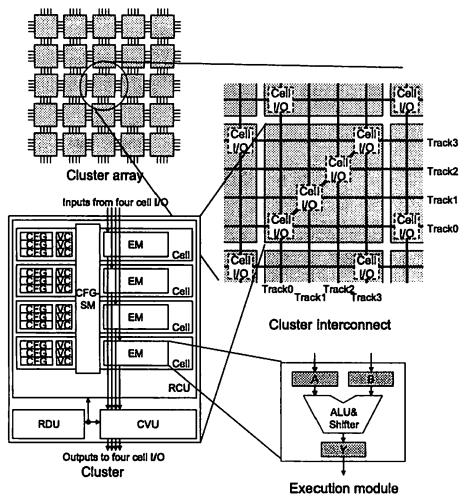


図1 クラスタの概要

以上のことから、アプリケーション設計者は求められる信頼性に応じて各動作モードを選択することが可能である。各動作モードにおける構成の詳細は 3.2 章で述べる。

### 3. 提案アーキテクチャ

#### 3.1 概要

図 1 に示すように、クラスタは 2 次元アレイ状に配置される。クラスタは、所望の機能を実現する再構成可能セル部 RCU(Reconfigurable cell unit) と、柔軟な信頼性を実現する冗長度制御部 RDU(Redundancy control unit) と、比較・多数決部 CVU(Comparing and voting unit) で構成される。このうち RCU は、構成情報スイッチ CFGSM(Configuration memory switching matrix) と 4 つのセルを持ち、各セルは演算回路 EM と演算回路の構成情報を保持する 3 つの構成情報メモリ CFG、構成情報用の多数決回路 VC(Voter for configuration memory) で構成される。

クラスタは、4 つのトラック (Track0~3) により隣接クラスタと接続されている。クラスタ内の各セルは異なるトラック上にあり、トラックを通して隣接クラスタの同じトラック上にあるセルと接続されている。また、クラスタ内の各セルは斜めの配線を介してトラックをまたがって接続されている。このような配線構造により、配線のための構成情報ビットが限られる中で、4 つの動作モード (TMR, DMR, SMS, SMM) でアプリケーションを効率良く実装することができる。

RDU はクラスタの冗長構成と動的再構成機能を制御する。RDU は 6 ビットの構成情報を持ち、動作モードの選択、TMR と DMR の場合のセル組合せ、コンテキストの選択をそれぞれ 2 ビットで指定する。この 6 ビットのデータは 3 重化されており、SEU に対する耐性を持つ。動的再構成機能は、コンテキスト番号を指定する 2 ビットを変えることで実現する。

RCU 内の各 EM は、図 1 に示すように ALU とシフタを持っており、基本機能は以前設計した再構成可能アーキテクチャ [9]

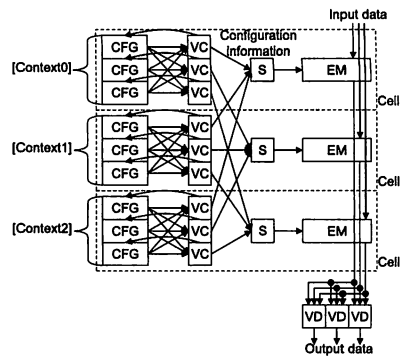


図2 TMR モード

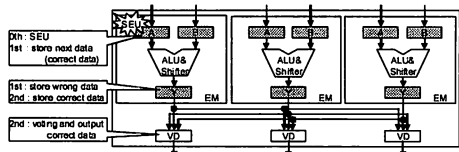


図3 TMR モードのエラー修復

の基本セルと同じである。EM は A、B、Y の 3 つの入出力レジスタを持つ。提案アーキテクチャでは、EM 内において Y から A または B へのフィードバックは許さず、クラスタの全ての出力の多数決をとる。これにより、エラーの蓄積や伝搬を回避でき、ロールバック機能なしに修復が可能となる。この手法の詳細は、3.2 章で述べる。

CFGSM は EM を構成するコンテキストを選択し、動的再構成と 4 つの動作モードを実現する。4 つの動作モードに必要な配線資源は限られているため、柔軟な信頼性のための面積オーバーヘッドは 4. 章で示すように少なく抑えられる。

#### 3.2 動作モード

##### 3.2.1 TMR モード

図 2 に示すように、3 つのコンテキストを持つ TMR モードは、3 個のセルを用いて 9 個の CFG と 3 個の EM で構成される。各コンテキストは 3 重化されて 3 つの CFG に保持されており、CFG で SEU が起こった場合は VC で多数決がとられ、正しい値が書き込まれる。多数決は各ビット毎にとられるため、MBU(Multiple-bit upset) に対しても耐性を持つ。TMR モードは RDU で保持する構成情報のうちコンテキストを選択する 2 ビットを変更することにより、動的に再構成することが可能である。TMR モードでは、EM は 3 重化して動作する。EM の出力は CVU 内にある 3 つの多数決回路 VD(Voter for data output) に入力され、VD の出力はクラスタから出力される。これにより、EM は SEU、SET、MBU に対して耐性を持つことができる。クラスタが TMR モードで動作する際、クラスタ内の残り 1 つのセルは使用されず、将来的には経年劣化や故障したセルの予備として用いることを想定している。

EM 内のレジスタに SEU が起こった場合の修復機構を図 3 に示す。以下の動作により、クラスタは正しい値を出力し、2 サイクルでエラーは消滅する。

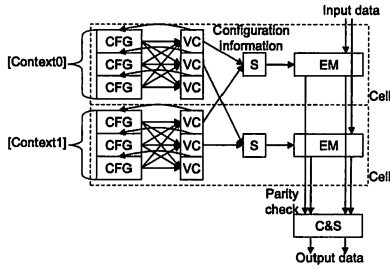


図 4 DMR モード

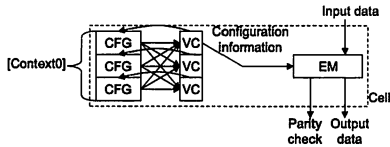


図 5 SMS モード

- 0th cycle:** 左のセルのレジスタ A に SEU が起こる。  
**1st cycle:** 誤った値が左のセルのレジスタ Y に格納される。これと同時に次の正しい値がレジスタ A に格納される。  
**2nd cycle:** 誤った値は VD で排除され、全てのレジスタは正しい値を格納することとなり、エラーは全て消える。

TMR モードでは、すべての出力で多数決をとることでエラーの蓄積や伝搬を回避するため、EM 内での累算は許されない。演算結果のフィードバックが必要な場合は、多数決をとった後のクラスタの出力をクラスタの入力とする。

### 3.2.2 DMR モード

図 4 に示すように、2 つのコンテキストを持つ DMR モードは、2 個のセルを用いて 6 個の CFG と 2 個の EM で構成される。各コンテキストは TMR モードと同じように 3 重化されており、3 つの CFG で保持される。DMR モードでは、EM は 2 重化して動作する。EM 内のレジスタは、SEU を検知するためのパリティビットを持ち、その情報は CVU 内にある比較選択回路 C&S(Comparing and selecting) で用いられる。C&S では 2 つの EM の出力結果が等しい場合、一方の値を出力する。また、2 つの EM の出力結果が異なり、一方の EM でパリティエラーが生じている場合、パリティエラーが生じていない方の EM の出力が正しい値として選択される。その他の場合、ソフトエラーは修正できないが検知することは可能である。これにより、パリティビットを用いることで、少ないオーバーヘッドで EM に SEU 耐性を持たせることができる。なお、MBU と SET の場合は検知のみ可能である。

### 3.2.3 SMS モード

図 5 に示すように、1 つのコンテキストを持つ SMS モードは、1 個のセルを用いて 3 個の CFG と、1 個の EM で構成される。コンテキストは 3 重化されており、3 つの CFG に保持される。一方、EM は SEU と SET に対して耐性を持たない。

### 3.2.4 SMM モード

図 6 に示すように、3 つのコンテキストを持つ SMM モードは、1 個のセルを用いて 3 個の CFG と 1 個の EM で構成

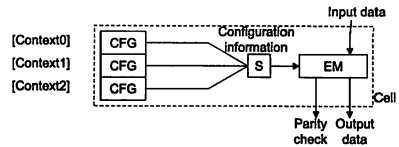


図 6 SMM モード

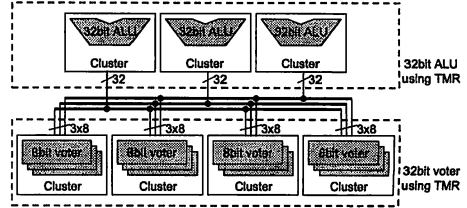


図 7 マルチワード (32 ビット) 演算の TMR モード

される。コンテキスト切り換えによる動的再構成が可能であるが、CFG と EM は、SEU と SET に対して耐性を持たない。なお、SMM モードは従来アーキテクチャの基本動作である。

## 3.3 マルチワード演算

演算器のビット幅は、アプリケーションが効率的に実装できる値を設定するべきであるが、マルチワード演算が必要になる場合も少なくない。そこで、提案アーキテクチャは、クラスタ内の複数セルを連携させることでマルチワード演算を実現する。ところが、クラスタ内の演算回路の数は限られているため、クラスタ内でマルチワード演算を多重化することは困難である。そこで、マルチワード演算を実装したクラスタを多重化することで信頼性を実現する。

図 7 に、マルチワード (32 ビット) 演算の TMR モードを示す。まず、32 ビット演算を実装したクラスタを 3 重化させる。次に、それぞれのクラスタからの出力を 8 ビット単位で分割し、別の 4 つのクラスタを用いて演算結果の多数決をとる。同様にして、24 ビットや 16 ビット演算の多重化が実現可能である。

## 4. 評価結果

### 4.1 ソフトエラーによる故障率

#### 4.1.1 前提条件

1 ビットメモリに SEU が起こる確率を  $\lambda_U$  とする。一方、SET は組み合わせ回路の面積に比例すると仮定し、1 ビットの多数決回路で SET が起こる確率を  $\lambda_T$  とし、多数決回路との面積比から計算を行う。 $\lambda_U$ 、 $\lambda_{U\_CFG}$ 、 $\lambda_{U\_EM}$ 、 $\lambda_{U\_RDU}$  はそれぞれ CFG、EM、RDU における SEU が起こる確率とし、 $\lambda_U$  とビット数との積で表すことができる。これに対して、 $\lambda_{T\_VC}$ 、 $\lambda_{T\_S}$ 、 $\lambda_{T\_EM}$ 、 $\lambda_{T\_VD}$  はそれぞれ VC、S、EM と VD における SET が起こる確率であり、 $\lambda_T$  と多数決回路との面積比の積で表すことができる。

故障率の計算では、修復時間  $t$  が重要な変数となる。本稿では、 $\lambda$  と同様に表現するものとし、例えば、 $t_{T\_VC}$  は VC に生じる SET の修復に要する時間であり、 $t_{U\_CFG}$  は CFG に生じる SEU の修復に要する時間である。修復時間  $t$  の間にソフト

表 2 TMR における故障条件と故障率

| 故障条件 | ソフトエラー A   | ソフトエラー B   | 故障率   |
|------|------------|------------|---|
| 1    | SEU in RDU | SEU in RDU | $3\lambda_{U\_RDU} \times F(t_{U\_RDU})2\lambda_U$  |
| 2    | SET in RDU | SET in RDU | $2\lambda_{T\_RDU} \times F(t_{T\_RDU})\lambda_{T\_RDU}$  |
| 3    | SEU in CFG | SEU in CFG | $3\lambda_{U\_CFG} \times F(t_{U\_CFG})2\lambda_U \times 3$   |
| 4    | SET in VC  | SET in VC  | $3\lambda_{T\_VC} \times F(t_{T\_VC})2\lambda_{T\_VC} \times 3$   |
| 5    | SET in S   | SET in S   | $3\lambda_{T\_S} \times F(t_{T\_S})2\lambda_{T\_S}$   |
| 6    | SET in EM  | SET in EM  | $3\lambda_{T\_EM} \times F(t_{T\_EM})2\lambda_{T\_EM}$  |
| 7    | SEU in EM  | SEU in EM  | $3\lambda_{U\_EM} \times F(t_{U\_EM})2\lambda_{U\_EM}$  |
| 8    | SEU in EM  | SET in EM  | $3\lambda_{U\_EM} \times F(t_{U\_EM})2\lambda_{T\_EM}$<br>$+3\lambda_{T\_EM} \times F(t_{T\_EM})2\lambda_{U\_EM}$ |
| 9    | SET in VC  | SET in S   | $3\lambda_{T\_VC} \times F(t_{T\_VC})2\lambda_{T\_S}$<br>$+3\lambda_{T\_S} \times F(t_{T\_S})2\lambda_{T\_VC}$    |
| 10   | SET in VC  | SEU in EM  | $3\lambda_{T\_VC} \times F(t_{T\_VC})2\lambda_{U\_EM}$<br>$+3\lambda_{U\_EM} \times F(t_{U\_EM})2\lambda_{T\_VC}$ |
| 11   | SET in VC  | SET in EM  | $3\lambda_{T\_VC} \times F(t_{T\_VC})2\lambda_{T\_EM}$<br>$+3\lambda_{T\_EM} \times F(t_{T\_EM})2\lambda_{T\_VC}$ |
| 12   | SET in S   | SEU in EM  | $3\lambda_{T\_S} \times F(t_{T\_S})2\lambda_{U\_EM}$<br>$+3\lambda_{U\_EM} \times F(t_{U\_EM})2\lambda_{T\_S}$    |
| 13   | SET in S   | SET in EM  | $3\lambda_{T\_S} \times F(t_{T\_S})2\lambda_{T\_EM}$<br>$+3\lambda_{T\_EM} \times F(t_{T\_EM})2\lambda_{T\_S}$    |
| 14   | SET in VD  | SET in VD  | $3\lambda_{T\_VD} \times F(t_{T\_VD})2\lambda_{T\_VD}$  |

エラーが起こる確率  $F(t)_\lambda$  は次式で表される。

$$F(t)_\lambda = 1 - \exp(-t\lambda). \quad (1)$$

#### 4.1.2 故障率

図 2 に示す TMR モードにおけるクラスタの故障率  $\lambda_{TMR}$  を求める。TMR モードにおいて永続的故障となる条件と、各条件における故障率を表 2 に示す。ソフトエラー A とソフトエラー B が同時に起こると修復不可能な永続的故障となるため、TMR の故障率  $\lambda_{TMR}$  は、表 2 に示す全条件における故障率の総和で求められる。同様にして、DMR、SMS、SMM の故障率もそれぞれ求めることができるが、本稿ではその説明は省略する。

#### 4.1.3 考察

EM の演算粒度を 8 ビットとして、4 つの動作モードにおける故障率の評価を行った。SEU が起こる確率  $\lambda_U$  は人工衛星の環境を基準として 2.0(FIT) とした [10]。また、SET が起こる確率  $\lambda_T$  は設定が難しいため、SEU に対する比率を変数として評価した。CFG は多数決をとった結果が毎サイクル書き込まれることとし、動作周波数は 100MHz とした。例えば、 $t_{T\_VC}$  や  $t_{U\_CFG}$  は 1 サイクルとなる。ただし、EM のレジスタでの SEU の修復時間  $t_{U\_EM}$  は、3.1 章で説明したように 2 サイクルとなる。

図 8 に 4 つの動作モードにおける故障率を示す。X 軸は、SEU に対する SET の比率  $\lambda_T/\lambda_U$  であり、Y 軸は故障率である。TMR モードの故障率は約  $10^{-16}$ FIT となり、最も高い信頼性を実現できることがわかる。ここで、1,000 個のクラスタをチップに配置した場合を想定すると、平均故障寿命 MTTF(Mean time to failure) は  $1.03 \times 10^{18}$  年となる。

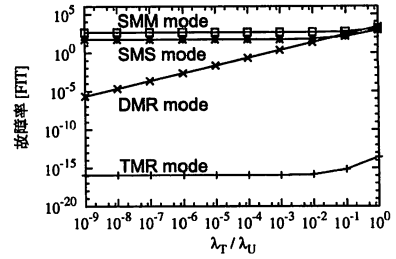


図 8 各動作モードにおける故障率

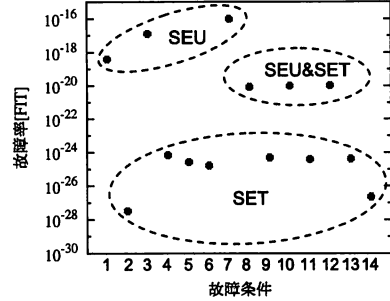


図 9 TMR モードの各故障条件における故障率

ここで、TMR モードは他のモードに比べて高い信頼性を実現するが、その理由として構成情報メモリを毎サイクル書き換える手法を取っていることが考えられる。構成情報の書き換え頻度が高くなると消費電力が増大するため、信頼性と消費電力のトレードオフを考慮した構成情報の書き換え頻度を今後検討する予定である。

DMR モードにおける故障率は、EM での SET が検知のみ可能であるため、 $\lambda_T/\lambda_U$  に依存する。 $\lambda_T$  が  $\lambda_U$  より十分に小さければ、DMR モードは TMR と SMS の間の信頼性を実現する。ソフトエラー検知時に演算の再実行が許されるアプリケーションであれば、DMR は SET の起こる確率が高い場合でも利用できる動作モードである。

SMS モードにおける故障率は、設計時に予想した通り、TMR や DMR モードより高くなっている。全てのソフトエラーを等しく扱うと、SMS と SMM は同じ程度の信頼性であるように見える。しかし、SMM モードでの構成情報メモリは保護されていないのに対して、SMS モードは構成情報メモリは TMR で保護されており、信頼性は大きく異なる。

以上のことから、提案アーキテクチャは 4 つの動作モードにより 4 段階の信頼性を実現できることがわかる。

次に、表 2 に示す TMR モードにおける各故障条件での故障率を図 9 に示す。X 軸は表 2 の故障条件であり、Y 軸は故障率である。図 9 において、比較的故障率の高い条件 1、3、7 は、SEU に起因する故障である。一方、比較的低い故障率である条件 2、4、5、6、9、11、13、14 は、SET に起因する故障である。以上より、TMR モードの場合、SEU による故障率が SET による故障率より高いことがわかる。

表 3 各故障原因による故障率 (単位は FIT)

|     | ソフトウェア耐性<br>を持つ回路   |                     |                     | ソフトウェア耐性<br>を持たない回路 |                    |
|-----|---------------------|---------------------|---------------------|---------------------|--------------------|
|     | SEU&SEU             | SET&SET             | SEU&SET             | SEU                 | SET                |
| TMR | 1.10 <sup>-16</sup> | 2.42 <sup>-24</sup> | 2.93 <sup>-20</sup> | -                   | -                  |
| DMR | 5.10 <sup>-17</sup> | 2.29 <sup>-25</sup> | -                   | -                   | 2.42 <sup>-2</sup> |
| SMS | 4.67 <sup>-18</sup> | 7.64 <sup>-26</sup> | -                   | 5.40 <sup>1</sup>   | 7.58 <sup>3</sup>  |
| SMM | 4.00 <sup>-19</sup> | 3.20 <sup>-28</sup> | -                   | 4.38 <sup>2</sup>   | 7.88 <sup>3</sup>  |

表 4 提案クラスタのゲート数

| Function Unit | Proposed | Ordinary | Overhead |
|---------------|----------|----------|----------|
| CVU           | 378      | -        | 378      |
| RDU           | 194      | -        | 194      |
| CFGSM         | 2,053    | 1,260    | 793      |
| EMs           | 3,054    | 2,858    | 196      |
| CFGs          | 6,048    | 6,048    | -        |
| VCs           | 4,186    | -        | 4,186    |
| Interconnect  | 2,955    | 2,955    | -        |
| Total         | 18,868   | 13,121   | 5,747    |

また、各動作モードの故障率を故障原因の種類別にまとめた結果を表 3 に示す。 $\lambda_T/\lambda_U = 10^{-5}$  として、各動作モードにおける SEU による故障率、SET による故障率、SEU と SET の複合原因による故障率を示している。TMR モードでは回路全てが冗長化されているため、SEU による故障率が全体の故障率を支配している。一方、DMR、SMS、SMM モードでは、ソフトウェア耐性を持たない回路での故障率が全体の故障率を支配している。特に DMR の場合、ソフトウェア耐性を持たない回路での SET による故障率の影響が大きい。

#### 4.2 面積オーバーヘッド

4 つの動作モードを実現するための面積オーバーヘッドについて述べる。面積オーバーヘッドは柔軟な信頼性を実現するために追加した回路の割合として定義し、提案アーキテクチャと、SEU と SET を考慮しない一般的な動的再構成可能アーキテクチャとのゲート数を比較する。比較対象とする一般的なアーキテクチャは、CFG、コンテキストの選択のための CFGSM の一部、EM、配線部で構成される。提案アーキテクチャで追加された回路は、CFG の出力の多数決をとる VC、冗長度を制御する RDU、EM の出力の比較・多数決をとる CVU である。

EM の演算粒度を 8 ビットとした場合のクラスタ内部のゲート数を表 4 に示す。ゲート数は RTL 記述を論理合成した結果で評価した。表 4 より、面積オーバーヘッドは 5,747 ゲートであり、提案アーキテクチャの 30.5% であった。ここで、演算粒度を 8 ビットより大きくした場合、EM や CVU などの回路規模は演算粒度に比例して大きくなるが、CFG や CFGSM、RDU などの回路規模の増加は小さいため、面積オーバーヘッドは相対的に小さくなる。論理合成の結果、16 ビットでは 25.6%、32 ビットでは 19.7% であった。

## 5. まとめ

本稿では、小さい面積オーバーヘッドで柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャを提案した。再構成可

能アーキテクチャの基本要素であるクラスタは、4 つのセルを持ち、各セルは演算回路と 3 つの構成情報メモリで構成される。柔軟な信頼性と冗長構成を実現するため、4 つの動作モード (TMR、DMR、SMS、SMM) が各クラスタで選択される。提案アーキテクチャの主な特徴は、冗長構成がクラスタ内で完結するためエラーが蓄積や伝搬することがなく、修復のためのロールバック処理が不要なことである。評価結果から、提案アーキテクチャは 4 つの動作モードによって柔軟な信頼性を実現でき、高い信頼性を要求するアプリケーションからソフトウェア対策が不要なアプリケーションまで広く適用できることを示した。また、柔軟な信頼性を実現するための面積オーバーヘッドは、提案アーキテクチャの 30.5% であった。

**謝辞** 本研究を進めるにあたり、JST CREST「ロバストファブリックを用いたディメンダブル VLSI プラットフォーム」プロジェクト共同研究者として有益な議論をいただきました、京都大学ならびに京都高度技術研究所の諸氏に感謝いたします。

## 文 献

- [1] M. Nicolaidis, "Time redundancy based soft-error tolerance to rescue nanometer technologies," in *Proc. IEEE VLSI Test Symposium*, pp.86-94, April 1999.
- [2] L. Anghel, D. Alexandrescu, and M. Nicolaidis, "Evaluation of a soft error tolerance technique based on time and/or space redundancy," in *Proc. Symposium on Integrated Circuits and Systems Design*, pp. 237-242, April 2007.
- [3] A. D. Houghton, "The engineer's error coding handbook," Chapman & Hall, 1997.
- [4] C. Carmichael, E. Fuller, J. Fabula, and F. Lima, "Proton testing of SEU mitigation methods for the Virtex FPGA," in *Proc. Military and Aerospace Applications of Programmable Logic Devices*, Sept. 2001.
- [5] P. K. Samudrala, J. Ramos, and S. Katkoori, "Selective triple modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs," *IEEE Trans. on Nuclear Science*, pp.2957-2969, Oct. 2004.
- [6] F. Lima, L. Carro, and R. Reis, "Designing fault tolerant systems into SRAM-based FPGAs," in *Proc. Design Automation Conference*, pp. 650-655, June 2003.
- [7] K. Nakahara, S. Kouyama, T. Izumi, H. Ochi, and Y. Nakamura, "Fault tolerant reconfigurable device based on autonomous-repair," in *Proc. International Conference on Field Programmable Logic and Applications*, pp. 1-6, Aug. 2006.
- [8] D. K. Pradha and N. H. Vaidya, "Roll-forward checkpointing scheme: a novel fault-tolerant architecture," *IEEE Trans. on Computers*, Vol.43, No.10, pp.1163-1174 1994.
- [9] Y. Mitsuyama, K. Takahashi, R. Imai, M. Hashimoto, T. Onoye, and I. Shirakawa, "Area-efficient reconfigurable architecture for media processing," *IEICE Trans. Fundamentals*, Vol. E91-A, No. 12, Dec. 2008, to appear.
- [10] E. Fuller, M. Caffrey, A. Salazar, C. Carmichael, and J. Fabula, "Radiation testing update, SEU mitigation, and availability analysis of the Virtex FPGA for space reconfigurable computing," in *Proc. Military and Aerospace Programmable Logic Devices*, pp.6.1-6.7, Sept. 2001.