

## TEG チップを用いたオープン故障の解析

堤 利幸<sup>†</sup> 刈谷 泰由紀<sup>†</sup> 山崎 浩二<sup>††</sup> 橋爪 正樹<sup>†††</sup> 四柳 浩之<sup>†††</sup>  
高橋 寛<sup>††††</sup> 樋上 喜信<sup>††††</sup> 高松 雄三<sup>††††</sup>

<sup>†</sup>明治大学大学院 理工学研究科 〒214-8571 神奈川県川崎市  
<sup>††</sup>明治大学 情報コミュニケーション学部 〒168-8555 東京都杉並区  
<sup>†††</sup>徳島大学大学院 ソシオテクノサイエンス研究部 〒770-8506 徳島県徳島市  
<sup>††††</sup>愛媛大学大学院 理工学研究科 〒790-8577 愛媛県松山市  
E-mail: †{tsutsumi, kariya}@cs.meiji.ac.jp

あらまし 半導体技術の高集積化が進み LSI の故障検出や故障診断が難しくなっている。特に、オープン故障への対策は LSI の微細化に伴いますますます重要となっているが、オープン故障の実用的なモデル化はまだまだなされていない。そこで、我々はオープン故障を組み込んだ TEG(Test Element Group)チップを作製し、その測定データに基づいたオープン故障のモデル化に取り組んでいる。本研究では、TEG チップの測定データの解析を行い、実チップ中の近接する信号線がオープン故障の信号線に実際にどのような影響を及ぼしているかについて報告する。

キーワード オープン故障, TEG チップ, 故障モデル, LSI テスト

## Analysis of Open Faults using TEG Chip

Toshiyuki TSUTSUMI<sup>†</sup> Yasuyuki KARIYA<sup>†</sup> Koji YAMAZAKI<sup>††</sup>  
Masaki HASHIZUME<sup>†††</sup> Hiroyuki YOTSUYANAGI<sup>†††</sup> Hiroshi TAKAHASHI<sup>††††</sup>  
Yoshinobu HIGAMI<sup>††††</sup> and Yuzo TAKAMATSU<sup>††††</sup>

<sup>†</sup>Graduate School of Science and Technology, Meiji University, Kanagawa, 214-8571  
<sup>††</sup>School of Information and Communication, Meiji University, Tokyo, 168-8555  
<sup>†††</sup>Institute of Technology and Science, the University of Tokushima, Tokushima, 770-8506  
<sup>††††</sup>Graduate School of Science and Engineering, Ehime University, Ehime, 790-8577  
E-mail: †{tsutsumi, kariya}@cs.meiji.ac.jp

**Abstract** The high integration of the semiconductor technology advances, and the fault detection and the failure diagnosis of LSI become difficult. Especially, a practicable modeling of an open fault has not been performed yet, though measures against the open fault become important more with advancement of LSI process technology. So, we have fabricated TEG (Test Element Group) chips into which open defects is intentionally built, and then we research on modeling the open fault based on the measurement data of the TEG chips. In this paper, the measurement data of the TEG chip is analyzed, and we report how influence a logical value of a faulty signal line with full open defect actually depend on those of the adjacent signal lines in the real chip.

**Keyword** open faults, TEG chip, LSI testing, fault model

### 1. はじめに

今なお半導体技術の進歩により、LSI の高集積化が進んでいる。プロセスの微細化と集積回路の高密度化のために配線の完全断線や半断線などのオープン故障が顕在化している。このため、オープン故障の故障検出や故障診断の技術がますます重要になってきている。しかしながら、オープン故障は縮退故障のようには

振舞わないため、従来の縮退故障モデルではオープン故障の検出は困難である。このため、オープン故障をモデル化することが重要になってきている。

オープン故障の特徴は、オープン故障している配線の信号値が、周りの配線の信号値の影響を受けて動的に変化することにある[2]。これまでに近接信号の影響を考慮したオープン故障のモデルが提案されている[1,7,8,9]。これらのモデルには近接信号が故障信号に

与える影響を評価する必要がある。そこで我々は、オープン故障を組み込んだ TEG(Test Element Group)チップを作製し、TEG チップを計測する簡易 LSI テスターシステムを開発した。これまでに実チップを使ったオープン故障の研究は報告されているが[3-6]、最先端 90nm の CMOS プロセスで実チップを作製し、オープン故障の測定データをシステムティックに解析した研究はまだない。TEG チップにデジタル入力信号を与えてオープン故障配線のまわりの配線の電位を変化させてやり、故障配線から出る故障信号のデジタル値を計測して、オープン故障の振る舞いを解析する。

## 2. オープン故障 TEG チップ

スターシャトル 90nm プロセス(6層メタル配線, IO 電圧 2.5V, CORE 電圧 1.0V)を用いて、オープン故障を組み込んだ TEG I チップを作製した(図 1)。TEG I チップのトランジスタ数は 97.5K 個, チップサイズは 2.5mm 角で, 80 ピン QFP に実装されている。TEG I チップには, 配線構造 TEG, マクロ回路 TEG, ベンチマーク TEG の 3 種類の TEG から構成されている。今回は, 配線構造 TEG の解析を行った。マクロ回路 TEG, ベンチマーク TEG を用いた研究結果については別途報告されている[10]。

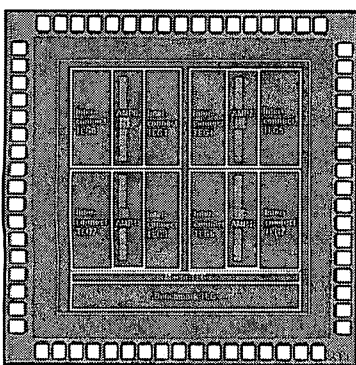


図 1 オープン故障 TEG I のチップ写真

## 3. 簡易 LSI テスターシステム

作製したオープン故障を組み込んだ TEG チップを測定するために, 簡易 LSI テスターシステムを開発した。開発した簡易 LSI テスターシステムは, 簡易 LSI テスターボードと計測器とそれらを制御して TEG チップの測定を行うパソコンから構成される。簡易 LSI テスターボードは, 汎用の FPGA ボードに TEG チップを計測できるように開発した DUT ボードを連結させることで, パソコンから制御ソフトウェアを用いてデジタル測定やアナログ測定を容易におこなうことができる。また, 測定器を連携させて高精度なアナログ測

定を行うことができるように設計されている。

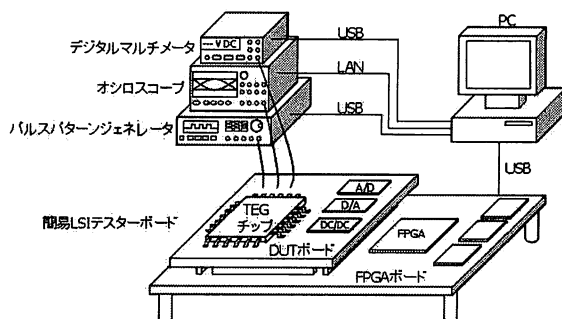


図 2 簡易 LSI テスターシステムの構成

## 4. 解析対象の TEG

配線構造 TEG には物理的に完全に断線した完全オープン故障が意図的に作り込まれている。今回解析する配線構造 TEG は 3 種類の配線構造を持っている。周囲に配線の無い 1 本だけの L1 配線構造(図 3), 左右に各々 4 本の信号線が並走している L9 配線構造(図 4), 左右上下斜めに位置する配線に囲まれた L3L3L3 配線構造(図 5)である。

配線構造 TEG のオープン故障の作り込みは, デザインルールの許す最小の間隙をレイアウトすることで信号線の断線を実現した。配線構造 TEG は, 表 1 に示す隣接配線との配線間隔  $S$  と断線箇所からゲートまでの配線長  $L$  をサイズのパラメータとして設計されている。隣接配線間隔は最小配線間隔( $s=140$  nm)の整数倍である。

表 1 配線構造 TEG のサイズパラメータ

配線間隔	$S = \{1s, 2s, 3s, 4s\}$ ( $s=140$ ) [nm]
配線長	$L = \{10, 20, 30, 40, 50, 100, 150\}$ [ $\mu\text{m}$ ]

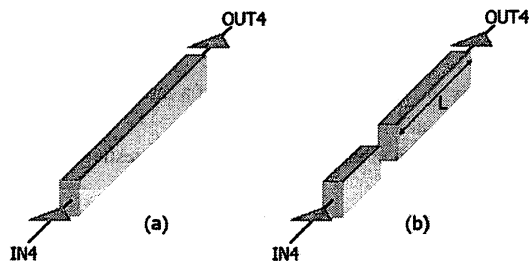


図 3 L1 配線構造 (a)正常配線 (b)故障配線

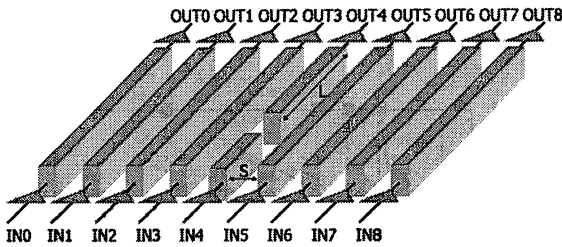


図 4 L9 配線構造(故障信号 OUT4)

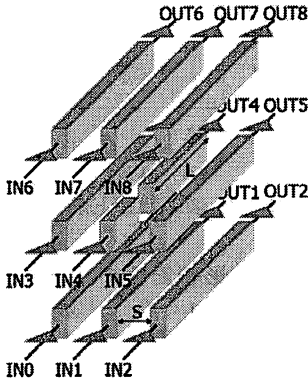


図 5 L3L3L3 配線構造(故障信号 OUT4)

## 5. 測定データの解析

配線 TEG の測定にあたっては、IN 信号に電圧を与えて OUT4 信号の電圧を測定する。なお、オープン故障の TEG には故障配線の残留電荷を除去する回路的な工夫がなされており、1 つの入力パターンを与える直前に毎回残留電荷は除去してから測定を行っている。

### 5.1. L1 配線構造

L1 構造において正常配線と故障配線の測定結果を表 2 に示す。測定結果から、物理的に完全に断線したオープン配線の出力信号 OUT4 の論理値は入力信号 IN4 の論理値 0/1(Low/High レベル)に依らず 0 になることが実証された。

表 2 L1 構造の測定結果 (a)正常配線, (b)故障配線

(a)		(b)	
IN4	OUT4	IN4	OUT4
0	0	0	0
1	1	1	0

### 5.2. L9 配線構造と L3L3L3 配線構造

周りに信号線がないオープン故障の信号線の論理値は 0 になるので、近接信号が故障信号に与える影響の強さは、故障信号を 1 にする強さが重要となる。近接

信号が故障信号に及ぼす影響の強さは、故障信号との距離が近いほど大きいので、故障信号に近い方から順番に近接順位をつけていくと図 6(a), (b) になる。

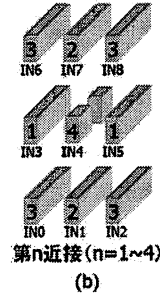


図 6 近接順位 (a)L9 構造 (b)L3L3L3 構造

配線間隔  $S$  と配線長  $L$  が同じ L9 構造と L3L3L3 構造の近接信号に入力を与えた場合の故障信号の出力結果を表 3 と表 4 に示す。なお表 3 と表 4 の入力信号については各配線構造の近接順位の高い順に左から並べてある。

表 3 L9 構造の故障信号の測定データ

L9	IN5	IN3	IN6	IN2	IN7	IN1	IN8	IN0	IN4	OUT4
$S=2s$ nm	1	1	1	1	1	1	1	1	1	1
$L=100$ $\mu$ m	0	1	1	1	1	1	1	1	1	0
	1	0	1	1	1	1	1	1	1	0
	0	0	1	1	1	1	1	1	1	0
	0	0	0	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	0	0	0
	1	1	0	0	0	0	0	0	0	1
	1	1	1	0	0	0	0	0	0	1
	1	1	0	1	0	0	0	0	0	1

表 4 L3L3L3 構造の故障信号の測定データ

L3L3L3	IN5	IN3	IN7	IN1	IN8	IN6	IN2	IN0	IN4	OUT4
$S=2s$ nm	1	1	1	1	1	1	1	1	1	1
$L=100$ $\mu$ m	0	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1
	0	0	1	1	1	1	1	1	1	0
	0	0	0	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	0	0	0
	1	1	0	0	0	0	0	0	0	0
	1	1	0	0	0	0	0	0	0	0
	1	1	1	0	0	0	0	0	0	1
	1	1	0	1	0	0	0	0	0	1

### 5.2.1. 故障信号の入力パターン依存性

表3と表4から、各配線構造とも故障信号OUT4の測定値が、周りの信号の入力信号のパターンによって変化していることがわかる。また、測定結果から近接順位の高い信号を1にした方が、故障信号が1になりやすいことが確かめられる。

### 5.2.2. 故障信号の配線構造依存性

表3と表4の点線よりも上半分には、入力パターンをすべて1にした場合から近接順位の高い入力信号から0にした場合の故障信号の変化を示している。L9構造では故障信号の最も近い近接信号を片方でも0にすれば0になってしまうが、L3L3L3構造では最も近い近接信号を2本とも0にしないと故障信号は0にはならない。L9構造よりもL3L3L3構造の方が周りの近接配線全体からの影響度が強いことが実証された。

### 5.2.3. 配線構造のシールド効果

故障配線の配線構造依存性の示す結果から、配線構造が密で故障信号に近いほど、周りの近接信号全体が故障信号に与える影響は大きい。しかし配線構造が密であることは近接信号が0である場合の影響も大きいということを意味している。表3と表4の点線よりも下半分には、入力パターンをすべて0にした場合から近接順位の高い入力信号から1にした場合の故障信号の変化を示している。L9構造では2本の第1近接信号を1にしただけで故障信号は1になるが、L3L3L3構造では2本の第1近接信号に加え、第2近接信号の1本も1にしなければ故障信号は1にはならない。これは、L3L3L3構造の場合には第1近接(左右)の信号線が1の影響を、第2近接以降(上下斜め)の信号線が0の効果でシールドして妨げているためと考えられる。つまり、配線構造のシールド効果によってL3L3L3構造の第1近接信号の強さはL9の第1近接信号の強さよりも弱められていることが確認された。

### 5.2.4. 配線間隔Sの影響範囲の上限Smax(L)

入力パターンがすべて1となる場合、周りの配線構造からの影響が最も大きくなる。故障信号OUT4が1となる最大の配線間隔Sを各配線長L毎にプロットしたグラフを図7に示す。これをSmaxLグラフと呼ぶ。SmaxLグラフのプロット線は影響範囲の境界(effect boundary)を示しており、故障信号に及ぼす配線構造の影響範囲の配線間隔Sの上限Smax(Lに依存)を表している。つまり、Smax以下の配線間隔Sでは周りの配線構造の影響で故障配線が1になる可能性があることを意味している。図7から、配線構造の影響範囲を示すSmaxLグラフのプロット線の下側の領域の大きさ

の違いだけ、L3L3L3構造の方がL9構造よりも故障信号に与える影響が強いことが実証された。

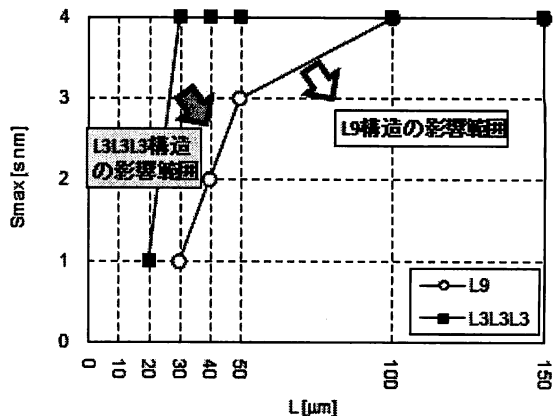


図7 影響範囲の上限 Smax(L)

### 5.2.5. 配線長Lの影響範囲の下限Lmin(S)

すべての入力信号が1の場合、故障信号を1とする最小の配線長Lをプロットしたグラフを図8に示す。これをSLminグラフと名付ける。

SLminグラフのプロット線は影響範囲の境界を示しており、故障信号に及ぼす配線構造の影響範囲の配線間隔Lの下限Lmin(Sに依存)を表している。つまり、Lmin以上の配線長Lでは周りの配線構造の影響で故障配線が1になる可能性があることを意味している。図8から、配線構造の影響範囲を示すSLminグラフのプロット線の上側の領域の大きさの違いだけ、L3L3L3構造の方がL9構造よりも故障信号に与える影響が強いことが実証された。

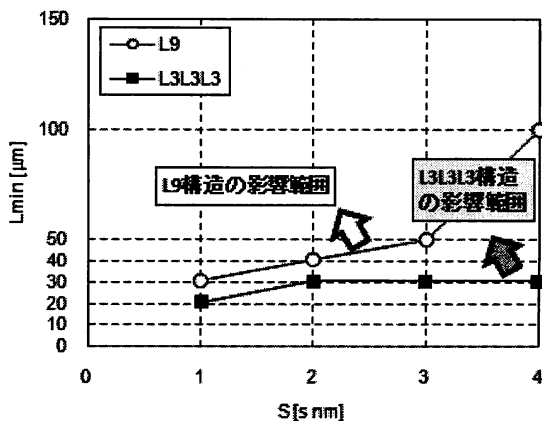


図8 影響範囲の下限 Lmin(S)

### 5.2.6 近接信号の影響の強さ

図9(a), (b)は, L9構造とL3L3L3構造の第 $n(n=1,2,\dots)$ 近接までの入力信号を1(他の入力信号は0)にした場合の入力パターンを示している. 図10は, 第 $n$ 近接までの入力信号を1にした場合に故障信号を1にする最大の配線間隔 $S_{max}$ と最小の配線長 $L_{min}$ のプロット点の軌跡を示している. この配線構造の特徴を示す特性グラフを $S_{max}L_{min}$ グラフと名付ける. なお,  $S_{max}L_{min}$ グラフのプロット点の横にある $n=i$ は, 第 $i$ 近接までの入力信号が1であることを表す. 例えば  $S_{max}=3$ ,  $L_{min}=30$ のプロット点 $n=2$ は, 第2近接までの入力が1である場合には, 3より大きい $S$ , または30より小さい $L$ では, 近接信号が故障信号の論理値に影響を及ぼさないことを意味している. なお, 配線構造 TEGの配線間隔は  $S=4$  までしか作製していないため L3L3L3構造の $n=3$ のプロット点の $S_{max}$ の測定値は本来4よりもさらに大きい値である可能性がある. しかし, ここではそれを確かめることはできないため, 測定値をそのまま使用し $n=3$ のプロット点の $S_{max}$ は4として解析を行う.

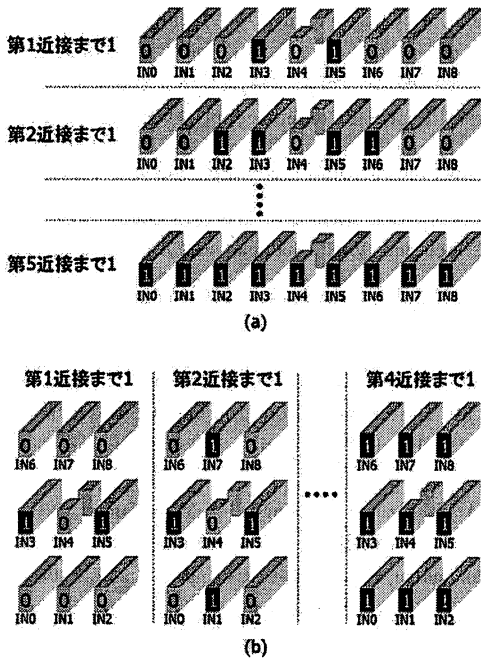


図9 第 $n$ 近接までを1とした入力パターン  
(a)L9構造 (b)L3L3L3構造

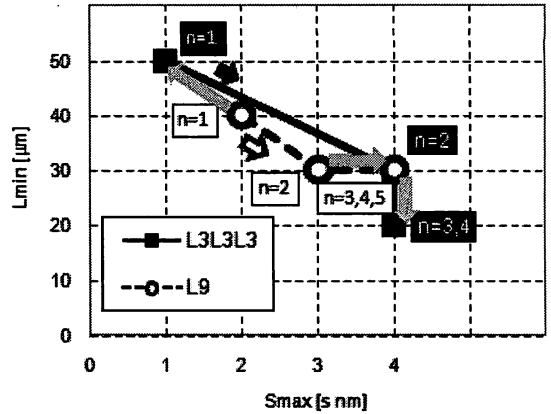


図10 近接信号の影響の強さ

$S_{max}L_{min}$ プロット線の始点( $S_{max}$ ,  $L_{min}$ )は第1近接信号の故障信号に対する影響の強さを表しており, プロット点間の変位( $\Delta S_{max}$ ,  $\Delta L_{min}$ )は近接順位の高い順に信号を1にした場合の第2近接以降の信号の影響の強さを表している. 図10の $S_{max}L_{min}$ グラフから, プロット線の始点から終点に向かって, 配線構造の故障信号を近接順位の近い方から1にしていくと, 近接信号が故障信号を1にする影響が大きくなるため,  $S_{max}$ が大きくなり $L_{min}$ は小さくなることが確かめられた. L3L3L3構造の第2近接信号は右下方へのシフト量が大きいので, 故障信号に対する影響も大きいことがわかる.

$S_{max}L_{min}$ グラフにおいて, 近接信号をさらに1にしてもプロット点が移動しない場合は, その近接信号が故障信号に影響を与えていないことを意味している. つまり, プロット点が移動しなくなった点が配線構造の影響範囲(effect boundary)を表している. このことから, 図10からL9構造では, 第3近接までを考えればよいことがわかる. このように $S_{max}L_{min}$ グラフから故障信号が考慮すべき影響範囲を読み取ることができる.

配線構造の違いによる近接信号の強さの違いも $S_{max}L_{min}$ グラフから比較することが可能である. 近接順位の低い近接信号まで1にしなくても $S_{max}$ が大きく $L_{min}$ が小さいほど, 近接信号の影響が大きい配線構造であるといえるが, 近接信号を同じ近接順位まで1にしたときプロット点でのL9構造とL3L3L3構造の( $S_{max}$ ,  $L_{min}$ )値を比べる. L9構造からみたL3L3L3構造の近接信号の強さのシフトベクトルは, 始点では左上方向になり, L3L3L3構造の第1近接信号はシールド効果のために影響が弱まること示されている. また, 終点では下向きのベクトルとなりL3L3L3構造の方が構造全体としては影響が大きいことが確かめら

れた。このように、SmaxLmin グラフから配線構造の違いによる近接信号の強さの違いを解析できる。

実際に、SmaxLmin グラフから各配線構造における近接順位の高い順に信号を1にした場合の近接信号1本の影響の強さを求めてみる。第1近接信号1本の強さはSmax, Lminの各々第1近接信号の本数で割った値である。第i( $\geq 2$ )近接以降の信号1本の強さは、プロット点  $n=i-1$  からプロット点  $n=i$  への変位を第i近接信号本数で割った値となる。このようにして図10から求めた近接信号1本の影響の強さを表5に示す。この表を $\Delta S_{max}\Delta L_{min}$ 表と名付ける。Smax,  $\Delta S_{max}$ は値が大きいほど近接信号の強さが大きいといえる。一方、Lmin,  $\Delta L_{min}$ の値は小さいほど(マイナスの値なら絶対値が大きいほど)近接信号の強さが大きいといえる。ここで、第1近接の信号の強さは第2近接以降の信号の強さとは大きさを比較できない参考値であることに注意する必要がある。

表5から各配線構造における近接信号1本の強さは、近接順位の高い信号ほど影響の強さが大きいことが定量的に確認された。L3L3L3構造の第1近接信号1本の強さは、L9構造の信号に比べてL3L3L3構造のシールドの効果のために、Smaxが0.5, Lminが5だけ弱いことが判明した。しかしL3L3L3構造の第2近接信号1本の強さは、L9構造の信号に比べ $\Delta S_{max}$ が1,  $\Delta L_{min}$ が5だけ強いことがわかった。L9構造の第4近接以降の信号、およびL3L3L3構造の第4近接信号は $\Delta S_{max}=0$ ,  $\Delta L_{min}=0$ であり故障信号に対して影響しないことが示されている。このように $\Delta S_{max}\Delta L_{min}$ 表を用いて、配線構造の影響範囲と配線構造の近接信号線(1本)の影響の強さが直接的に示された。

表5 近接信号(1本)の影響の強さ

近接信号(1本)の影響の強さ	L9構造		L3L3L3構造	
	$\Delta S_{max}$ [s nm]	$\Delta L_{min}$ [ $\mu$ m]	$\Delta S_{max}$ [s nm]	$\Delta L_{min}$ [ $\mu$ m]
(第1近接信号)	(Smax=1)	(Lmin=20)	(Smax=0.5)	(Lmin=25)
第2近接信号	0.5	-5	1.5	-10
第3近接信号	0.5	0	0	-2.5
第4近接信号	0	0	0	0
第5近接信号	0	0	—	—

## 6. まとめ

オープン故障を組み込んだTEGチップを作製し、故障信号線が近接する信号線の影響を受けて、実際の故障信号線が1となる現象を計測し、測定データから完全オープン故障の振る舞いをシステムティックに解析した。故障信号の入力パターン依存性、配線構造依存性、配線構造のシールド効果を明らかにした。また、SL特性グラフを用いて、SL依存性、故障信号に及ぼ

す配線構造の影響範囲や、近接信号の影響の強さを明らかにした。今後は近接信号の影響の強さをさらに詳細に調査する予定である。

## 謝辞

本研究は(株)半導体理工学研究センター(STARC)との共同研究の研究助成による。

TEGチップの試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NECエレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われたものである。

## 文 献

- [1] H. Takahashi, Y. Higami, S. Kadoyama, T. Aikyo, Y. Takamatsu, K. Yamazaki, T. Tsutsumi, H. Yotsuyanagi, and M. Hashizume, Proc. AsianTest Symp., pp. 39.44, 2007.
- [2] Y. Sato, I. Yamazaki, H. Yamanaka, T. Ikeda, and M. Takakura, Proc. International Test Conference, pp. 242.249, 2002.
- [3] E. J. McCluskey and C.-W. Tseng, Proc. International Test Conference, pp. 336.342, 2000.
- [4] J. C.-M. Li, C.-W. Tseng, and E. McCluskey, Proc. International Test Conference, pp. 1049.1058, 2001.
- [5] D. Arumi, R. Rodriguez-Montanes, and J. Figueras, IEEE Trans. on Computer-Aided Design, vol. 27, no. 1, pp. 123.136, Jan 2008.
- [6] A. Zenteno, V. H. Champac, and J. Figueras, Journal of Electronic Testing: Theory and Applications, vol. 17, pp. 85.95, 2001.
- [7] H. Takahashi, Y. Higami, T. Kikkawa, T. Aikyo, Y. Takamatsu, K. Yamazaki, T. Tsutsumi, H. Yotsuyanagi, and M. Hashizume, Proc. International Symposium on Defect and Fault-Tolerance in VLSI Systems, pp. 243. 251, Sept. 2007.
- [8] M. Hashizume, Y. Yamada, H. Yotsuyanagi, T. Tsutsumi, K. Yamazaki, Y. Higami, H. Takahashi, and Y. Takamatsu, Proc. ITC-CSCC, pp. 249.252, 2008.
- [9] K. Yamazaki, T. Tsutsumi, H. Takahashi, Y. Higami, T. Aikyo, H. Yotsuyanagi, M. Hashizume, and Y. Takamatsu, accepted by VLSI Design 09.
- [10] H. Yotsuyanagi, M. Hashizume, T. Tsutsumi, K. Yamazaki, T. Aikyo, Y. Higami, H. Takahashi, and Y. Takamatsu, accepted by VLSI Design 09.