

信号遷移関数を用いた 組合せ回路の低消費電力化に関する一検討

儀間 良子 吉田 たけお

琉球大学 工学部 情報工学科

〒 903 - 0213 沖縄県 中頭郡 西原町 字千原 1 番地

E-mail: {rito,tyoshida}@fts.ie.u-ryukyu.ac.jp

あらまし 近年、デジタル回路を低消費電力化することが重要視されており、CMOS デバイスの使用が主流となっている。CMOS デバイスでは、機能に関係しないスイッチングを削減することで低消費電力化を行うことができる。本稿では、CMOS デバイスを用いた組合せ回路において、その部分回路が実現している関数を、回路全体の出力に影響を及ぼさない不完全定義関数に置き換える。本稿ではそのような不完全定義関数を信号遷移関数と呼ぶ。スイッチング回数が少なくなるように、信号遷移関数をもつドント・ケア “*” に “0” または “1” を割り当てることにより、回路全体の低消費電力化を実現できる。本稿では、この信号遷移関数に基づいた低消費電力化手法について検討する。

キーワード : 信号遷移関数, CMOS, 低消費電力化, 組合せ回路

A Power Reduction Method for Combinational Circuits by Using Signal Transition Functions

Ryoko GIMA Takeo YOSHIDA

Department of Information Engineering, Faculty of Engineering,
University of the Ryukyus

1, Senbaru, Nishihara, Nakagami, Okinawa, 903 - 0213 JAPAN

E-mail: {rito,tyoshida}@fts.ie.u-ryukyu.ac.jp

Abstract One of power reduction methods for CMOS devices is to reduce the number of switching. This paper describes a method of power reduction for combinational circuits by using incompletely specified functions called *signal transition functions*. If no specified output functions of the combinational circuit change after replacing the function realized at incompletely specified functions, then these incompletely specified functions are called signal transition functions. We think that if the signal transition functions can make the circuit reduce the number of switching, we can get power reduced circuits.

Key Words : signal transition function, CMOS, power reduction, combinational circuit

1 はじめに

近年、携帯電話、ノート型パソコンなど、携帯型情報機器が急速に普及している。携帯型情報機器では、小型化、軽量化が重要な課題となっている。そのため、小型で軽量のバッテリーによる、多様で高度な処理を長時間実行できること、すなわちデジタル回路を低消費電力化することが重要視されている [1]。

現在、高集積化、低消費電力化の観点から、通常 CMOS デバイスが用いられている。CMOS デバイスでは、各ゲートのスイッチング時のみ電流が流れ、待機時にはほとんど電流が流れない。そのため、待機時の消費電力は無視できる程度である。一方、スイッチング時においては、周波数に比例した電力が消費される [2]。このため CMOS デバイスでは、機能に関係しないスイッチングをできるだけ削減することによって低消費電力化が行われている [3]。

低消費電力化手法として用いられているゲートッド・クロックは機能と関係しないブロックのクロック停止により低消費電力化を実現する手法であり、非常に効果的であることが知られている [4, 5]。しかし、クロックをゲートによって止めるためには、クロックによりデータを制御する回路構成になっている必要がある。そのため、ラッチやフリップフロップが入っていない回路、すなわち組合せ回路においては、クロック・ラインによって制御する回路を付加しなければならないという問題があり、新たな電力消費を生じる可能性がある [5]。

そこで本稿では、各ゲートの冗長なスイッチングを削減することにより、CMOS デバイスで構成された組合せ回路の消費電力を低減する方法について検討していく。

組合せ回路において、その部分回路 C が実現している (完全定義) 関数を、回路全体の出力に影響を及ぼさない不完全定義関数に置き換えることができる場合がある。このとき本稿では、そのような不完全定義関数を、部分回路 C の信号遷移関数と呼ぶ。いま、信号遷移関数 f がもつドント・ケア “*” に値を割り当てるとき、“0” か “1” かの一方に偏らせることができれば、冗長なスイッチングを削減すること

ができ、回路全体の消費電力を低減できると考えられる [6]。本稿では、この信号遷移関数に基づいた低消費電力化手法を提案する。

本稿では、2 で CMOS デバイスにおける低消費電力化技術について説明する。3 では本稿で用いる論理関数の表現について説明し、信号遷移関数を定義する。また、4 では組み合わせ回路の低消費電力化手法を示し、5 で提案手法の有効性について評価する。

2 CMOS デバイスとその低消費電力化手法

2.1 CMOS デバイスの消費電力

CMOS デバイスの消費電力 P は以下の式で表される [7]。

$$P \cong k \cdot f_{CLK} \cdot C_L \cdot V_{DD}^2 \quad (1)$$

$$\text{ここで} \begin{cases} k: & \text{スイッチング確率} \\ f_{CLK}: & \text{クロック周波数} \\ C_L: & \text{負荷容量} \\ V_{DD}: & \text{電源電圧} \end{cases}$$

式 (1) からわかるように、CMOS デバイスの消費電力は、クロック周波数と負荷容量に比例し、電源電圧の 2 乗に比例していることがわかる。したがって、各パラメータの値を小さくすることによって、CMOS デバイスにおける低消費電力化を実現できる。

2.2 CMOS デバイスの低消費電力化手法

式 (1) の各パラメータの値を小さくするため、以下のような手法が採用されている。

(1) スwitching 回数 $k \cdot f_{CLK}$ の削減

- 動作クロックの低周波数化
- 不機能回路ブロックのクロック停止
- スwitching 確率を削減する構成

(2) 負荷容量 C_L の削減

- アーキテクチャやアルゴリズムの変更によるゲート数の削減
- 外部負荷の削減

(3) 電源電圧 V_{DD} の低減

- システム電圧の低電圧化
- 信号振幅の削減

式(1)において、回路設計者が操作可能なパラメータは、主にクロック周波数とスイッチング確率である。これまでに、これらのパラメータを小さくする手法が提案されている。しかし、それらのほとんどは順序回路を対象にしている。本稿では、組合せ回路を対象とし、スイッチングの回数を減らすことで、低消費電力化する方法について検討する。

3 論理関数のベクトル表現と信号遷移関数

3.1 論理関数のベクトル表現

まず本稿で用いる論理関数のベクトル表現について説明する。いま、 y, z を正整数とし、 $0 \leq y \leq 2^z - 1$ なる関係が成り立っているとす。このとき、 y の z ビット長の二進数表現を $\langle y \rangle_z$ と表すことにする。

本稿ではこの表現を用い、 n 変数論理関数 $f(x_1 x_2 \dots x_n)$ をベクトルの形式で

$$[f(\langle 0 \rangle_n) f(\langle 1 \rangle_n) \dots f(\langle 2^n - 1 \rangle_n)]$$

と表す。これは図1に示されているように、各入力パターンにおけるゲートの出力結果を、ベクトルの形式で表現したものである。

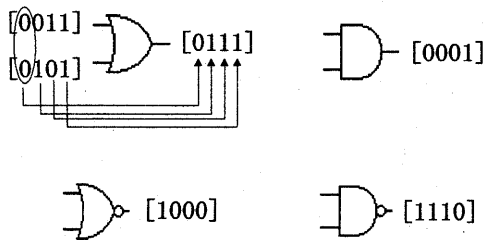


図1: 論理関数のベクトル表現

例えば、 $f_1(x_1 x_2) = x_1 \wedge x_2$, $f_2(x_1 x_2) = x_1 \vee x_2$ であるとき、それぞれ $x_1 = [0011]$, $x_2 = [0101]$ とし、

$$f_1 = x_1 \wedge x_2 \quad (2)$$

$$= [0011] \wedge [0101] \quad (3)$$

$$= [0 \wedge 0 \ 0 \wedge 1 \ 1 \wedge 0 \ 1 \wedge 1] \quad (4)$$

$$= [0001] \quad (5)$$

と表現する。また同様に、 $f_2 = [0111]$ と表現する。なおこの例のように、ベクトル間の演算は、対応する成分同士の演算を行うことによって実現できるので、以下では、ベクトル間の演算と成分同士の演算を区別せずに扱う。

3.2 信号遷移関数の定義

本稿では、以下の議論を簡単にするために、 $n (\geq 2)$ 入力単一出力の組合せ回路の低消費電力化手法について検討する。また、対象となる組合せ回路は、NOTゲート以外のゲートは全て2入力のゲートで構成されていることを仮定する。なお、これらの制限がない場合について拡張することは容易に行える。

以下では、 n 入力単一出力の組合せ回路内の信号線 t が実現している n 変数論理関数を $L(t)$ と表す。以上の準備のもとで、信号遷移関数を以下のように定義する。

定義 3.1 (信号遷移関数) 組合せ回路 C 中のあるゲート G (NOTゲート以外) に関して、ゲート G への入力線を t_1, t_2 、ゲート G の出力線を t とする。また、ゲート G が実現している論理関数を $\Delta \in \{\text{AND, OR, NAND, NOR}\}$ と表す。このとき、以下の3つの条件を満足する関数の組 (S_1, S_2) をゲート G の信号遷移関数と呼ぶ。

$$(1) S_1 \Delta L(t_2) = L(t)$$

$$(2) L(t_1) \Delta S_2 = L(t)$$

$$(3) S_1 \Delta S_2 = L(t)$$

また、信号遷移関数 (S_1, S_2) において、 S_1, S_2 をそれぞれ、第1関数、第2関数と呼ぶ。□

この定義は、回路中のあるゲート G への入力線が実現している論理関数を、ゲート G の信号遷移関数に置き換えてもその回路の実現している論理関数に変化しないことを意味する。

3.3 第1関数および第2関数の導出

信号遷移関数は、第1関数および第2関数からなる。ここでは、第1関数および第2関数の導出方法について述べる。まず、第1関数 S_1 は、定義 3.1 より、

$$S_1 \triangleq L(t_2) = L(t) \quad (6)$$

を満たす必要がある。そこで、この S_1 を求めるために、

$$S_1 = L(t) \nabla L(t_2) \quad (7)$$

となる演算 ∇ について検討する。

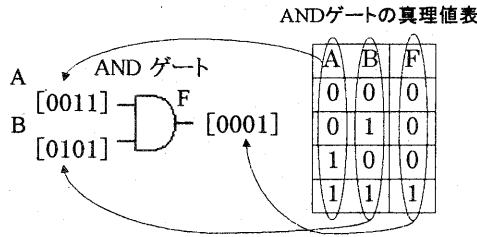


図 2: AND ゲートと真理値表

例として、図 2 に示す AND ゲートについて考える。この AND ゲートの出力線の論理関数は [0001] であり、各入力線の論理関数は [0101], [0011] とする。AND ゲートには、以下に示す性質がある。

- (1) 出力が“0”で、一方の入力が“0”である場合、もう一方の入力はドント・ケア“*”となる。
- (2) 出力が“0”で、一方の入力が“1”である場合、もう一方の入力は“0”でなくてはならない。
- (3) 出力が“1”である場合、入力は両方とも“1”でなくてはならない。

このことより、 $\Delta = \text{AND}$ の場合、演算 ∇ では、

$$0 \nabla 0 = * \quad (8)$$

$$0 \nabla 1 = 0 \quad (9)$$

$$1 \nabla 1 = 1 \quad (10)$$

が成立する。この演算 ∇ を用いると第1関数 S_1 は、

$$S_1 = L(t) \nabla L(t_2) \quad (11)$$

$$= [0001] \nabla [0011] \quad (12)$$

$$= [* * 01] \quad (13)$$

と求めることができる。また、第2関数 S_2 も、演算 ∇ を用いて、

$$S_2 = L(t) \nabla L(t_1) \quad (14)$$

$$= [0001] \nabla [0101] \quad (15)$$

$$= [* 0 * 1] \quad (16)$$

と求めることができる。

ここで、 $S_1 = [* * 01]$ は、

$$[0001], [0101], [1001], [1101] \quad (17)$$

の各関数を表し、 $S_2 = [* 0 * 1]$ は、

$$[0001], [0011], [1001], [1011] \quad (18)$$

の各関数を表している。

同様な考え方で、演算 Δ が、OR, NAND, NOR のそれぞれの場合についての演算 ∇ を求めると、表 1 に示す真理値表のようになる。表 1 を用いて第1関数 S_1 を求める際には $i = 2$ とし、第2関数 S_2 を求める際には $i = 1$ とする。なお表 1 において、“—”は関数値が定義されていないことを表す。

3.4 信号遷移関数の導出

3.3 で求めた関数 S_1, S_2 は、定義 3.1 の条件 (1), (2) を満たしている。関数 S_1, S_2 は、式 (17), (18) に示したそれぞれ 4 個の関数を表しているため、これらの組合せは 16 通りある。この組合せのうち、定義 3.1 の条件 (3) を満たすものが、信号遷移関数となる。

3.3 で求めた S_1, S_2 の組合せのうち、定義 3.1 の条件 (3) を満たさない組合せは、

$$([1001], [1001])$$

$$([1001], [1011])$$

$$([1101], [1001])$$

$$([1101], [1011])$$

表 1: 第 1 関数および第 2 関数を求めるための演算 ∇ の演算表

$L(t)$	∇	$L(t_i)$	Δ			
			AND	OR	NAND	NOR
0	∇	0	*	0	—	1
0	∇	1	0	—	1	*
1	∇	0	—	1	*	0
1	∇	1	1	*	0	—

の 4 組である。これらの組合せが条件を満足しない理由は、AND ゲートの出力線の関数の第 1 成分が“0”であるのに対し、入力線の関数の第 1 成分がともに“1”になっているためである。この例のように定義 3.1 の条件 (3) を満たさない組合せは、第 1 関数と第 2 関数の同じ箇所に“*”がある場合に生じる。

第 1 関数と第 2 関数の同じ箇所に存在する“*”は、本来、一方の入力値が固定されていることを前提としている。そこで、一方の入力値が固定された上での“*”と、通常の“*”を区別するために、新たに 2 つの記号を導入する。すなわち、

- $\underline{0}$: 第 1 関数と第 2 関数の対応する成分の一方が“0”の場合、他方は“*”
- $\underline{1}$: 第 1 関数と第 2 関数の対応する成分の一方が“1”の場合、他方は“*”

なる記号を用いる。

この記号を用いると、3.3 で求めた S_1, S_2 を

$$S_1 = [\underline{0} * 01] \quad (19)$$

$$S_2 = [\underline{00} * 1] \quad (20)$$

と書き直すことができる。これらの関数の組合せは、

$$\begin{aligned} & ([0001], [0001]), ([0101], [0001]), \\ & ([1001], [0001]), ([1101], [0001]), \\ & ([0001], [0011]), ([0101], [0011]), \\ & ([1001], [0011]), ([1101], [0011]), \\ & ([0001], [1001]), ([0101], [1001]), \\ & ([0001], [1011]), ([0101], [1011]) \end{aligned} \quad (21)$$

となり、定義 3.1 の条件 (3) を満足する。

新たに導入した 2 つの記号を用いて第 1 関数と第 2 関数を求めれば、定義 3.1 の条件をすべて満たす関数を求めることができる。そこで、表 1 の演算表を拡張し、 $\underline{0}, \underline{1}$ の表現を追加した演算表を表 2 に示す。演算 H_Δ は、出力線と各入力線のあわせて 3 つの論理関数を引数とすることで、一方の入力の関数を考慮して、定義 3.1 の条件を満たす他方の関数を求めることができる。

いま、信号遷移関数を求めるゲートを G 、ゲート G が実現している論理関数を $\Delta \in \{\text{AND, OR, NAND, NOR}\}$ とし、 G の出力線を t 、入力線を t_1, t_2 と表す。このとき、表 2 の演算 H_Δ を用い、

$$S_1 = H_\Delta(L(t), L(t_1), L(t_2)) \quad (22)$$

$$S_2 = H_\Delta(L(t), L(t_2), L(t_1)) \quad (23)$$

で求められた S_1, S_2 より、ゲート G の信号遷移関数は (S_1, S_2) となる。

例として、図 3 の回路の最終段ゲート G の信号遷移関数を求める。ゲート G が OR ゲートであることから演算子 $\Delta = \text{OR}$ を用い、表 2 より信号遷移関数を求める。 $L(t) = [11111011], L(t_1) = [11101010], L(t_2) = [11110001]$ より、信号遷移関数は $(S_1, S_2) = ([\underline{111} * 101 *], [\underline{1111} * 0 * 1])$ となる。

4 組合せ回路の低消費電力化

4.1 信号遷移関数を用いた低消費電力化手法

本稿では、各入力線のスイッチング確率が等確率であると仮定し、以下の論議を進める。この仮定のもとでは、信号遷移関数を表すベクト

表 2: $H_{\Delta}(a,b,c)$ の演算表

a	b	c	Δ			
			AND	OR	NAND	NOR
0	0	0	0	0	—	—
0	0	1	0	—	—	*
0	1	0	*	—	—	1
0	1	1	—	—	1	<u>1</u>
1	0	0	—	—	0	0
1	0	1	—	*	0	—
1	1	0	—	1	*	—
1	1	1	1	<u>1</u>	—	—

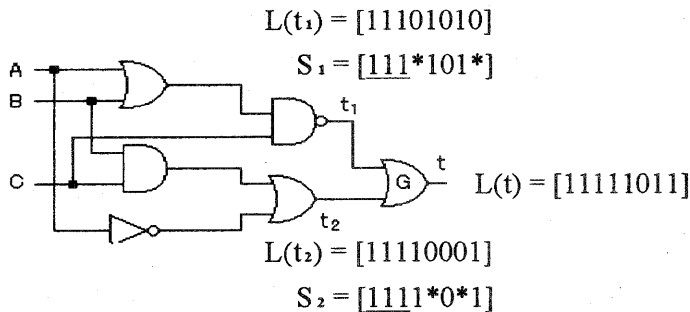


図 3: 信号遷移関数の導出例

ルにおいて、その成分の“0”または“1”の数をどちらか一方に偏らせれば、スイッチング回数は少なくなると考えられる。

例えば 3.4 の式 (21) に示した 12 個の信号遷移関数について考える。まず、 $([1001], [0001])$ のように、一方の入力線の論理関数が出力の論理関数と等しい場合、入力にそのゲートの出力を入れることと等しく、これは無意味である。したがって、12 個の信号遷移関数のうち、このような関数を除外する。残りの関数の組のうち、“1”、“0”の数に最も偏りが見られるのは、 $([0101], [1011])$ および $([1101], [0011])$ である。以下では、このような“0”、“1”の数に偏りが見られる関数を求める方法について検討する。

いま、信号遷移関数 $(S_1, S_2) = ([0*01], [00*$

1]) において、 S_1 の第 1 成分の“0”を“0”と固定すると $([0*01], [*0*1])$ が得られる。一方、 S_2 の第 1 成分の“0”を“0”と固定すると $([**01], [00*1])$ が得られる。これらの“*”に“1”を割り当てると、先に示した“0”、“1”の数に偏りが見られる関数 $([0101], [1011])$ および $([1101], [0011])$ が得られる。

AND ゲートの性質より、AND ゲートの信号遷移関数では、“*”に“0”を割り当てた場合、第 1 関数または第 2 関数のうちいずれか一方が出力の論理関数と同じになる。このため、AND ゲートでは、“*”に“1”を割り当てる。同様にして各ゲートを調べた結果、OR および NAND ゲートでは“*”に“0”を、NOR ゲートでは“*”に“1”を、それぞれ割り当てれば

よい。

本稿では、この考え方に基づき、スイッチング回数を削減することで回路全体を低消費電力化する。

4.2 組合せ回路の低消費電力化手順

組合せ回路の低消費電力化の手順を以下に示す。

手順 4.1 (低消費電力化手順)

- (1) 組合せ回路内でゲート G を選び、その入力線を t_1, t_2 、出力線を t とする。また、式 (22), (23) を用いて、ゲート G の信号遷移関数 (S_1, S_2) を求める。
- (2) S_1 (または S_2) にドント・ケアが集まるように S_1, S_2 の “0”, “1” に “0”, “1”, “*” を割り当てる。割り当てた後の関数をそれぞれ S'_1, S'_2 と表す。
- (3) ゲート G が、AND または NOR のとき、 S_1, S_2 の “*” に “1” を割り当てる。また G が OR または NAND のとき、 S'_1, S'_2 の “*” に “0” を割り当てる。割り当てた後の関数をそれぞれ S''_1, S''_2 と表す。
- (4) 回路 C の信号線 t_1, t_2 が、完全定義関数 S''_1, S''_2 を実現するように変形する。変形後の回路を C' と表す。 □

4.3 低消費電力化の具体例

ここでは、4 で示した手順に基づいて、低消費電力化の具体例を示す。

例として、図 3 に示した回路の最終段ゲート G の信号遷移関数を用いる。先に述べたように、 G の線号遷移関数は、 $(S_1, S_2) = ([111*101*], [1111*0*1])$ である。 S_2 の “1” の成分をすべて “1” とし “*” を S_1 に集めると、 $S'_1 = [****101*]$ 、 $S'_2 = [1111*0*1]$ となる。ここで図 3 における G は OR ゲートなので、“*” の部分に “0” を割り当て、 $S''_1 = [00001010]$ 、 $S''_2 = [11110001]$ が求まる。このようにして求められた S''_1, S''_2 に基づいて図 3 の回路を変形した後の回路を図 4 に示す。

同様に、 S_2 に “*” を集めた場合の回路の変形を行う。 $(S_1, S_2) = ([111*101*], [1111*0*1])$

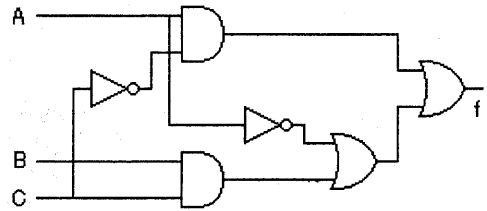


図 4: S_1 に “*” を集めた場合の回路

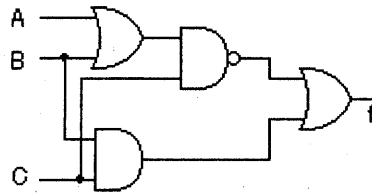


図 5: S_2 に “*” を集めた場合の回路

より、 S'_2 に “*” を集めると $S'_1 = [111*101*]$ 、 $S'_2 = [***1*0*1]$ となる。ここで、 S_1, S_2 の “*” に “0” を割り当てると $S''_1 = [11101010]$ 、 $S''_2 = [00010001]$ となり、これに基づいて図 3 の回路を変形した後の回路が図 5 となる。

図 3 ~ 5 に示した各組合せ回路の消費電力を Synopsys 社の Design Compiler (Ver.1999.05) を用いて解析した結果、低消費電力化を行う前の回路 (図 3) の消費電力が $5.394[\mu\text{W}]$ であったのに対し、図 4 および図 5 の回路はそれぞれ $4.996[\mu\text{W}]$ 、 $3.910[\mu\text{W}]$ となり、いずれも図 3 の回路の消費電力より小さくなることがわかった。

5 評価

本稿で検討した低消費電力化手法をいくつかの回路に適用し、それらの低消費電力化前後の消費電力を解析した結果を図 6 に示す。対象回路 1, 2 では、低消費電力化手法の適用後の回路が元の回路の消費電力より小さくなっており、低消費電力化されたことがわかる。また、対象回路 3 においては、低消費電力化手法を適用した回路のうち一方は元の回路より低消費電力化されているが、他方は逆に消費電力が大きくなるという結果が得られた。

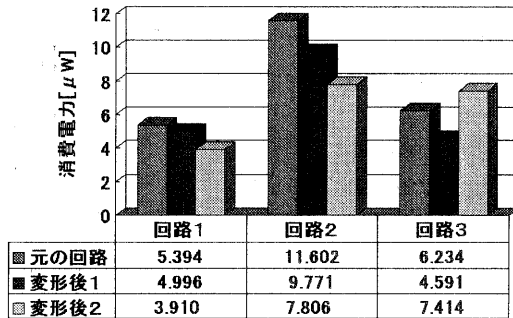


図 6: 低消費電力化前後の消費電力の比較

6 おわりに

本稿ではまず、不完全定義関数である信号遷移関数を定義した。また、この信号遷移関数をもつドント・ケアを“0”か“1”の一方に偏らせることで、元の組合せ回路の冗長なスイッチングを削減した回路へ変形し、回路全体の消費電力を低減する方法を提案した。

本稿では、組合せ回路の最終段ゲート G に対して信号遷移関数を求めて低消費電力化を行った。しかし、信号遷移関数を最終段ゲート以外のゲートに対しても求めることで、回路変形の対象となる部分が広がり、より消費電力が小さくなる可能性がある。そのため、信号遷移関数を求める選定基準について検討していく必要がある。また本稿では、信号遷移関数を求めるゲートの種類によって、“*”にすべて同じ値を割り当てたが、回路の構造によって“*”への割り当て方を変えた方が、さらに消費電力を小さくできると思われる。これらの点の改善は、今後の課題である。

さらに今回は、組合せ回路への各入力線のスイッチング確率はすべて等しいものとして、消費電力を解析した。しかし実際には、各入力線のスイッチング確率は異なる。この点の改善も今後の課題である。

謝辞

本研究を進めるにあたり、Synopsys 社の University Program の一貫として提供された

設計ツールを使用した。また本研究は、(株)日本シノプシス社の奨学寄付金の援助を受けている。

参考文献

- [1] 黒田忠広, 低消費電力化設計, 電子情報通信学会 Vol81 No.11, pp1144-1149, (1998).
- [2] 猪飼國男, 本多中二: デジタル・システムの設計, CQ 出版社 (1990).
- [3] 桜井至: HDL によるデジタル設計の基礎, テクノプレス (1997).
- [4] Eric Porpich, ゼロ・パワー PLD のアーキテクチャと低消費電力設計技術, Design Wave Magazine No.11, pp71-74, CQ 出版社 (1997).
- [5] 三橋明城男, ASIC 設計におけるパワー解析, Design Wave Magazine No.11, pp75-81, CQ 出版社 (1997).
- [6] 儀間良子, 吉田たけお: “スイッチング関数を用いた組合せ回路の低消費電力化に関する一検討”, 平成 11 年度 電気学会 電子情報通信学会合同講演会 講演論文集, OKI-99-13, pp91-92(Dec 1999).
- [7] 今村陽一, 低消費電力化技術の概要と応用事例, Design Wave Magazine No.11, pp52-57, CQ 出版社 (1997).