

16ビット 1チップ マイクロコンピュータ PANA  
-FACOM L-16A のアーキテクチャについて

都村友紀

パナファコム(株) 技術部 第2技術課

## 1. PFL-16A 開発の概らひ

### 1-1. マイクロの問題点

- アプリケーション拡大に伴うオペマンズの不足
- コンピュータとしてのシステムのアプローチが困難
- ソフトウェアのサポートレベルが低い
- システム リライアビリティに関する配慮が困難
- メーカーの概らひと使用状況のずれ
- ミニコンとのギャップ

### 1-2. マイクロの方向

- マイクロの下位レベルでは、より安価で、より単純なコンピュータが望まれると思われ
- マイクロの上位レベルでは、ミニコンに匹敵するようなシステムのコンポーネント・コンピュータが期待される
- マイクロの制御領域の広がり、外界との関係が強まりつつある
- コンピュータとしての認識が強まりつつある

### 1-3. PFL-16A の概らひ

- 適合命令語は、現8ビットマイクロから下位ミニコン迄をカバーする領域を目標とする
- 使用目的や状況にマッチしたアーキテクチャとする
- オペマンズはミニコンを目標とする
- ソフトウェアを中心とする使いせすはミニコンを目標とする
- LSIチップレベルでは8ビットマイクロと競合可能なものとする
- コンピュータとしてのシステムの配慮を行なう
- 外界、特に上位ミニコンとの関係を強化する

## 2. 設計の概らひ

### 2-1. アーキテクチャ

- 軽いアーキテクチャで高速化を計る
- 制御中心型のアーキテクチャとする

### 2-2. オペマンズ

- 半導体テクノロジー及びアーキテクチャの両面からオペマンズの向上を計る

### 2-3. 使いせす

- インタフェースのハイレベル化を計る
- ソフトウェアサポートレベルの向上

## 2-4. フレキシビリティ

- LSIレベルではプログラマブルなデバイスを用いる
- システムレベルでは標準カード、標準モジュールの組み合わせで任意のシステムが構成されるようにする

## 2-5. リライアビリティ

- チェック機能の重視
- コンピュータレベルのリライアビリティ

## 2-6. 16ビット語長

- ハードウェア/ソフトウェア演算能力
- アーキテクチャ水準
- ハードウェア コスト
- ソフトウェア コスト
- IPホーミング
- アプリケーション領域

## 2-7. LSI化

- 論理の複雑でリピータビリティの高い部分

## 3. PFL-16Aのアーキテクチャ

### 3-1. CPU

#### a. 語長

各種のベンチマークテストにより16ビットを選択

#### b. 制御方式

高速化を計る目的でワイヤド・ロジックを採用

#### c. 内部構造

3パス方式

16ビット完全並列ALU

#### d. 1チップ化

16ビット語長により、きれいな命令型式にすれば論理はあしる箇  
単になる

#### e. 命令型式

メモリ使用効率とスピードの長から単語長命令だけとする

#### f. 命令数

基本命令の数は使いやすさの面から少なくする。

#### g. 命令セット

RK演算中心型の命令セットとする

制御目的の範囲内で汎用的な命令セットとする

命令のビット割り当ては出来るだけきれいにしる

#### h. アドレス方式

メモリの使用効率が高く使いやすさの方を選ぶ

#### i. 割込み

割込みはユニコン的使い方も考慮して3レベルとする。

割込み方式は、スタックをサブルーチン分岐用に解放し、PSWを切換える方式とする。

イ. アドレス空間

メモリアドレス空間は将来性を考慮し64KW全域を確保する。  
I/Oアドレスは命令セットがRR型中心であるため、特にメモリアドレスと一致させる必要はない。

ロ. CPUインタフェース

CPUインタフェースは任意のメモリやLSI, MSIが接続できるようチップレベルで非同期化を図る。

またインタフェースバスの優先制御回路はシステムのフレキシビリティを考慮してCPU LSIの外に設ける。

3-2. 入出力制御(サブチャンネルインタフェース)

α. インタフェースのLSI化

ユーザ入出力装置の接続に関して、CPUインタフェースよりも接続性の良いハイレベルなインタフェースをLSI化により用意する(サブチャンネルインタフェース)。

LSI化に当たっては、リピータビリティを上げるために内部的に用いらぬインタフェースとする。

β. ユーザ入出力装置接続に関するフレキシビリティ

ユーザ入出力装置にマッチした接続ができるようにプログラマブルなインタフェースとする。

γ. サブチャンネルインタフェースの機能

機能面では次の機能を含ませる。

- ・ 入出力データ中のバリエーション
- ・ 入出力転送はプログラムの制御モードとDMAモードとする
- ・ データの取り込み方, 送り出し方にバリエーションを設ける
- ・ エラチェック機能を付与する
- ・ 割込み制御機能を含める
- ・ 外部デバイスインタフェースの制御機能をもたせる

δ. データ中

CPUは16ビット並列であるが、入出力データはバイトを中心に考える。

但し16ビット並列の入出力も可能とする。

ε. 入出力転送

データ入出力能力, CPU処理能力の向上及びプログラムの簡略化のためDMAモードが手軽に使えるようにする。

ζ. データ取り込み方式

サブチャンネルインタフェースの使用目的に応じた次の4種のモードを設ける。

- 直接入力
- ストローブ入力
- パルス入力

- 割込み入力
- g. データ送出方式  
 子項と同じ目的から次の2種のモードを設ける  
 直接出力  
 パルス出力
- h. エラーチェック機能  
 データの入出力に関し、エラーが発生した場合に検出できるようにする。  
 入出力データのパリティチェック/ゼネレート  
 DMAオーバーラン エラー
- i. 割込み機能  
 デバイス側からの割込み要求の受け付けと処理機能  
 カバチャネルのマスク制御機能
- j. 外部デバイスの制御機能  
 外部デバイスの制御がせりせりできるように、カバチャネルインタフェースにプログラム・コマンドを設ける。  
 また、デバイス側のステータス情報を直接センスできるようにする。
- k. プログラマブルな項目  
 以上のような機能に対し、プログラマブルな項目は以下の通りである。
- ・ データ巾
  - ・ 転送モード
  - ・ データ取り込みモード
  - ・ データ送り出しモード
  - ・ パリティ チェック / ゼネレートの有無
  - ・ カバチャネル単位の割込みマスク制御
  - ・ DMA時の転送モード (インタレース / バースト)
  - ・ 転送方向
  - ・ プログラム コマンド

#### 4. ソフトウェア

##### 4-1. ソフトウェアに課せられるべきもの

- a. ユーザが持つアプリケーション開発環境にマッチする各種のソフトウェアシステムを提供する
- b. 特にミニコンとは有機的な関係を配慮する
- c. ソフトウェアシステムはマイクロの特性を考慮しつつミニコンレベルを指向する

表1. PFL-16A 概要

CPU	<p>CPU諸元については表2 MN1610概要に同じ          他に CPUインタフェースバス優先制御及び監視機能          停電検出割込み機能          プログラム設定可能なインタバルタイマ</p>
メモリ	<p>最大64K語          16ビット+21911ティビット/語          語/バイトアクセス可          磁気コア, PROM, RAM 及び混在可</p>
コンソールパネル	<p>電源投入切断, CPU起動停止, レジスタ/メモリの表示          及び変更, システムリセット, CPU状態表示</p>
インタフェース	<p>サブチャンネルインタフェース          サブチャンネル数 最大 32          PFL-16A システム サブチャンネル 8          プログラムモード サブチャンネル 12          DMAモード サブチャンネル 12          サブチャンネルインタフェース諸元については表3 サブ          チャンネルアダプタ概要及び表4 DMAコントローラ概          要に同じ</p>
計算機同結合	<p>ミニコンピュータ PFL-100/200/300/4          00 及び MACC-7/Lと4チャンネル結合可          また PFL-16A同の4チャンネル結合可</p>
回線接続	<p>調歩同期, 全二重又は半二重          通信速度 1200 BPS以下</p>
基本入出力	<p>紙テープリーダー PF2010 400字/行          タイプライター F807A 600字/分          ASR-33 600字/分</p>
標準カードサイズ	200 x 250 mm
標準ミキサ	標準カード12枚実装可
標準電源	<p>+12V, +5V, -12V          電源容量は標準カード12枚分迄可          停電検出, オートリスタート          I/O-コントロール可</p>

表2 CPU(MN1610)概要

語長	16ビット
制御方式	ワード ロジック
命令数	基本 33種      バリエーション 345種
命令形式	1語長形式 RM (Register-Memory) 型命令 RR (Register-Register) 型命令 RC (Register-Change) 型命令 RCM (Register-Command) 型命令
命令種	16ビット2進演算命令, 1バイト処理命令, ビット操作命令, 10進演算補助命令, スタック操作命令, プログラム制御命令, 入出力制御命令等 演算命令は各種の条件判定が同時に行なえる複合機能命令
アドレス方式	6種8モード 直接            0~255番地 IC相対        +127~-128番地 間接 IC相対の間接 インデクスI修飾 "    II    " 間接のインデクスI修飾 "    II    "
情報形式	2進固定小数点
レジスタ	16ビット レジスタ    94 命令カウンタ (IC)            1 命令レジスタ (IR)            1 スタック ポインタ (SP)       1 ステータス レジスタ (STR)    1 演算レジスタ (R0~R4)        5 (うちインデクス レジスタ    2)
演算速度	RR型16ビット並列演算            3μs (命令の取り出しも含む)
メモリアドレス割込み	最大 64K語 割込みレベル    3レベル プログラム ステータス ワード切替方式
自動スタート	自動スタート機能あり
CPU インタフェイス	非同期方式 DMA制御モード及びプログラム制御モード 転送速度 500K語/秒
半導体プロセス	N4+エチル LOCOS シリコンゲートE/D MOS
クロック	2相 2MHz
電源	+12V, +5V, -3V
ピン数-シ	40ピン DIP セラミック

表3 サブチャネルアダプタ SCA (MN1630)概算

データ中	CPUインタフェース 8ビット サブチャネルインタフェース 8ビット + 1パリティ
レジスタ	デバイスステータスレジスタ (DSR) 1 コマンドレジスタ (CMR) 1 インポートレジスタ (IBR) 1 アラートポートレジスタ (OBR) 1
割込み	割込要因の受付と割込制御機能
パリティ	入出力データに關するパリティチェック / ゼネレート
サブチャネル インタフェース	サブチャネルインタフェースモード DMAモード DMA IN/OUTモード DMAコントロールモード プログラム制御モード 入力モード DIモード (Direct Input) SIモード (Strobed Input) PIモード (Pulse Input) IIモード (Interrupt Input) 出力モード DOモード (Direct Output) POモード (Pulse Output) サブチャネルインタフェース信号種 割込要因入力 3 外部ステータス入力 3 外部制御用プログラムコマンド 2 サブチャネルインタフェース制御 4 パリティビット 1 データ 8 注) 信号種はモードにより多少異なる
その他	ワード型のサブチャネルはSCA E24使用 DMA型サブチャネルはDMAC (MN1650) と結合して実現される 最大サブチャネル数 32
半導体プロセス	N4チャネル LOCOS シリコンゲートE/D MOS
クロック	ナシ
電源	+12V, +5V, -3V
パッケージ	40ピン DIP セラミック

表4. DMAコントローラ DMAC(MN1650)概要

DMAチャンネル	最大 8DMAチャンネル/CPU
DMA サブチャンネル	最大 4DMAサブチャンネル/DMAチャンネル 注) DMAチャンネルとは1つのDMACにより制御される系を仮称
レジスタ	メモリ アドレス レジスタ(MAR) 4 ワード(又はバイト)カウンタ レジスタ(WCR) 4
DMA サブチャンネル 制御	転送モード サブチャンネル インタレース モード サブチャンネル バースト モード 転送語数(又は転送バイト数) 1~4096語(又はバイト) 転送データ 語(16ビット)又はバイト(8ビット) 転送方向 IN 又は OUT 転送速度(サブチャンネル当り) サブチャンネル インタレース モード 4サブチャンネル時 50K語/秒 1サブチャンネル時 100K語/秒 サブチャンネル バースト モード 200K語/秒
半導体プロセス クロック 電源 パッケージ	Nチャンネル LOCOS シリコンゲートE/D MOS 2相 2MHz +12V, +5V, -3V 40ピン DIP セラミック



表5 基本命令一覧

メモリ参照命令	LOAD STORE BRANCH BRANCH AND LINK INCREMENT MEMORY AND SKIP IF RESULT IS ZERO DECREMENT MEMORY AND SKIP IF RESULT IS ZERO
算術演算命令	ADD SUBTRACT COMPARE COMPARE BYTE
転送命令	MOVE MOVE BYTE BYTE SWAP
論理演算命令	LOGICAL AND EXCLUSIVE OR INCLUSIVE OR
シフト命令	SHIFT LEFT SHIFT RIGHT
ビット操作命令	SET BIT RESET BIT TEST BIT
直接数値命令	MOVE IMMEDIATE ADD IMMEDIATE SUBTRACT IMMEDIATE
入出力命令	READ WRITE
特殊命令	PUSH THE STACK POP THE STACK LOAD PSW RETURN HALT
10進数操作命令	LOAD ADJUST PART DIGIT SWAP

注. \*印の命令は命令実行直後次の条件判定を行ない、7ビット7桁の値を出力できる。

Non Skip, Unconditional Skip,  $R < 0$ ,  $R \geq 0$ ,  $R = 0$   
 $R \neq 0$ ,  $R \leq 0$ ,  $R > 0$ ,  $E$  (拡張Lレジスタ) = 0,  $E = 1$ ,  
 $OVF$  (7-11'70 7桁) = 0,  $OVF = 1$ ,  $|Rd| \leq |Rs|$   
 $|Rd| > |Rs|$ ,  $|Rd| \geq |Rs|$ ,  $|Rd| < |Rs|$