

LSI コンピュータの自動設計

土屋洋次, 飯田昇治, 岡本圭右, 佐藤庄市, 大野泰廣
(株) 日立製作所

1. はじめに

半導体の技術進歩(図1.1参照)は著しく、大規模・高密度化, 高信頼度化が高進し、エレクトロニクス関連の全ゆる分野で、LSIが多用されるようになってきた。

LSI化すると云うことは、想像以上に大変な事柄で、相当な覚悟をもって取り組む必要がある。

本稿では、汎用コンピュータの設計にLSIが多用されることにより生ずる(1)インパクト, (2)設計手順の改善, 及び(3)設計自動化(DA: Design Automation)の対処について述べる。

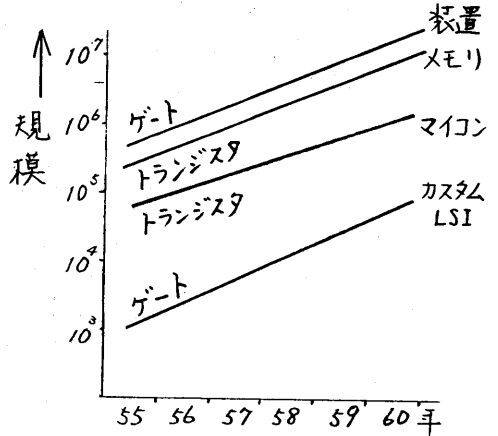


図 1.1 半導体の技術進歩

2. LSI化によるインパクト

コンピュータ設計の流れは図2.1の通りである。この流れの中で、LSI化による一番大きな隘路はLSI製造である。この工程は通常2~3ヶ月を要する。

一斉、調整工程で論理不良が発見され、且つその論理不良がLSIにぶつかったとしたりどうであろうか。LSIは基板と異なり、ジャンパー線により補修をすることが不可能な為、その不良を対策して再度LSI製造をすることになる。従って最悪の場合、調整工程が2~3ヶ月間先へ進まぬと云う事態を招くことになる。

LSIが多用され、ばされる程不良がLSIに当る確率

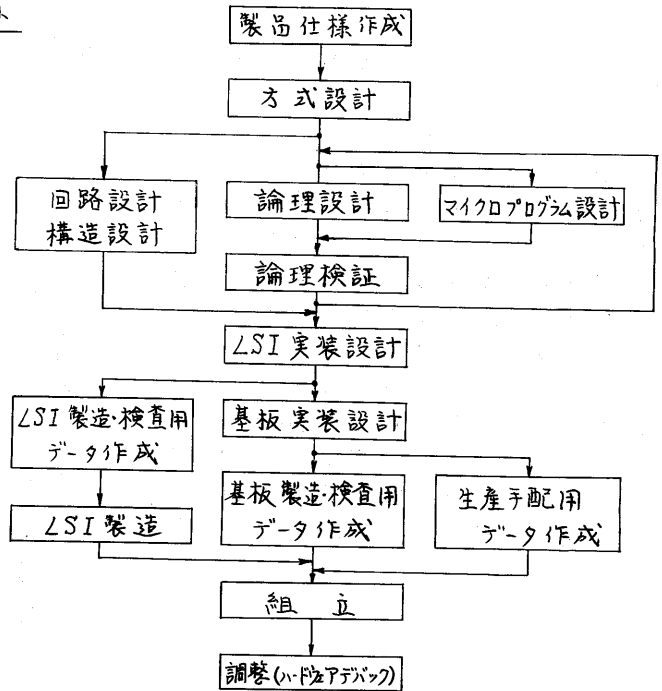


図 2.1 コンピュータ設計の流れ

は高くなる訳で、如何にこの負を解決するかはLSIコンピュータの開発の成否が掛かっていると云っても過言ではない。

3. 設計手順の改善

不良を大雑把に分類すると、(1)論理不良、(2)回路遅延不良、(3)実装不良のいずれかに該当する。(3)項は自動化機能が充実すればなくせる話であり、問題は(1)及び(2)を如何に早期に摘出するかに着目する。

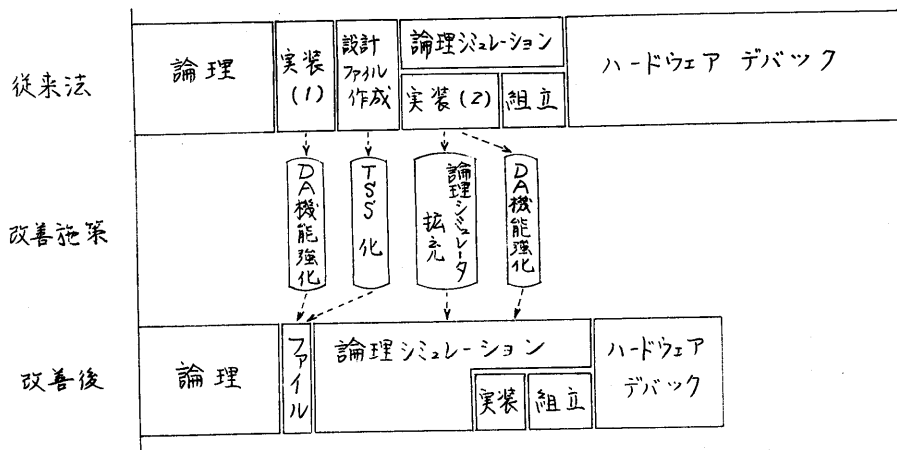


図 3.1 設計手順の改善 (1)

図 3.1 に改善策を示す。即ち、実装設計以前に徹底的に装置による論理シミュレーション及び回路遅延チェックを実施することであり、これにより図 3.2 に示く如く、期間短縮を実現することが可能となる。

論理シミュレーション及び回路遅延チェックに充分時間を掛けられるようにするには、実装設計が短期間で消化できる自動化機能を持つことが大切である。

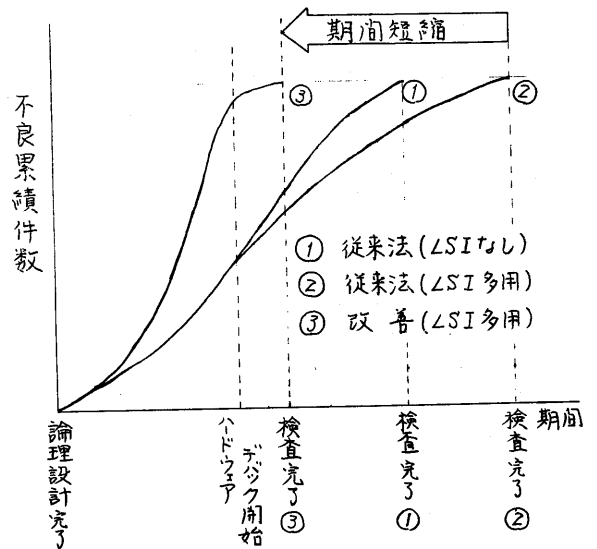


図 3.2 設計手順の改善 (2)

4. DAシステム

DAシステムは図4.1に示す通り、大別して二つに分けられる。一つは論理設計支援システムであり、もう一つは実装設計自動化システムである。ここで重要なことは、一貫して設計ファイルが一つしか存在しない点である。

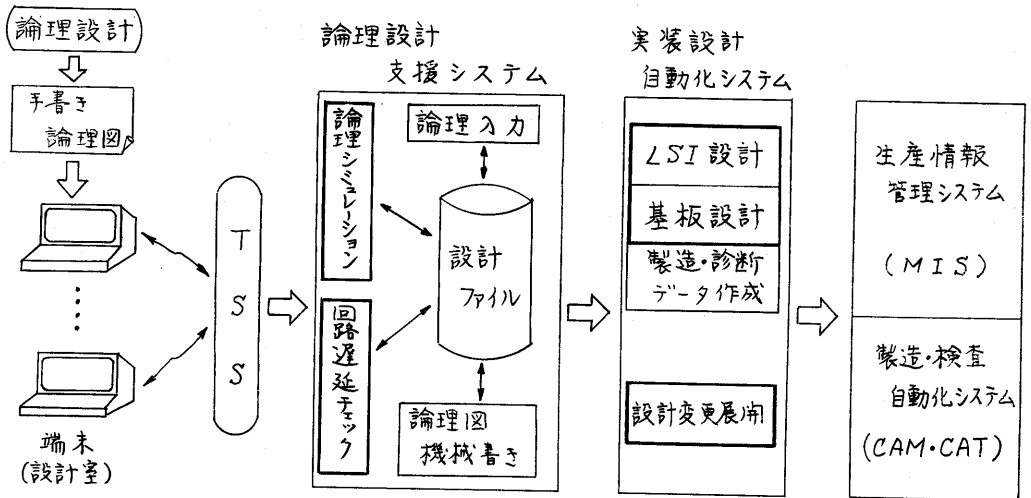


図4.1 DAシステムの概要

4.1 論理設計支援システム

前章述べてきたことと解るように、設計者との関係が密接であり、それだけ操作性・使い易さといったものが要求される。

設計者が手書き論理図をもとに、論理入力システムを用いて、設計室のTSS端末から必要な情報を直接入力する。この結果、設計ファイルが作成される。

作成した設計ファイルの内容が意図通りのものであるかどうかを、論理図機械書きシステムを用いて眼に見える形のものにして、確認する。この時の出力装置としては、レーザビームプリンタとグラフィックディスプレイ等が用いられる。

設計ファイルが意図通りに出たことを確認した後、論理シミュレーション及び回路遅延チェックを用いて、論理の検証を行なう。これらのシステムも、タイムシェアリングシステムで処理起動及び結果の参照が可能であることが重要である。

検証の結果に誤まりが存在した時には、論理入力システムを用いて瞬時に訂正し、更に検証を進める。

以上を繰り返し実施し、十分に不良がとりきれたと判断した時点で、次の実装設計へと移る。

4.2 実装設計自動化システム

実装設計フェーズは、設計者から開始時期と終了時期とを指示され、その限られた期間内で、設計者の意図を反映した形で製造・診断用データを作成する訳で、それだけ高い自動化機能が必要となる。

実装設計自動化システムの中で最も重要なサブシステムは、部品割付け配置（自動配置とも呼ぶ）と自動配線システムである。両システムのアルゴリズムの説明は種々知られており、こゝでの説明は省略するが、概略を述べておく。

実装設計自動化機能は図4.1の通りである。

部品割付け配置は、後工程での配線をやり易くするようセル（LSEの場合）及び部品（パッケージの場合）の配置、外部端子番号の割当て等を行なう。通常、部品を割付け配置した後の評価関数として、総線長ミニマム等の手法が用いられるが、時として配線領域、全面で見たプロファイル（混雑度を計る尺度となる）により、意識的に配置場所を分散させることも行なう。更に、信号の流れに応じて、ゲート内ピンの交換も行なう。

自動配線は、前工程の配置結果を結線するが、この時ECL、ATLと云った回路系による結線方法、設計基準の違いを保証、又はチェックアウトする機能を備えている。更に高速な計算機設計に当っては、クロックの取扱も厳密さを要求される。その為、特定の信号は、ある決められた長さで結線すると云う等長配線の機能も必要である。

実装設計自動化システムのもう一つの特徴は、LSEには存在しないが、組立て後に見つけた論理不良に対処する為、製造ラインへ手直し用図面を自動的に出力する機能である。論理変更を如何に正しく行なったとしても、図面を作る際に不良が混入する可能性は高い。設計者の生活としても変更内容をファイル修正し、論理シミュレーションで確認した上で手配するのが一般的になってきている。

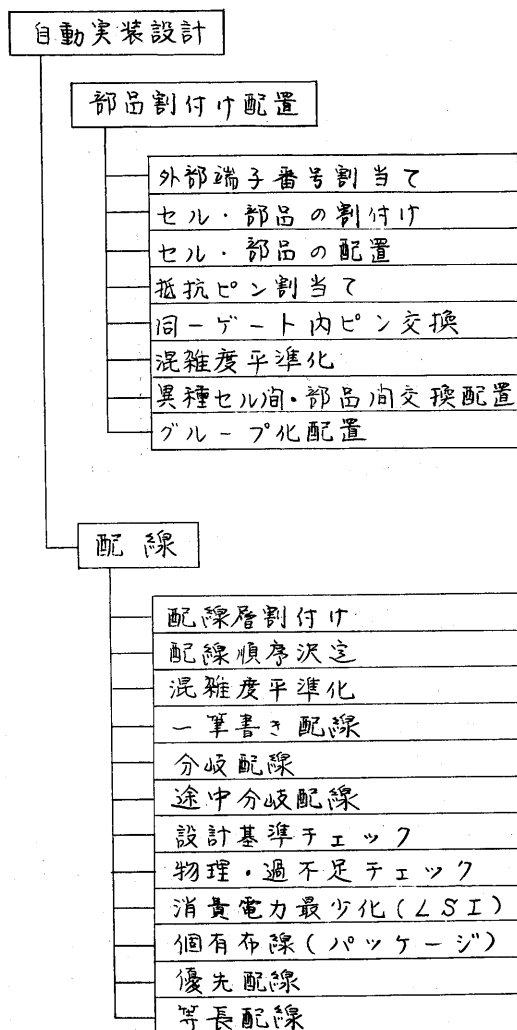


図4.1 実装設計自動化機能

従って、前回のファイルの内容と今回の内容とを付き合せ、不一致となり、その情報を手直し図面として自動作成する。出力図面のサンプルを図4.2に示す。

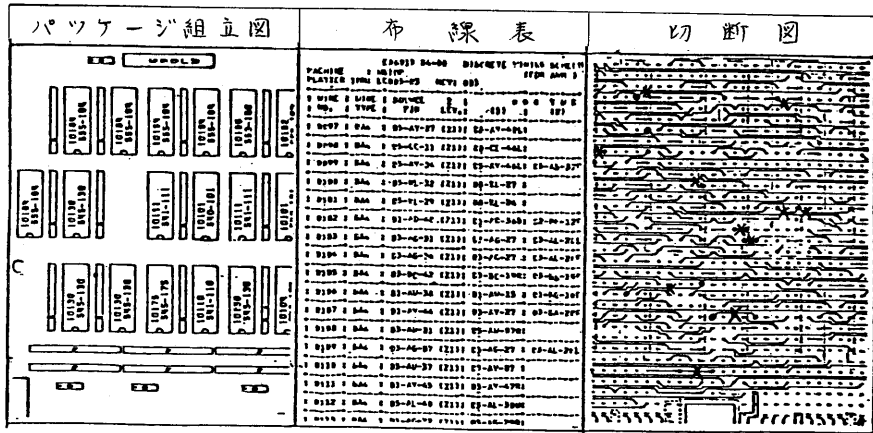


図4.2 手直し図面出力サンプル

診断データ作成は、特にLSIの場合、自動的に高検査率を得られるシステムが必要である。表4.1に診断データ検査率と不良品混入率との関係を示す。このデータを見ても解るように、検査率が83%の場合、良品の内に1/3の不良品が混入すると云う恐ろしいことになる。

表4.1 診断データ検査率と不良品混入度合

診断データ検査率	83%	97%	100%
合格ペレット	45%	35%	30%
不良品混入度合	1/3	1/7	—

診断データ作成は、更にDC（直流レベル）のみならずAC（交流レベル）データも自動作成する。近年のようにLSI、基板ともに大規模化してくると、一括診断の他に回路分割診断も併用されるようになってきている。

尚、診断率を向上させるためには、自動化で煩雑なことは勿論であるが、如何に診断し易い論理構造を考慮した設計を進めるかと言う論理設計者の協力が不可欠である。

5. おわりに

以上述べてきたように、LSIコンピュータの設計自動化は一貫システムとして構築されている。DAシステムは実現不可能なことを可能にする道具である。道具は最初の内は使いづらいものであるが、ユーザに大いに使い込んでもらう→火縄銃→ピストルへとする必要がある。

一方ますます半導体技術革新が進むにつれ、線型的成長→指数的成長の時代になる。ソフトウェアもそれに、より先行した形で追従できなければならない。今後の大きな課題である。

[参考文献]

1. Y. Ohno, M. Miyoshi, K. Sato : "Logic Verification of Very Large Computers Using LSI's", IEEE Proc. of 16th DA Conf. (1979)
2. 大野, 佐藤, 岡 他 : "大形コンピュータの自動設計", 日立評論, 62, 487~492 (昭55-7)
3. 大野, 宮本, 三善 他 : "超大形電子計算機 HITAC M200H の論理シミュレーション", 情報処理学会論文誌21-5, 情報処理学会 (昭55-9)
4. R. Kamikawai, M. Yamada, T. Chiba et al : "A Critical Path Delay Check System", IEEE Proc. of 18th DA Conf. (1981)
5. S. Goshima, T. Kozawa, Y. Oka, Y. Takiguchi et al : "Diagnostic System for Large Scale Logic Cards and LSI's", IEEE Proc. of 18th DA Conf. (1981)
6. 岸田, 池本, 長尾 他 : "マスタスライス LSI 用レイアウトシステム", 電子装置設計技術3-2, 情報処理学会 (昭57-2)