

## 高速浮動小数点演算機能を持つ

### ユニットコンピュータ・MCのアーキテクチャ

中瀬義盛 日高教行 西村明夫 宮崎守弘 野口正弘 鷺島敬之

(松下電器産業(株) 無線研究所)

#### 1. まえがき

近年、人間とコンピュータの極めて効果的な通信手段としてリアルな3次元画像生成の有効性が急速に高まり、CAD/CAMの分野をはじめ、芸術の分野にまでも利用が広がっている。ところで、画像生成アルゴリズムにはよく知られているものに、Zバッファ法、スキャンライン法、レイトレーシング法がある。例えば、レイトレーシング法においては、陰影、反射・透過効果まで導入して現実感のある表示を追求するため、非常に多くの演算量が必要となり、汎用コンピュータを用いてこれを実行させた場合、長時間の演算を要する。

これに対し、LSI技術の発展に伴ない高機能化、高集積化されたマイクロプロセッサ、メモリを大量に使用したマルチプロセッサ構成の3次元画像生成専用システムがいくつか発表されている。<sup>〔1〕</sup>、<sup>〔2〕</sup>

そこで我々は、マルチコンピュータ構成の高速画像生成システム構築の基盤となるユニットコンピュータ(MC)を開発した。本文ではこのMCのアーキテクチャについて報告する。

MCは、マイクロプロセッサを搭載したユニット(MPU)に、高速で浮動小数点演算を実行するユニット(APU)を付加した構成であるが、その特徴はMPUはHDL C(High Level Data Link Control)により、他の複数台のMPUと通信可能であり、APU間はイメージバスと呼ぶ高速の専用バスで接続することにより

複数台のMCを使用した自由なシステム構成が可能となる点である。また、MCのAPUユニットは加減算、乗算、関数(三角関数、平方根、逆数)の3本の浮動小数点パイプラインをもち1ワード24ビットで、最大12MFLOPSの性能を発揮する。

#### 2. ユニットコンピュータ(MC)

一般に、画像生成アルゴリズムの特徴として次の4点が挙げられる。

(1)、画面分割、オブジェクト分割、オブジェクト空間分割等に基づいた負荷分散が可能のため、マルチプロセッサ構成による並列処理に適している。

(2)、座標変換、輝度計算、隠面処理、反射・透過演算等には、浮動小数点演算(四則演算、三角関数演算、平方根演算)が頻りに用いられ、しかもそれら演算は並列度が高い。

(3)、莫大な形状データを処理するために大容量メモリが必要となる。

(4)、通常の画像生成において浮動小数点データは、シミュレーション結果24ビット(仮数部16ビット、指数部8ビット)で充分であると考えられる。

上記の観点から我々は、マイクロプロセッサをのせたMPUと、高速浮動小数点演算を実行するAPUからなるユニットコンピュータ(MC)を開発した。その概略図を図1に示す。

MPUは、MC68000をCPUとし、1MBのRAM、64KBのROM、HD68

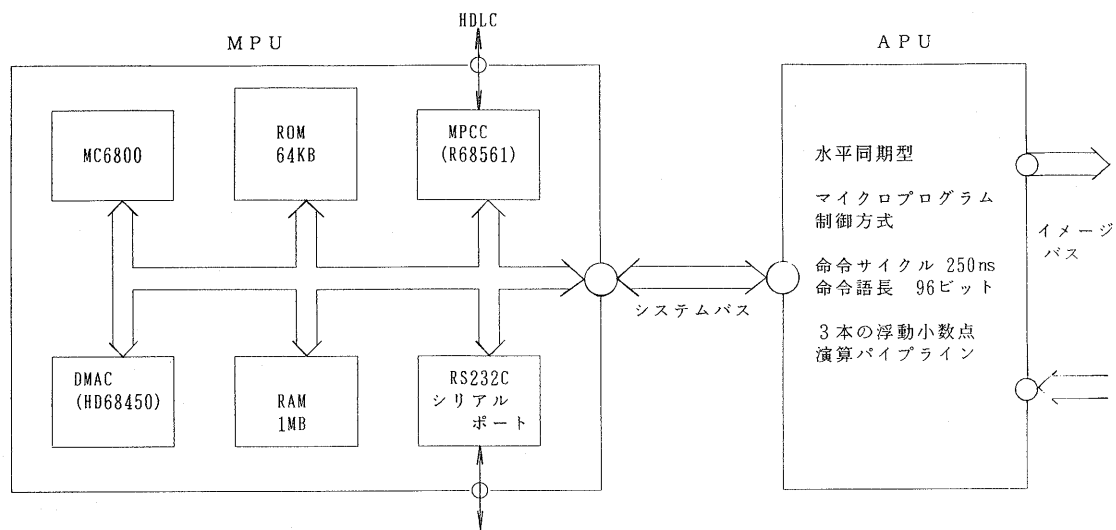


図1 ユニットコンピュータ (MC) の構成図

450 のDMAC, R68561 のHDLC, 及びRS232Cのシリアルポートから構成されている。MC 68000を採用した事により、木構造でリンクされた形状データは16MBのリニアなアドレス空間に配置され、リスト処理がスムーズに実行可能となる。また、HDLCは4Mビット/秒の転送速度を有し、MPU間の通信に用いられる。

APUは、水平同期型のマイクロプログラム制御方式で動作し、各種浮動小数点演算パイプラインをもち、座標変換、輝度計算、隠面処理等の浮動小数点演算を実行する。APUの実行に必要なプログラム、及びデータはそれぞれプログラムメモリ (PM), データメモリ (DM) にシステムバスを通じてMPUのDMACにより転送される。APUの起動はMPUにより行なわれるが、各メモリが2バンク構成のためAPUが実行中でもMPUは他の仕事を行なう事が可能となり、APUのプログラム、及びデータ転送のオーバーヘッドを削減し、

長いプログラム、又、大量のデータもこのバンクを連続的に切換えてMPUとAPUをパイプライン動作させることができる。また、MPUはAPUの実行終了を、APUのステータスを監視するか、APUからの割込みによって知る事ができる。

APUにより高速演算して得られた画像データ (各画素のRGBデータ、または中間結果等) をMPUにもどす必要性は殆んどなく、演算結果を高速で外部に出力することが望まれる。従って、APUにはイメージバスと呼ばれる専用バスを設け高速化を図った。ここで、マルチコンピュータとしてのMCの結合例を図2に示す。

### 3. APUの構成

APUは図3に示すように、MPUとシステムバスで結合されたプログラムをストアするPMと、データをストアするDM、そしてコントロール部、浮動小数点演算部、レジスタユニット、I/O部、整数演算部

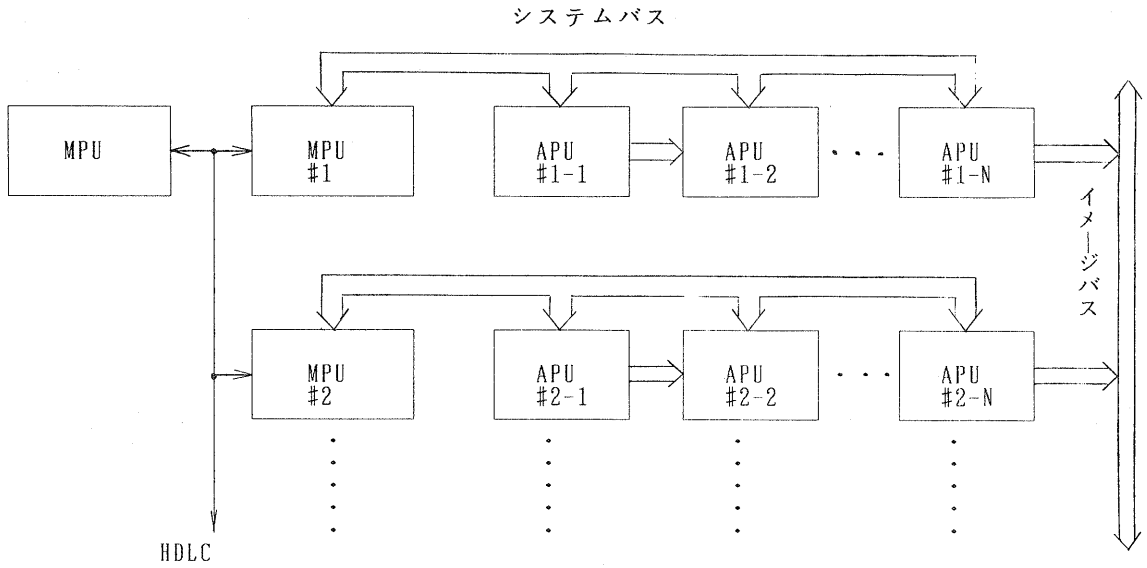


図 2. MCによるマルチコンピュータシステムの構成例

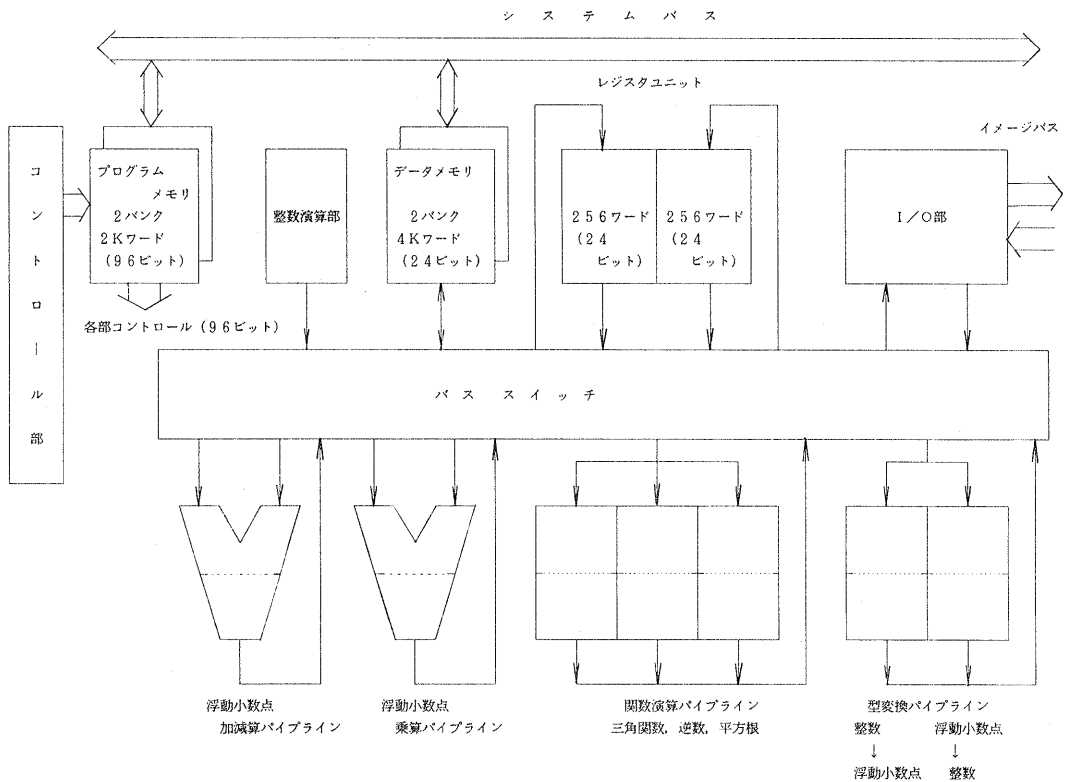


図 3 APU機能ブロック図

から成っている。A P Uは水平型のマイクロプログラム制御方式で動作し、命令語長は96ビット、命令実行サイクルは250nsである。またデータ幅は24ビットであり、その浮動小数点表現は仮数部16ビット、指数部8ビットである。3本の浮動小数点演算ユニットには多重データバスを通してデータが供給され、それらが並列に動作すれば、12MFLOPSの24ビット浮動小数点演算を実行することが出来る。

### 3. 1 コントロール部

コントロール部は、シーケンサ（プログラムカウンタ、スタック、スタックポインタ等）、ステータスレジスタ割込制御レジスタ等のレジスタ群から成る。

A P Uの実行形式は2種類あり、通常実行モードでは起動後、M P Uからのリセット、H A L T設定、A P UのH A L T命令、演算のエラー（浮動小数点演算でのオーバーフロー等）やP M、D Mの切替発生による割込みがM P Uになされるまで実行する。一方、シングルステップモードでは1ステップの96ビット命令を実行するとA P Uは停止する。このモードは、A P Uプログラムのデバッグ時に利用され、各種レジスタの参照及びその変更や演算器の内部状態を監視しながらプログラムを実行させることができる。

A P Uは、4MHzのクロックに同期してパイプライン動作を行なうが、メモリ切替命令、I/O命令が実行できなかった場合ウェイト状態にはいる。このとき、命令語内のそれら命令以外の命令（加減算命令等）は実行を終了しており、この命令のみがリ

トライされ、実行可能になった時矛盾なく次のステップに進む。

### 3. 2 メモリ

P Mは、2Kワード（1ワード96ビット）までのプログラムをストアするバンク2枚、D Mは4Kワード（1ワード24ビット）までのデータをストアするバンク2枚から構成されている。これにより、M P UとA P U間のプログラム及びデータ転送のオーバーヘッドを削減している。このバンクの切替は、M P UとA P Uの優先度を示すモードレジスタと、M P Uからの切替要求がセットされるメモリコントロールレジスタ及びA P Uからの切替要求がセットされるステータスレジスタを参照してなされる。モードレジスタの設定によって次の3種のモードが選択される。

M P U優先モード……………M P Uからの切替要求があると切替わる。

A P U優先モード……………A P Uからの切替要求があると切替わる。

リクエストアンドモード……………M P U及びA P Uの切替要求がそろった場合切替わる。

M P U優先モードは、A P U起動前のP M、D Mへのプログラム、データの転送に用いられ、A P U優先モードは、M P Uからのプログラム、データの書き換えを要さない場合に用いられ、リクエストアンドモードは、プログラム、データをM P Uから書き換えてA P Uを連続実行させる場合に利用される。

レジスタユニットは、演算途中の浮動小数点データを一時記憶するもので、1命令

サイクル内に読み書きを同時に行う事が出来、1命令サイクルでレジスタ転送をも可能にした。構成は、256ワード（1ワード24ビット）のものが2項演算用に2枚あり-8から+7までの相対アドレスが可能である。

### 3. 2 演算部

浮動小数点演算部は、浮動小数点加算、乗算、及び関数演算の3本のパイプラインで構成され、命令サイクル毎に新しい入力データを受け入れ結果を送出する。したがって、パイプライン当りの性能は4MFLOPSであり、3本のパイプラインが並列に動作すれば12MFLOPSとなる。各パイプラインの長さは2命令サイクルである。

関数演算パイプラインは、逆数演算、平方根演算、三角関数演算のどれかが選択されて実行される。

演算部には、更に型変換パイプラインを備え、浮動小数点データ（24ビット）と整数データ（16ビット）の変換を行なう。このパイプラインも、命令サイクルに同期し、長さは2命令サイクルである。

整数演算ユニットは、16個の16ビットのレジスタと、整数加減算、論理AND、OR、XOR、シフトの演算機能を持つ16ビットの整数ALUから構成されている。この整数演算部は、主に、DM、レジスタユニット等のポインタの計算、及び、ループのカウント等のシーケンス制御に用いられる。

### 3. 3 I/O部

APUは、入力及び出力にイメージバスと名付けた高速のバスを備え、APU間の結合を可能にしている。イメージバスは24ビットのデータラインと、4ビットのアドレスライン及びコントロールラインから

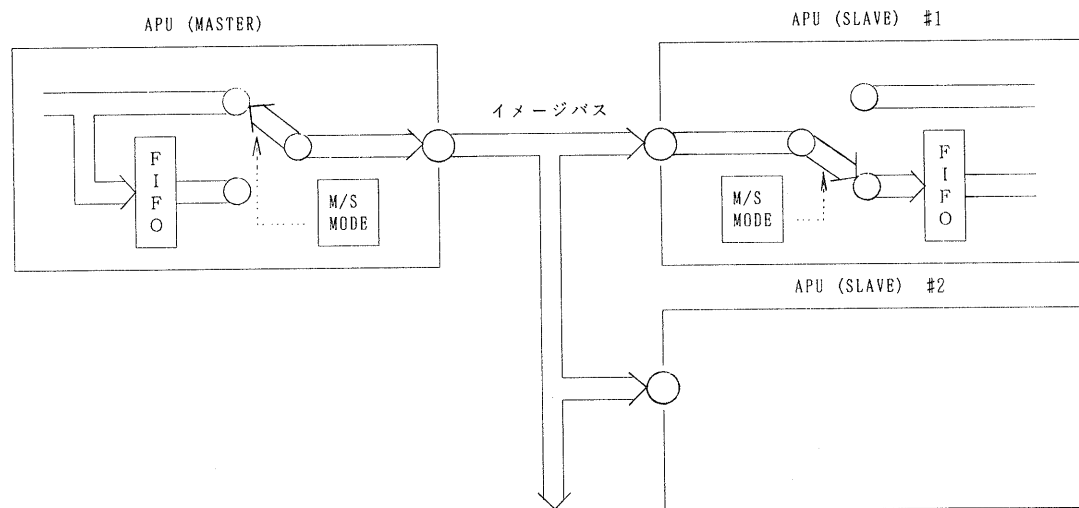


図4 APU間の結合例（出力側；MASTER，入力側；SLAVE）

なり、1台のAPUに対して16台のAPUが接続可能である。またAPUは入出力それぞれにFIFOをもち、MPUからのマスター、スレーブの設定によってこのFIFOを使用するか否か決定され、ハンドシェイクでデータの転送が行なわれる。図4は、マスターAPUから複数台のスレーブAPUにデータを出力するときの結合例である。逆に複数台のスレーブAPUからマスターAPUがデータを入力することも

できる。

#### 4. 命令セット

命令は図5に示すように、浮動小数点演算命令、レジスタユニット入出力命令、I/O命令、データメモリ入出力命令、整数演算命令、分岐・ジャンプ命令、ポインタ制御命令、及びメモリ切換命令からなる。

また基本演算速度を表1に示した。

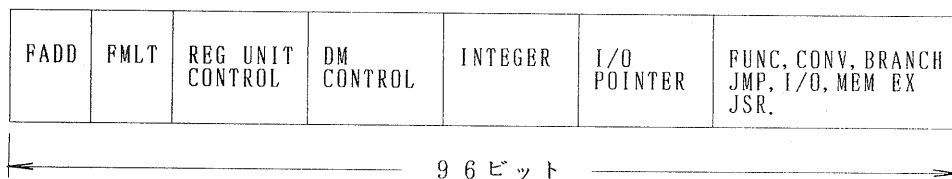


図5 APUマイクロ命令セット

表1 APU演算能力

演算の種類		命令サイクル数	処理時間 (μs)	
			非パイプライン動作時	パイプライン動作時
浮動小数点演算	加減算	2	0.5	0.25
	乗算	2	0.5	0.25
	三角関数	7	1.75	0.75
	逆数	2	0.5	0.25
	平方根	2	0.5	0.25
	除算	4	1.0	0.25
整数演算		1	0.25	—

## 5. プログラム開発

図6にプログラム開発の概略を示す。APUのプログラム開発はCライクなコンパイラ言語APU-CによりVAX上で行なう。

APU-Cソースファイルから中間コードとしてデータの流れるを表わすグラフを作成し、プログラム中の並列可能な処理を見つけ出し、局所的に最適化されたAPUアセンブラソースファイルを出力する。しかしながら、特に高速な処理が必要な場合は、直接アセンブラによりコーディングを行ない、より効率の良いコードを生成することが出来る。このようにして開発されたAPUプログラムはVAX上のAPUデバッグによりデバッグを行なうことが出来る。一方、MPUのプログラムはC言語によって開発を行ない、その後既に単体デバッグされたAPUプログラム及びAPUエミュレータライブラリと共にリンクすることにより、VAX上でMCの動作をエミュレーションし、MPUプログラムとAPUプログラムを結合した形で動作確認を行なうことが出来る。

VAX上で動作確認されたプログラムはファイル転送プログラムによりMC上にダウンロードされ、CP/M-68K上でコンパイル、リンクを行ない最終的な実行ファイルが作成される。更に、MC上でのAPUプログラムのデバッグのために、MC上のAPUデバッグも用意されている。

## 6. むすび

本文では画像生成用ユニットコンピュータMCのアーキテクチャについて述べた。

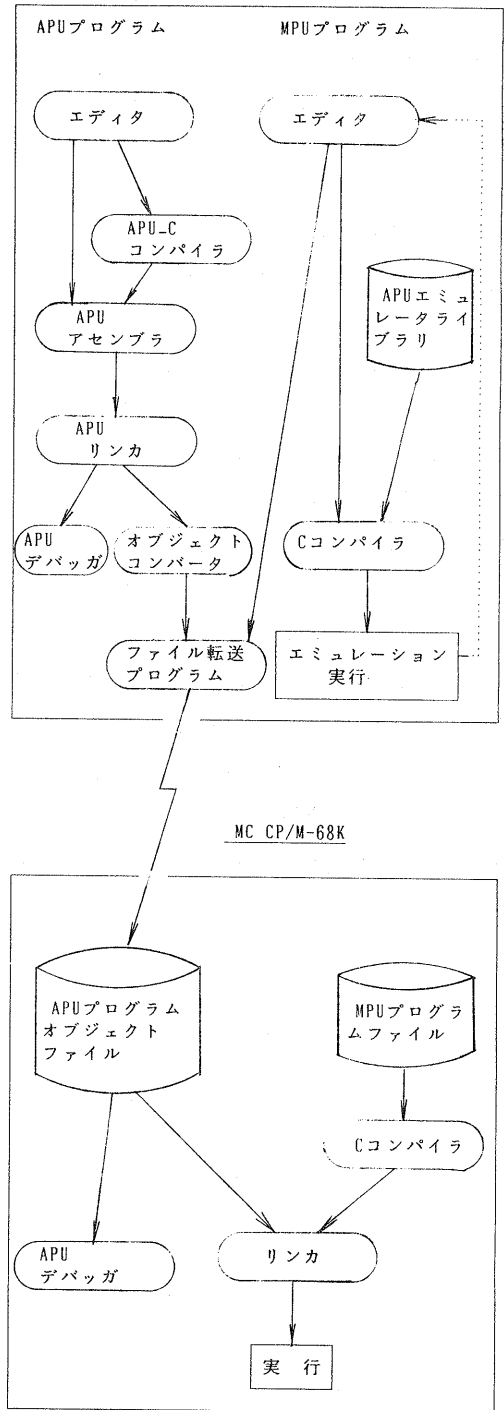


図6 MCプログラム開発の概略図

MCはMPUとAPUの結合したユニットコンピュータという形式をとることにより、最大12MFLOPSという性能を達成し、このユニットコンピュータMCを自由に結合することによりマルチコンピュータシステムの構築が可能となった。

今後の課題としては、APUのハードウェア性能を最大限に発揮するAPUプログラムを作成するためのオプティマイザの開発、及び実際の画像生成プログラムにおけるAPUプログラムの並列度、各命令の使用頻度、MPUとAPU間のデータ転送能力等の評価が挙げられる。現MCはプロトタイプであり、これら評価検討をもとにMCのアーキテクチャを改良する予定である。

最後に、本研究に際し有益なご助言をいただいた大阪大学工学部 電子工学科 大村助教授，白川助教授，京都大学工学部 情報工学科 富田助教授に感謝の意を表します。また、本研究の機会を与えていただいた当研究所 中島所長，三木部長に感謝します。

#### 参考文献

1. 中山他：“画像生成用マルチマイクロコンピュータシステム” 情報処理学会マイクロコンピュータ研究会  
1982年 11月
2. 今井他：“三次元色彩図形表示プロセッサのハードウェア構成” 情報処理学会計算機アーキテクチャー研究会  
1983年 9月