

シグナルプロセッサアレイ —SPA—

小畑正貴

岡山理科大学工学部

現在製作を進めているマルチDSPシステムSPA(Signal Processor Array)について述べる。SPAは256台の浮動小数点DSP(デジタルシグナルプロセッサ)で構成される同期型並列システムであり、ピーク時性能5.12GFlopsを持つ。PEはDSPとローカルメモリで構成され、これが2本のバスおよび隣接PEと接続される(1次元接続)。本稿では、ハードウェア構成、基本動作、画像処理への応用について述べる。

Signal Processor Array : SPA

Masaki Kohata

Faculty of Engineering, Okayama University of Science

We are developing a multi DSP (Digital Signal Processor) system, called SPA (Signal Processor Array). SPA is a synchronous parallel system which consists of 256 floating point DSPs, and the peak performance is 5.12 GFlops. A processing element (PE) consists of a DSP and local memory, and each PE connected to two buses and its neighbor two PEs (one dimensional connection). In this paper, the hardware configuration, basic operations, and some applications for image processing are described.

1. はじめに

デジタルシグナルプロセッサ (DSP) は、その名の通り、信号処理を目的とした特殊なアーキテクチャと命令体系を持つプロセッサであり、モデムや音響機器などに多く利用されている。また最近では、より高度な命令体系と、浮動小数点を含む高速で高精度な数値計算能力を持つものが開発されるようになっており、その応用範囲は広がってきている。

筆者は以前、マイクロプロセッサを用いたアレイプロセッサシステム (BCプロセッサアレイ) を開発したが、プロセッサの能力が低く、応用分野が限られた。本稿で報告する並列システム SPA (Signal Processor Array) は、高性能 DSP をプロセッサに用いることによって計算能力を高め、マルチ DSP システムによるスーパーコンピューティングを目的としている。

SPA の応用分野として、以下のものがあげられる。

- ・画像処理 (フィルタ、FFT)
- ・CG (レイトレーシング)
- ・数値計算

・シミュレーション

特に画像関係では、現在、単体では実現のむずかしい実時間処理を目標としている。

現在、256 台の浮動小数点 DSP から成るシステムを設計、製作中である。以下ではハードウェア構成、プロセッサ間データ転送、画像処理への応用などについて述べる。

2. ハードウェア構成

2.1 全体構成

システムの概要を表 1 に、ハードウェアの全体構成を図 1 に示す。PE は浮動小数点 DSP とメモリで構成され、入力データバス、出力データバス、および両隣の 2 PE と接続される。入力および出力データバスは単方向、隣接 PE 間は双方向となっている。

制御ユニットは PE の動作の制御、バスの接続切り換え、PE 間での DMA によるデータ転送の制御などを行う。バスを用いたデータ転送時は PE 内の DSP は停止し、制御ユニットまたはホストコンピュータが直接 PE 内のメモリをアクセスする。

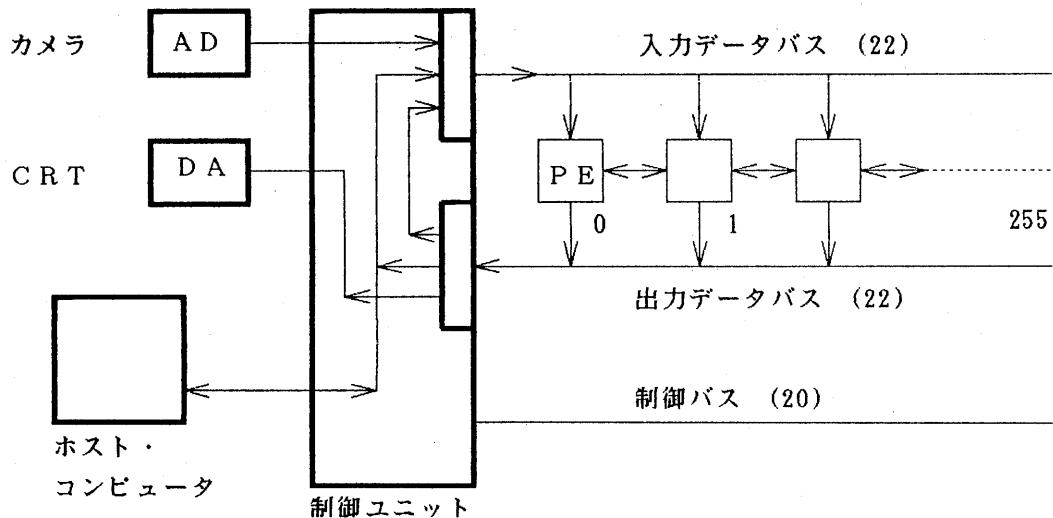


図 1 SPA システム構成

表1 システム概要

PE	
データ形式	22ビット浮動小数点(16+6) 16ビット固定小数点
サイクルタイム	100ns
計算速度	20MFlops (積和計算)
メモリ容量	8KW×32b プログラム・データ共用
全体	
プロセッサ数	256
ピーク性能	5.12GFlops
メモリ容量	2MW
接続	1次元 入出力バス+双方向隣接
PE間転送速度	5MW/sec (バス・隣接)
並列処理形式	関数レベルでの同期処理
ホスト	PC9801
その他	ブロードキャスト 画像用AD/DA変換器

また、画像データの入出力用に、ビデオ帯域のAD/DA変換器（いずれも8ビット）を用意している。カメラからの画像はAD変換され、直接PE内のメモリに転送される。また、CRTへの表示データは直接PE内メモリから読み出されDA変換される。画面構成は、バスの転送速度の関係から256×256ドットとし、階調は白黒8ビットとしている。

2.2 PE

PEの構成を図2に示す。DSPにはMSM699210（沖電気）を用いている。データ形式は仮数部16ビット、指数部6ビットの浮動小数点または16ビット固定小数点で、サイクルタイムは100nsである。内部には乗算器、ALU、512ワードのRAMを持ち、積和計算を1サイクルで行う（内部RAMの場合）。メモ

リはアクセスタイム35ns、32ビット構成、プログラム・データ共用で8KWを持つ。

PE間のデータ転送時はDSPのバスを解放させて、外部から直接メモリをアクセスする。このときアドレスはアドレスカウンタから供給される。アドレスカウンタには最初に先頭アドレスがセットされ、アクセス毎にインクリメントされていく。PE間でデータ転送する場合、転送元と転送先で個別に先頭アドレスをセットすることにより、違うロケーションに転送することが可能となる。

2.3 制御ユニット

制御ユニットの構成を図3に示す。制御ユニットではバスの切り替えとデータ転送制御を行う。PE間データ転送において高速性と柔軟性を満足させるため、制御部はマイクロプログラム方式にする。ただし、デバッグの容易さを考

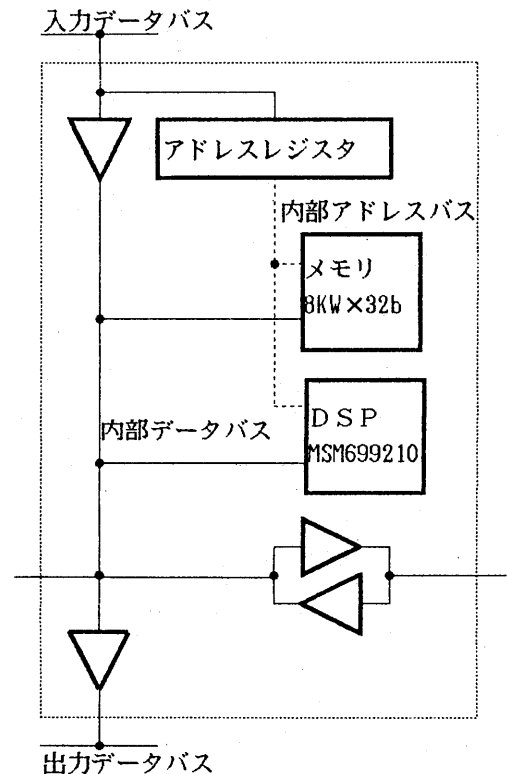


図2 PEの構成

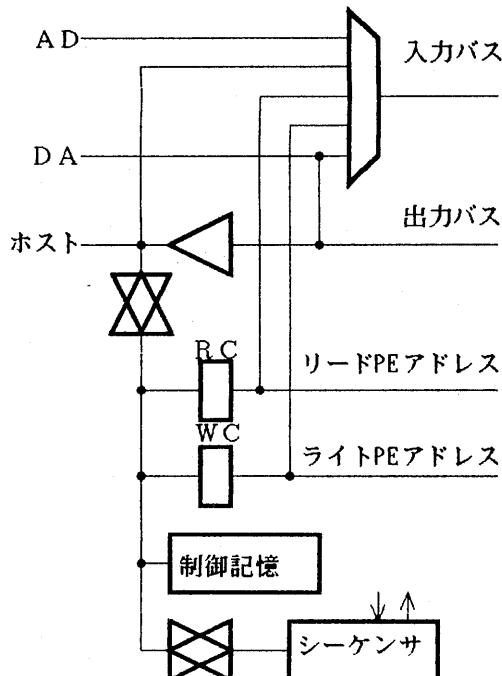
えて、ホストからも直接制御できるようにしておく。

RCとWCはそれぞれ転送元と転送先のPE番号および先頭アドレスを発生する。入力バスにはマルチプレクサによって、AD変換器、ホスト、出力バス、リードアドレス、ライトアドレスのいずれかが接続される。

2.4 実装

48cm×47cmの4層基板を用い、8PEを1ボードに実装する。33スロットのバックプレーンで32枚のSPAボードと制御ユニットを接続する。

実装状態を図4に示す。PEを細長いパターンに配置し、1枚おきにPE番号を逆向きにすることにより、基板間での隣接PE接続とバス接続における配線長を抑えている。隣接PE接



RC：リードカウンタ
WC：ライトカウンタ

図3 制御ユニット

続が双方向性であることから、方向制御信号を1枚おきに逆転することで、基板の向きは変えずに実現できる。

3. データ転送

3.1 転送モード

基本的には次の3つのモードがある。前者2つはバスを使ったもので、データ転送は常に制御ユニット側から行われる（PEが自分からデータを出すことはない）。

・ダイレクト

PEアドレスによって指定した1PEに対してアクセスを行う。読み出しPEの指定と書き込みPEの指定は独立しており、バスも分離されているので、PEが別であれば読み書きを同時に行うことができる。

また、PE内のアドレスカウンタの設定にも用いる（書き込みのみ）。

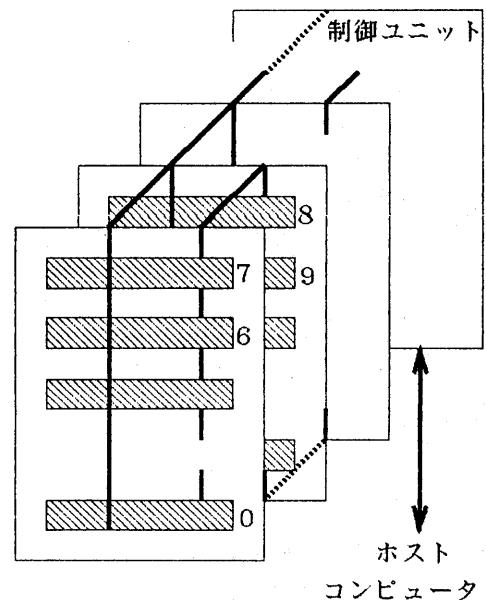


図4 ハードウェアの実装

・ブロードキャスト

入力バスによるデータ書き込み時、同一データを全PEに同時転送する（放送）。読み出しはダイレクトモードと同じで指定PEから行われる。読み書きを同時に行った場合、読み出しPE（1台）では読み出しが優先となり、その他のPEには書き込みが行われる。

アドレスカウンタ設定時に用いると、全PEに同一の先頭アドレスが与えられる。

・ローカル

n ($n=2, 4, 8$) 台おきのPEが、右隣または左隣の $(n-1)$ PEにデータを転送する。転送は隣メモリへの書き込みのみで、読み出しはできない。

例えば右方向の場合、転送される側は内部バスを解放し、自分の左側のバススイッチをイネーブルにする。転送側は自分の持つデータを右 $n-1$ 台のメモリに書き込む。この時、転送される側のアドレスはそれぞれのアドレスカウンタから供給される。

ただしこの場合でも、局所的な動作は出来ず、制御ユニットの指令によりアレイ全体で同期的にデータがシフトされる。

3. 2 データ転送パターン

図5にPE間データ転送のパターンを示す。

a) において、上側の線はホスト・ADからのデータ書き込みまたは制御ユニットによるアドレスカウンタの設定を示し、下側の線はホスト・DAへのデータ読み出しを示している。

b) はバイパスによるPE間データ転送である。転送制御はすべて制御ユニットが行う。

c) ではホストからのデータが全PEにブロードキャストされる。全PEのアドレスカウンタに同一アドレスをセットする場合にも用いられる。

d) はバイパスを用いたブロードキャストで、1PEの持つデータがそれ以外の全PEに転送される。

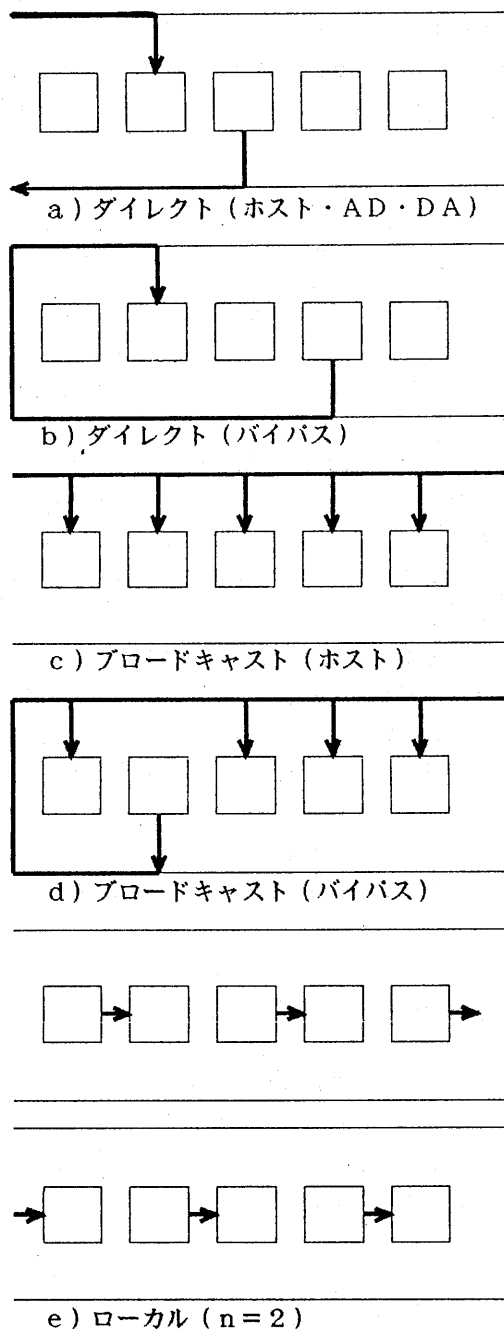


図5 PE間データ転送

e) は $n = 2$ のローカル転送で、偶数PEと奇数PEを視点とした2回の転送で、アレイ内の全データが右隣に転送される。さらに左向きに同じ動作を行えば、両隣にデータが送られることになる。

4. ソフトウェア

SPAソフトウェア開発はホストコンピュータ上で行う。言語としてはアセンブラおよびCライクな高級言語OSL92 (いずれも沖電気) を用いる。

並列処理の形態としては、関数レベルのSIMDを基本とする。すなわち、分配したデータに対して関数 (または同程度のプログラムブロック) を単位として一斉同期をとりながら処理を進めていく。

各PEは2ビットの出力フラグと2ビットの入力フラグを持っており、PE間での同期に利用される。全PEの出す2ビットの出力は制御バス上でそれぞれANDとORがとられ、2ビットの入力フラグとしてテストされる。これにより、全PEが処理を終えたこと、および、どれか1台が処理を終えたことを知ることが出来る。

5. 画像処理への応用

ここでは、隣接画素を用いたフィルタと2次元FFTについて処理方法を示す。画像データ (256×256) は行方向に分割し、1行を1PEに割り当てる。

5.1 フィルタ

3×3 近傍による処理を考える。各PEの持つ256個のデータに対して4回のローカル転送により、全PEは必要なデータを得られる。処理時間を見積もってみると、まずデータ転送に要する時間は、

$$(256+1) \times 4 \times 0.2 \mu s = 0.2 \text{ms}$$

となる (括弧内の+1はアドレスカウンタの設定を示す)。単純なフィルタの場合、9回/画素の積和計算が必要となりその時間は

$$256 \times 9 \times 0.5 \mu s = 1.2 \text{ms}$$

程度となる (データが外部メモリにあるので5サイクル/回と見積もっている)。従って合計でも1.4ms程度となり、実時間処理が十分可能である。

7×7 近傍では、転送に3倍の0.9ms、計算が49回/画素で6.3ms、合計7.2msとなる。

5.2 FFT

2次元複素FFTを考える。256点FFTを全PEで1回ずつ並列に行った後、転置をとり、また256点FFTを並列に行えば良い。

256点FFTに要する時間は2ms程度なので、2回で4msとなる。転置はダイレクトモードのバイパス転送となり、データの実部と虚部を考えると転送時間は、

$$(256+1) \times 256 \times 2 \times 0.2 \mu s = 26 \text{ms}$$

となる。従って、合計約30msとなる。

6. おわりに

浮動小数点DSPを用いた並列処理システムSPAについて述べた。SPAは現在PEの設計を終了し、組立を行っているところである。PEの組立と並行して、制御ユニットの詳細設計を進め、システムの完成を急ぎたい。

参考文献

- 1) 小畑、他：“試作BCプロセッサアレイとその評価”、情処論、27巻5号、pp.909-915、1986
- 2) 沖電気：MSM699210ユーザーズマニュアル、1988