

(1990. 6. 22)

## 64ビットRISC型マイクロプロセッサ(MN10501)とその故障解析手法

勝連城二 永久龍彦 山本崇夫 長岡恭弘 米澤浩和 冨田泰弘 渡里滋 國信茂郎  
松下電器産業(株) 半導体研究センター 超LSIデバイス研究所

RISC型マイクロプロセッサ(MN10501)は、SPARCアーキテクチャを採用した64ビットMPUでその高機能化及び高集積化を実現することにより1チップ内のトランジスタ数は約100万個に達する。その内部は、整数演算、浮動小数点演算、命令キャッシュ、データキャッシュ、メモリ管理及びバスコントロールの6個の機能モジュールから構成され、40MHzの動作周波数で、40MIPS/20MFLOPSのピーク性能を達成している。このような大規模なチップの開発において我々は、テスト容易化設計によるテストングの効率化や高速な内部信号のタイミングの検証のための新たな故障解析手法を採用し、さらにMPUのテスト・デバッグをより効率的にかつ高度に解析可能な環境としてEBテスタを中心とするテスト・デバッグシステムを構築した。

64-BIT RISC MICROPROCESSOR (MN10501) AND  
ITS TESTING AND DEBUGGING METHOD

Joji Katsura Tatsuhiko Nagahisa Takao Yamamoto Yasuhiro Nagaoka  
Hirokazu Yonezawa Yasuhiro Tomita Shigeru Watari Shigeo Kuninobu

Semiconductor Research Center

Matsushita Electrical Industrial Co.,Ltd.

3-15, Yagumo-Nakamachi, Moriguchi, Osaka, 570 Japan

RISC microprocessor(MN10501) is a 64-bit MPU with SPARC architecture which contains about 1,000,000 transistors in a die area by high performance and high integration. It consists of an integer unit (IU), a floating-point unit (FPU), a memory management unit (MMU), a data cache unit (DCU), an instruction cache unit (ICU) and a bus control unit (BCU), and realizes 40 MIPS and 20 MFLOPS peak performance at 40MHz. In the development of this VLSI, we have realized the efficiency of testing by designs for testability and that of fault analysis by verifying the timing of high speed signals in the chip and, moreover constructed a testing and debugging system environment which uses an EB tester efficiently.

## 1. はじめに

ワークステーションを中心に、パソコン及び情報機器等の高性能化を図るため、近年ますますマイクロプロセッサに対して高速・高機能化の要望が高まってきている。高機能化に伴いシステムオンチップと呼ばれるほど、1チップでの高集積化がプロセス技術や設計技術の進歩とともに進んできており、現在マイクロプロセッサとして1チップ内のトランジスタ数は約100万個のレベルに達している。今回、我々はワークステーションの高性能化をめざしSPARC対応64ビットRISC型マイクロプロセッサ(MN10501)を開発した。このチップは、高機能且つ高速化を実現し、動作周波数40MHz、64ビットバスを採用し素子数が約100トランジスタに達する大規模なVLSIである。そのためこのようなチップの機能評価、動作タイミングや故障解析等のデバッグの困難さによる開発の長期化などの問題を解決するため新たなアプローチが必要であった。この大規模なMPUチップであるMN10501のテスト・デバッグの抱える問題を解決するために以下の取組みを行った。

- (1)テスト回路の付加を基本とするテスト容易化設計
- (2)チップの故障解析に有効な回路設計段階での新たに採用した手法
- (3)EBテストを中心とするテスト・デバッグツールのシステム化

今回は、特に(2)を中心に報告する。

## 2. マイクロプロセッサ(MN10501)の構成

開発したRISC型マイクロプロセッサは、チップ内に整

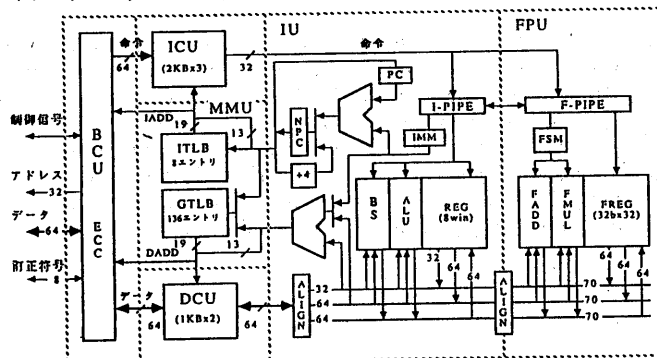


図1 マイクロプロセッサ(MN10501)のブロック図

数演算ユニット(IU)、浮動小数点演算ユニット(FPU)、命令キャッシュユニット(ICU)、データキャッシュユニット(DCU)、メモリ管理ユニット(MMU)及びバスコントロールユニット(BCU)の6個の機能モジュールから構成されている(図1)。このように、キャッシュだけでなく多くの機能モジュールをオンチップ化し高機能化を実現し、データバスの64ビット化を図ってデータの転送速度を上げた。図1からわかるように、チップ外部のシステムバスとの接続が64ビット、キャッシュメモリと整数演算ユニットとのインターフェイス、及び整数演算ユニットと浮動小数点演算ユニットとのインターフェイスも64ビットである。また、このチップにおいてはさらに性能を上げるために幾つかの高速化のための回路技術も採用している<sup>3)</sup>。

### 2.1 整数演算ユニット(IU)

IUは、標準的なアーキテクチャの1つであるSPARC™(Scalable Processor Architecture)を採用し、オーバーラップした8個のウィンドウ構成を取る136本の32ビットレジスタファイル(REG)を持つ。このレジスタファイルは32ビットと64ビットの読み出しポートと64ビットの書き込みポートを持ち、64ビットのデータ転送が可能である。演算はALUとパレルシフタ(BS)で行われ、レジスタ間接のアドレス計算のための加算器と、PC相対アドレスのための加算器を持ち、データキャッシュとのインターフェイスとデータのアライメントを行うアライナー(ALIGN)等を持った構成をとる。

## 2.2 浮動小数点演算ユニット(FPU)

FPUは、加算器(FAAD)、乗算器(FMUL)、32ビットX32本の浮動小数点演算用の汎用レジスタ(FREG)、命令を解釈するデコーダ(F-PIPE)等から主に構成される。この乗算器は、内部で冗長2進体系を用いて演算を実行すること特徴とし4)、FPUはIEEE754規格に準拠した単精度及び倍精度の浮動小数点演算をIUと並列に実行する。また、除算は冗長二進乗算器を用いてニュートンラフソン法により実行される。単精度/倍精度の加算50ns、乗算が100ns、単精度/倍精度の除算が400ns/500nsでそれぞれ実行される。

## 2.3 命令キャッシュユニット(ICU)

ICUは、3ウェイセットアソシエイティブの物理キャッシュで、容量は6Kバイトである。ラインサイズは、8バイトで1ブロック4ラインで構成され主記憶からの転送は4ライン単位である。キャッシュのタグ部分は21ビットのタグアドレスとValidビットで構成される。また、セットのリプレイスは、LRU(Least Recently Used)方式を採用している。

## 2.4 データキャッシュユニット(DCU)

DCUは、2ウェイセットアソシエイティブの物理キャッシュで、容量は2Kバイトである。ラインサイズは、8バイトで1ブロック1ラインで構成され、キャッシュのタグ部分は22ビットのタグアドレスとValidビットとDirtyビットで構成される。セットのリプレイスは、ランダムリプレイス方式を採用している。また、コピーバック方式である。

## 2.5 メモリ管理ユニット(MMU)

MMUは、命令アドレスを変換するITLB(Instruction Translation Look-aside Buffer)と命令アドレス及びデータアドレスの両方を変換できるGTLB(General-purpose Translation Look-aside Buffer)から構成され並列にアドレス変換が可能である。ITLBは8エンタリで構成され、リプレイス方式は、ランダムリプレイスである。GTLBは136エンタリで構成され、リプレイス方式は、128エンタリが

ランダムリプレイスで、残り8エンタリはソフトウェアで管理している。

## 2.6 バスコントロールユニット(BCU)

BCUは64ビットの外部バスとのインターフェイスを取り、外部メモリのアクセススピードに対応して同期及び非同期のバスサイクルとを、ソフトウェアで制御されたカウンタで切替えることができる。ECC回路備え、1ビットのエラー訂正と2ビットのエラー検出を行う訂正符号は8ビットである。

## 3. MN10501のバイブライン動作

MN10501のIUは命令フェッチ(F-STAGE)、ロード(L-STAGE)、実行(E-STAGE)、ストア(S-STAGE)の4段のバイブラインステージで構成される。一方、FPUについては命令フェッチ(F-STAGE)、命令解釈(D-STAGE)、ロード(L-STAGE)、実行(E-STAGE)、ストア(S-STAGE)の5段のバイブラインステージで構成されることを特徴とする。

図2は、ロード命令のバイブライン動作を示している。ロード/ストア命令を1クロックで実現するため、命令のアドレス変換とデータのアドレス変換を同時に行う2つのTLB(ITLB,GTLB)を設けALU演算と同様に4段のバイブラインステージで実行する。F-STAGEで、ITLBによるアドレス変換と命令キャッシュからの命令の読み出しを行い、L-STAGEで、命令のデコードとIUのレジスタファイルの読み出しを行い、その読み出されたデータを用いアドレス計算を同一サイクル内で実行する。E-STAGEで、GTLBによるアドレス変換とデータキャッシュからのデータの読み出しを行う。S-STAGEで、データキャッシュから読み出されたデータのアライメントとレジスタへの格納が実行される。

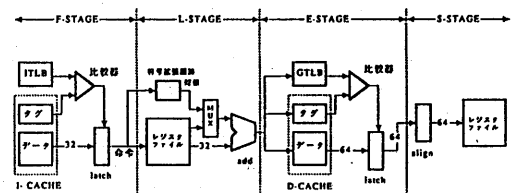


図2 ロード命令のバイブライン動作

#### 4. MN10501の特徴及びテスト・デバッグ上の課題

今回開発したMN10501は、SPARCアーキテクチャを採用したRISC型のMPUで、動作周波数40MHzという高速性、約100万素子の高集積化を実現するとともに、内部に64ビットバスを採用しシステムの高性能化を図った。また、本体のCPU以外にFPU,ICU,DCU,MMU及びBCUの複数の機能モジュールを内蔵した高機能MPUであり、チップの諸元を表1に示す。クロック周波数40MHzの動作で、40MIPS/20MFLOPSのピーク性能を達成し、消費電力は最大4Wである。さらに、プロセス技術として0.8umCMOSのサブミクロンプロセスを採用しているが、チップサイズ等の制約(約15mm角)により信号ピンだけでなくテスト用ピンも制限される。このような条件下で質の高いテストパターンを実用的な時間以内で生成することは極めて困難であり、この問題を解決するため、テストングを容易にするテスト容易化設計技術<sup>5)</sup>の適用が不可欠である。また、チップのデバッグにおいてプロセスの微細化がサブミクロンに達するレベルにまできているため、従来のメカニカルプローブ等による内部信号の測定はもはや限界にきている。さらに40MHzという高速動作に起因した動的な要素を含む複雑な故障に対しては、どこにその誤りがあるかを外部ピンから解析することは極めて困難なレベルに達している。

このためデバッグの手法としてチップ内部の動作状態を直接測定可能な内部診断ツール<sup>6)</sup>が不可欠であり、そのツールとして非接触な内部故障解析ツールであるEB

表1 MN10501の諸元

項目	内容
性能	40MIPS, 20MFLOPS
クロック周波数	40MHz
アドレスバス	32Bit
データバス	64Bit
基本命令数	約80
汎用レジスタ	136×32Bit
トランジスタ数	約100万
プロセス	N-well CMOS 0.8um
パッケージ	238ピン(VDD,VSS含む)
チップサイズ	14.85mm x 15.13mm

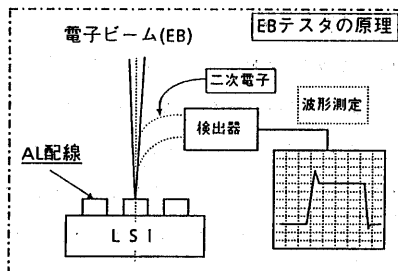


図3

テストを採用した。図3に、EBテストによる信号波形測定の実理を示す。しかしながら、EBテストはその特性上、チップの絶縁膜表面のチャージアップにより信号測定が困難になるため特に、多層配線LSIなどの下層配線の電位波形測定が課題であった。これに対し従来より、EBテスト本体の機能や測定法の改良による取組みが行われていた<sup>7)</sup>。今回、我々はこの課題に対しLSIの回路設計の段階で新たな手法を導入することにより、多層配線LSIでの問題の解決を図った。

#### 5. テスト設計手法

##### 5.1 テスト容易化設計

MN10501のテスト設計においてチップ内に付加したテスト回路の内容を表2に示す。MPU内に存在する各機能モジュール名とこれらに対して付加したテスト回路の内容が何なのかを表したものである。表2からわかるように、各モジュールにはすべてテスト容易化を実現するSCANPATH回路を付加している。テスト効率を考慮し、スキャンデザインを施したフリップフロップ数は約600ビットで、これに対し11個のスキャンリングに分割して構成した。各モジュールごとのテストが容易に行えるようにし、同時にテスト用端子数をパッケージやLSI

表2 MN10501のテスト設計

モジュール名	SCAN PATH	BILBO	uPAD CELL
CPU	○	○	○
MMU	○		○
FPU	○		○
BCU	○		○
I-CACHE	○		○
D-CACHE	○		○

テストのコストを含めた制約から極力抑え計8ピンで実現した。また、CPUモジュールにはデータバス64ビットにシグナチャアナライザ回路(BILBO)<sup>®</sup>を付加し入力ベクトルの故障検出率の向上と診断機能の強化を図った。これらのテスト容易化設計におけるテスト回路のオーバーヘッドを約2%に抑えている。

## 5.2 故障解析のための設計手法

今回、高速・高集積化された大規模LSIのタイミング故障等の故障解析のために回路設計段階で適用する新たな手法として、 $\mu$ PAD CELL方式(以後、マイクロパッドセル方式と呼ぶ)という自動配置配線可能な回路セルを用いた手法を開発した。

図4に、マイクロパッドセルを用いた手法の概念図を示す。この回路セルのPAD(パッド)は、信号検出に有効な面積と構造を持ちチップの最上層の配線(例えばAL配線)で構成されたものである。このセルは、EBテスト等による信号検出にチャージアップを抑えることが可能な最適なレイアウト構造を有し、スタンダードセルとして登録され論理設計レベルで使用可能となる。これにより、機能モジュールの設計段階で、任意の回路ノードに信号検出ポイントを自由に設定可能な環境を実現した。このマイクロパッドセル方式は、以下の特長を有する。

- (1)信号検出ポイントの配線のレイアウト層に依存せず、常に最上層でEBテスト等での信号測定可能。
- (2)パッドのレイアウト作業の大幅な効率化により大規模なLSIに容易に設定可能で、スタンダードセル方式を用いているすべてのLSIに適用可能。

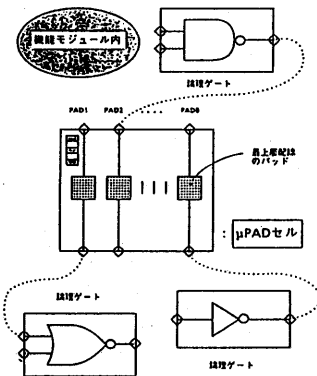


図4  $\mu$ PADセルを用いた手法

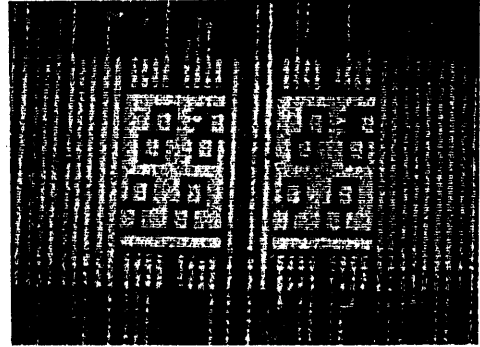


図5(a) マイクロパッドセルの観測写真

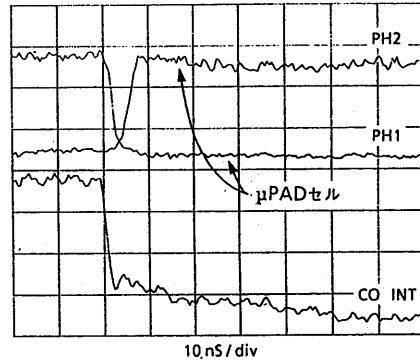


図5(b)測定信号の電位波形

図5(a)に、実際のチップMN10501内のスタンダードセルブロックに配置配線されたマイクロパッドセルの観測写真を示す。図5(b)にはそのマイクロパッドセル内パッドからの測定信号PH1,PH2とマイクロパッドセルを使用しないで直接最上層の配線からの測定信号CO INTの比較を行ったものである。観測写真からわかるようにスタンダードセルブロック内において、そのマイクロパッドセルはその特徴的なレイアウト構造から容易にその位置が確認できる。よって、所望の信号検出ポイントのパッドがどれに当たるか即座に検索可能である。

図5(b)の測定した電位波形でわかるように、マイクロパッドセル方式を用いた場合の信号波形PH1,PH2は、波形振幅にほとんど乱れが生じていないが、一方、この方式を用いていない場合の信号CO INTは、面のチャージアップの影響により電位波形の振幅にだれが生じており安定したものになっていないことがわかる。このマイクロパッドセル方式を用いることによりEBテストによる測定上の課題である隣接した信号線の電位や表面のチャージアップの影響を抑えることが可能であることがわかる。

## 6. テスト・デバッグ手法としてのシステム化

高機能かつ高集積化されたLSIのデバッグのためには非接触の内部故障診断ツールであるEBテストが不可欠である。このEBテストを中心としてテスト設計において新たに開発したuPAD CELLを用いた手法を活用し、テスト・デバッグ環境とCAD環境とを有機的に結合した形でテスト・デバッグのシステム化に取り組んだ。図6に、そのシステムの構成を示す。従来それぞれ個別のツールとして存在したテスト環境の汎用LSIテストとデバッグ環境のEBテストとをリンケージシステム(最大256ch印加可能)により接続し、LSIテストから直接テストベクタの印加を行う方法を採用した。このリンケージシステムには、レイアウト検証用EWSも付加して1チップレベルのレイアウトチェックが高速にでき、また異品種のLSIにも対応可能な構造(最大19X19 PGA)を採用した。さらに汎用LSIテストのホストマシンをEthernetを介してCAD環境の機能・論理設計ツールである高性能EWSと有機的に結合させテスト・デバッグシステムとして構築を図った。これによって、テスト・デバッグ環境とCAD環境との統合を図り、機能設計で用いたテストベクタ、シミュレーションデータやレイアウト等の設計データをテスト環境のみならずデバッグ環境においても高度に利用する事が可能になり、テスト・デバッグの効率化を実現する事ができた。

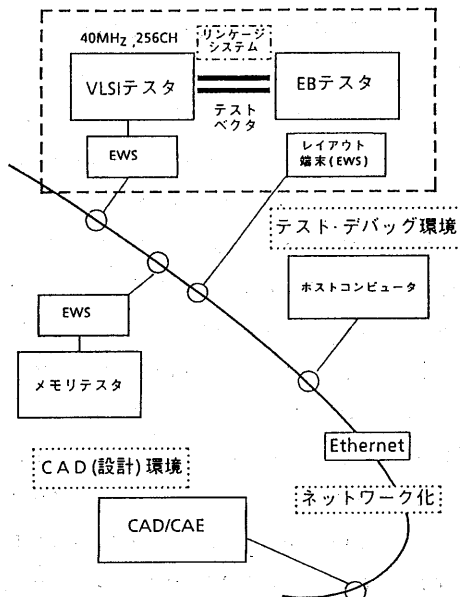


図6 テスト・デバッグシステム(ANDES)の構成

## 7. おわりに

RISC型マイクロプロセッサMN10501の開発において、テスト容易化設計を応用しMPUの設計段階において新たな故障解析のための手法を採用し、100万Tr規模のMPUに対する故障解析能力を向上させる取り組みを行った。また、テスト・デバッグ環境のシステム化はいかにあるべきかという検討を行ない、効率的かつ高度な解析能力を有するシステムを構築した。

今後の課題としては、高速かつ大規模な(数百万Tr.レベル)MPUの開発に有効なシステムとして、より高度に設計データを利用した故障解析手法の開発が不可欠でありテスト・デバッグ環境とCAD環境とをリンクした統合的なVLSIの故障解析テストシステムの構築があげられる。

## 8. 謝辞

本研究に対し日頃より御指導及び御助言頂いている堀内取締役、竹本所長、間野所長並びに半導体研究センター関係各位に深く感謝致します。

## 9. 参考文献

- 1) L. Kohn et al.: A 1,000,000 Transister Microprocessor , ISSSS Dig. Tech. Papers,p54(Feb.,1989)
- 2) J.Miyake et al.: A 40MIPS (Peak) 64-bit Microprocessor with One-Clock Physical Cache Load/Store,ISSCC Dig. Papers ,p42 (Feb.,1990)
- 3)山口 他: "高性能64ビットRISCマイクロプロセッサ"信学技報、ICD90-37(1990-4).
- 4) H.Edamatsu et al.: A 33MFLOPS Floating-Point using Redundant Binary Representation,ISSCC Dig. Tech. Papers, p.152(Feb.,1988)
- 5) Williams,T.W.andPatker,K.P., "Design for testability-A Suvey,"Proceedings ofthe IEEE ,vol.71,no.1,pp.98-112 ,Jan.1983.
- 6) Teruo Tamama et al., "Integrating an Electron-Beam System into VLSI Fault Diagnosis,"Proc. IEEE Int'l Test Conf. ,pp.23-29,1986
- 7) 松田光司: "EBテストによる多層配線LSI測定法開発",信学技報、ICD89-45(1989-12).
- 8) 渡里滋、國信茂郎: "バス構造を利用したBIST", 信学技報、FTS88-2(1988).