

(1990. 6. 22)

## ELIS8200用 1チップLISPマイクロプロセッサ

河井 淳 森 正実 勝山 隆史

沖電気工業株式会社 研究開発本部

AIワークステーションELISのLISP処理専用CPUを改良した。また、併せてCPU周辺チップとしてGateway LSIを新たに開発した。その結果、前機種にくらべ約1.7倍の高性能化と、最大16Mバイトのメモリを含むLISPプロセッサを1ボードで構成することができた。本稿では、CPU LSIの主な改良点、およびGateway LSIを中心に述べる。

### 1 chip LISP Microprocessor for ELIS8200 Series

Atsushi KAWAI Masami MORI Takashi KATSUYAMA

Systems Laboratories, OKI Electric Industry Co., Ltd.

11-22, 4 Choume, Shibaura, Minato-ku, Tokyo 108, Japan

#### ABSTRACT

AI workstation ELIS and its dedicated LISP CPU-LSI have been enhanced. And Gateway LSI has also been newly developed as a CPU peripheral. Consequently, We could realize the new ELIS CPU within a single printed circuit board and we could enhance its LISP execution speed nearly 1.7 times faster than the former machine. We explain mainly several improvement points of the CPU-LSI and design aspects of the Gateway LSI.

## 1 はじめに

AIワークステーションELIS8200シリーズは、ELIS8100シリーズの後継機として開発された。前機種を高性能・小型・低価格化し、AIシステムの開発、および実行の両方の環境を兼ね備えた特徴をもつ。[1~4]ここでは、ELIS8200シリーズのコアともなるべきLISPプロセッサについて、高性能化のためのCPULSI内部アーキテクチャの改良、チップの外部インタフェースの改良、そしてCPU周辺LSIとして新たに開発したGateway LSIについて述べる。

## 2 ELIS8200シリーズ

ELIS8200シリーズは、拡張したCommon LISPを高速に実行する専用プロセッサ(以下、LISP・CPUと称す)と、インテル386マイクロプロセッサをコアとするフロントエンドプロセッサ(以下、FEPと略す)をバス結合したシステムであり、以下のような特長をもつ。

- (1) デスクトップタイプおよびデスクサイドタイプの2タイプの装置構成
- (2) メインメモリを含むシングルボードプロセッサ(シングルボードLISP・CPU)
- (3) 拡張したCommon LISP  
(Common LISP+オブジェクト指向記述+ロジック記述)
- (4) OS/2を搭載するFEP
- (5) X-window、NFS(Network File System)などのソフトウェア開発環境
- (6) リアルタイムカーネルをベースとしたLISPによるリアルタイムシステムの実行環境

ハードウェアとしては、性能向上、小型軽量化、およびLISPプロセッサとしてのモジュラリティを上げ、システムへの組み込みを可能とすることを狙った。そのために、CPULSIに加えて、周辺論理を取り込んだ専用LSI(Gateway LSI)を新たに開発した。そして、これらのLSIとメモリチップを搭載したシングルボードLISP・CPUを実現した。

## 3 LISPプロセッサ

シングルボードLISP・CPUは、FEPのシステムバス(16ビット)に接続される。CPUは、大きくLISPプロセッサ部、メモリ部、およびFEPインタフェース部より構成される。図1にLISP・CPUの構成を示す。

金物はCPULSIおよびGateway LSIを中心に、WCS(64K語×64ビット)、スタックメモリ(32K語×32ビット)、および最大16Mバイトのメモリなどから構成されるほぼA4版サイズの基板である。このボードは、拡張メモリなどのボード外部のデバイスを接続する

ための拡張Mバスインタフェース)、そしてFEPシステムとの接続のためのFEPバスインタフェースの2つのバスインタフェースにより外部と接続される。

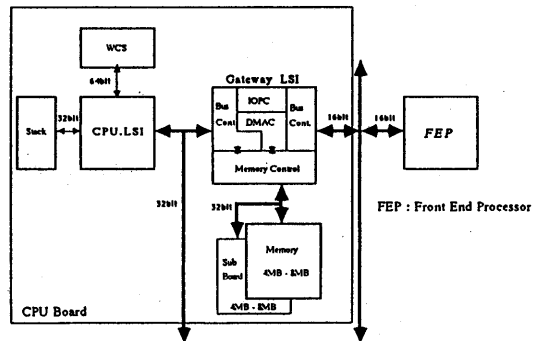


図1 LISP・CPUブロック図

以下、CPULSI、およびGateway LSIについて高速化のための改良点について述べていく。

## 4 CPULSI

CPULSIは、前LSIとマイクロ命令レベルアーキテクチャの互換性を保ちながら、LSIプロセスの微細化により高速化を図った。表1にCPULSIの諸元を示す。

|         |                    |
|---------|--------------------|
| クロック周波数 | 30.00MHz           |
| マシンサイクル | 100nsec (No-wait時) |
| プロセス    | 1.2μm CMOSスタンダードセル |
| トランジスタ数 | 108k個              |
| 消費電力    | 1.0W (最大)          |
| 電源      | +5V                |
| パッケージ   | 208ピン              |

表1 CPULSIの諸元

それと並行して、以下のようなアーキテクチャ、および回路レベルの改良を行ない、方式面での高速化・高機能化を図った。図2にCPULSIの内部アーキテクチャを示す。

- (1) 制御記憶(WCS)アクセスの高速化
- (2) スタックアクセスの高速化
- (3) ピンの多重化方法の変更
- (4) インタルタイマ・スピードタイマの内蔵
- (5) メモリアクセスウェイトの軽減
- (6) マイクロレベル割り込み
- (7) 診断デバック機能

MS OS/2はマイクロソフト社の商標である。  
NFSはサンマイクロシステムズ社の商標である。  
X Window SystemはM.I.T.の商標である。



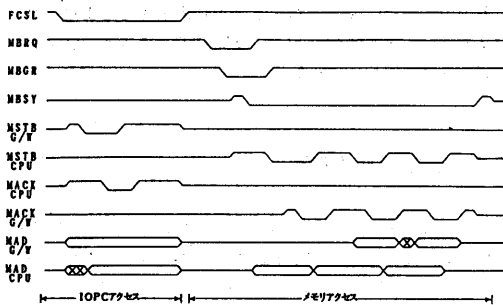


図3 Mバスタイミングシーケンス

#### 4.4 インターバルタイマ・スピードタイマの内蔵

ELISはマルチユーザ・マルチプロセスをサポートする。OSのプロセススケジューリング、およびI/Oの時間監視等のためにインターバルタイマをCPULSIに内蔵した。一定時間ごとにタイマ割り込みを発生し、OSカーネルにアテンションを与える。GC(ゴミ集め)などのクリティカルセクションの実行によりタイマ割り込み処理が保留され、ネスティングしても問題とならないように、タイマ割り込み回数をカウントするカウンタを設けた。

このカウンタは、また、関数の実行時間を計測するスピードタイマとしても利用できる。タイマ割り込みインターバルよりも正確な計時が行えるように、さらに詳細な経過時間の値を読めるようにした。関数実行開始時の値と終了時の値の差を求めることにより、その関数の実行時間が得られる。カウンタは1日以上を計時でき、分解能は1μsec以下である。

#### 4.5 メモリアクセスウェイトの軽減

メモリ汎用レジスタ(MGR)は、メモリアクセス用のレジスタと汎用レジスタの両方を兼ね備えており、メモリアクセスと演算の間の余分なデータの移動を省くことができる。今回、ピンの多重方法の変更、およびそれによるメモリインタフェースの改良により、メモリアクセスの際、アドレスの送出および書き込みデータの送出の後、直ちにそれらの内容を保持しているMGRレジスタを新たな目的で使用できるようにした。そして、これによりメモリアクセスによるウェイトの軽減ができた。

#### 4.6 マイクロレベル割り込み

アドレスに該当する実メモリが存在しなかったことなどにより、実行中のメモリアクセスのためのバスサイクルを中断せざるを得ない場合がある。このとき、すみやかにバスエラー例外処理にシーケンスを移し、必要な例外処理を

行ったのち中断されたバスサイクルの再実行を可能とするために、マイクロ命令レベルへの割り込みをサポートとした。実行中の命令を破棄し、マシンサイクル毎に変更されるレジスタ類をフリーズし、予め指定されていたアドレスに分岐する。実行中の命令を無効とするため、スタックポインタの更新タイミングなどもマシンサイクルの初めのクロックエッジに限定した。メモリアクセスの再実行のために、中断したメモリアドレスおよび書き込みデータの内容を退避するレジスタも新設した。

#### 4.7 診断デバック機能

ソフトウェア開発の他、LSIのテストなどのために、直接あるいは間接的にCPULSI内のすべてのレジスタをFEPから読めるようにした。パリティエラーなどのエラーが発生した時は、そのアドレスやデータブロックなどのエラー情報を保持するようにした。WCSアドレスについては、エラー発生時とその直前に実行した命令アドレスを保持しているため、アドレスをさかのぼって、エラー要因を調べることができる。もちろん、この場合、マイクロ命令単位に設定できるブレークポイントや、マイクロ命令の1ステップ実行、診断マイクロ命令の直接実行などが有用である。

208ピンのLSIケースに収容するために、専用のテストピンを設けることができなかった。機能試験ではレジスタが直接あるいは間接に読めるので支障がないが、AC試験のためにいくつかの内部信号をIOPCインタフェースを通じてFEPから読み出せるようにした。

#### 5 Gateway LSI

LISPプロセッサをA4版サイズのシングルボードで構成するために、CPULSIの周辺チップとして新たにGateway LSIを開発した。表2にGateway LSIの諸元を示す。

|            |                  |
|------------|------------------|
| クロック周波数    | 30.00MHz         |
| メモリアクセスタイム | 210nsec(最小)      |
| DMAスループット  | 4MB/sec(最大)      |
| プロセス       | 1.2μm CMOSゲートアレイ |
| ゲート数       | 9.6kゲート          |
| 消費電力       | 1.0W(最大)         |
| 電源         | +5V              |
| パッケージ      | 176ピンPGA         |

表2 Gateway LSIの諸元

Gateway LSIは、MバスおよびFEPバスあるいは相互のデータ転送を制御するために、以下の機能を持つ。

- (1) ECCを含むメモリ制御
- (2) DMA制御
- (3) FEPバスインタフェースおよび割り込み制御

#### (4) Mバス制御

以下、これらの内容について述べる。

### 5.1 メモリ制御

Mバスを通じてアクセスされるメモリを制御するDRAMコントロール部である。1Mビットまたは4MビットのDRAMを32データビット幅で最大8バンク(32Mバイトまたは128Mバイト)制御可能である。32データビットごとに、1ビットの誤り訂正および2ビット誤り検出のためのエラー訂正機能(ECC)をもつ。ECCにより1ビットのメモリエラーが検出された場合には、バス上に訂正されたデータを返送すると共に、誤ったデータを記憶するDRAMへの再書き込みも自動的に行う。また、試験あるいは故障解析のためにこのECCにたいする診断機能も用意した。

ELISでは、シングルボードLISP・CPU上に搭載されるメモリ以外に、拡張Mバス上に接続される拡張メモリボードを設け、メモリ容量の拡張を可能としている。Gateway LSIは、この拡張メモリボードにも搭載される。このとき、Gateway LSIは、単にメモリ制御用としてのみはたらく。

### 5.2 DMA制御

CPUメモリとFEPメモリ間のDMA転送を制御する。CPU(Mバス; 64ビット)とFEP(FEPバス; 16ビット)では、データ幅のみならずバスインタフェースや転送プロトコルも異なる。これらの違いを吸収し、かつ、トグルバッファをもたせてFEPバスの最大値に等しいデータスループットを確保した。

このDMACはFEP空間およびCPU空間4Gバイトすべてを直接アクセス可能である。最小転送単位は8バイトで、1回に最大で4Gバイト分のデータを転送可能である。2組のトグルバッファがFEPメモリおよびCPUメモリを同時にアクセスすることにより、転送速度を向上させた。転送モードはサイクルスチールを採用している。DMA転送のプログラム、転送制御、および例外処理等はFEPにより行われる。

### 5.3 FEPバスインタフェースおよび割り込み制御

ELISでは、CPUからのFEP制御、あるいはFEPからのCPU制御、いずれも可能である。システムの立ち上げ、診断、およびエラー処理の多くはFEPがスーパーバイザとなって行うのであるが、LISPシステム(OS)の立ち上がっている状態では、CPUがスーパーバイザであり、FEP、あるいはFEPバスに接続されるI/Oをコントロールする場合も必要であるからである。

Gateway LSIは、FEPからCPUの制御レジスタ等へのアクセスのためのバス間プロトコル変換、CPUからFEP空間へのアクセスのバス間プロトコル変換、Gateway LSI自身の内部レジスタへのアクセス、およびFEPへの割り込み制御を行なう。

### 5.4 Mバス制御

Mバスのバス調停およびバスタイムアウト等のバス監視を行なう。また、マルチCPU化への対応を考え、さらに外部にGateway LSIを抱えたCPU同志のバスアクセス権の調停回路を接続できるような工夫がされている。

## 6 性能評価

表3に、ELIS8100シリーズと比較したLISP処理性能を示す。前ELISに比べて、ほぼマシンサイクル時間の短縮した分(180nsec → 100nsec)だけ、性能向上している。これは、Mバスという極度に多重化されたバスにもかかわらず、Gateway LSIを新たに開発したことにより、CPU LSIの外部インタフェーススループットをマシンサイクルの短縮に見合うだけ向上されることができたからである。

CPU性能(ガブリエルベンチマークおよびLISPコンテストより)

|                | ELIS8200 |      | ELIS8100 | B/A  |
|----------------|----------|------|----------|------|
|                | I        | C(A) | C(B)     |      |
| Boyer          | 27.6     | 10.0 | 16.5     | 1.65 |
| Browse         | 41.5     | 16.4 | 27.3     | 1.66 |
| Destructive    | 8.3      | 2.7  | 4.41     | 1.63 |
| Tak(18 12 6)   | 1.8      | 0.48 | 0.89     | 1.72 |
| Stak(18 12 6)  | 7.66     | 4.67 | 7.64     | 1.84 |
| Ctak           | 6.44     | 2.59 | 4.25     | 1.64 |
| Tak1           | 36.9     | 16.9 | 26.9     | 1.59 |
| Deriv          | 4.18     | 1.85 | 3.13     | 1.69 |
| Div2.1         | 3.80     | 1.12 | 1.83     | 1.63 |
| Div2.2         | 3.80     | 1.13 | 1.83     | 1.62 |
| Triangle       | 806.     | 270. | 446.     | 1.65 |
| FFT            | 26.4     | 9.05 | 16.8     | 1.86 |
| Forpoly(r3 15) | 11.2     | 4.38 | 7.30     | 1.67 |
| TPU3           | 0.59     | 0.24 | 0.41     | 1.73 |
| TPU6           | 3.69     | 1.15 | 1.97     | 1.71 |
| 平均             |          |      |          | 1.68 |

1.0版使用、I:インタプリタ実行、C:コンパイル後実行、単位:秒

表3 ELIS8200シリーズ性能

また、FEPメモリとCPUメモリ間のDMA転送性能は、実際のファイルの読み込み時間から算出すると、

ELIS8100シリーズ 64KB/sec

ELIS8200シリーズ 480KB/sec

と、大幅に向上している。ファイルアクセス性能の向上は、実際にアプリケーションを走らせたときに大きな効果を発揮することが多く、その意味で新ELISは前機種に比べてトータルパフォーマンスを大きく向上させている。

## 謝辞

最後に本開発を進めるにあたって、ご指導いただいたN T Tインテリジェントテクノロジー社、共同で開発を行なった当社情報システム事業部、および、I C事業部の各位に深謝致します。

## 参考文献

- [1] 森, 岡部, 勝山, 河井  
「新ELIS用1ボードLISPプロセッサ」  
情報処理学会第39回全国大会
  
- [2] 渡邊, 川村, 日比野  
「新ELISのCPU-LSIの開発」  
電子情報通信学会秋季全国大会。(1989)
  
- [3] 大野  
「386環境とLisp環境の統合  
- ELIS-8200のアーキテクチャ」  
TURING MACHINE, (1990.2, Vol.3-No.1)
  
- [4] 長坂  
「LispマシンELISのソフトウェア開発環境」  
冲電気研究開発,  
(1990年1月, 第145号 Vol.57 No.1)