

(1990. 6. 22)

ジョセフソンコンピュータ ETL-JC1 と 今後の課題

岡田義邦, 濱崎陽一, 仲川博, 黒沢格, 青柳昌宏, 幸坂伸, 高田進

電子技術総合研究所

ジョセフソン素子は遅延時間・電力積においてシリコン素子より優れた回路素子として期待されているが、その動作原理や使用環境が異なるためいくつかの技術的課題を克服する必要がある。このため当所では、ニオブ系材料の4JL論理素子、メモリ素子、高速性に優れパンチスルーを回避する多相脈流電源方式などの基本技術の開発を行ってきた。これらの技術をもとに4チップから成るコンピュータプロトタイプETL-JC1を開発し、完動する事を確認した。これは、2チップのプロセッサ部と命令ROM、データRAMから成る4ビットデータ幅のコンピュータであり、命令実行周期1nsのプロセッサの可能性を実証した。今後の課題としては、微細化による速度・集積度の向上に加え、実装技術、高速化アーキテクチャの開発等が望まれる。

JOSEPHSON COMPUTER ETL-JC1 AND THE SUBJECTS FOR FUTURE RESEARCH

Y. OKADA, H. HAMAZAKI, H. NAKAGAWA, I. KUROSAWA, M. AOYAGI, S. KOSAKA & S. TAKADA

Electrotechnical Laboratory

1-1-4 Umezono, Tsukuba-city, Ibaraki 305, Japan

Josephson computer prototype system, ETL-JC1 is described. It consists of four chips: two chips for processor, the other 2 chips for instruction ROM and data RAM. The Niobium junction LSI process, 4JL logic circuit, variable threshold memory & multiphase pulsed power supply method are developed in ETL, as the new technology to make the Josephson computer feasible. The future work to realize more practical and higher speed Josephson computer is also described.

1 はじめに

ジョセフソン素子は遅延時間・電力積においてシリコン素子より優れた回路素子として期待されている。現在の技術でゲートあたりの遅延時間は数ps、消費電力はゲートあたり $1\mu\text{W}$ が可能である。しかし、その動作原理や使用環境が異なるためいくつかの技術的課題を克服する必要がある。このため当所では、従来の鉛系材料より優れた素子特性を持つニオブ系材料の開発と直接結合型の高速4JL論理素子、メモリ素子、高速性に優れパンチスルーを回避する多相脈流電源方式などの基本技術の開発を行ってきた。これらの技術をもとに4チップから成るコンピュータプロトタイプETL-JC1を設計・製作し、その動作確認を行った。メモリも含めた計算機としての動作はもとより、プロセッサとしても完動が確認されたのはこれが最初である。ETL-JC1は、2チップのプロセッサ部と命令ROM、データRAMから成る4ビットデータ幅のコンピュータであり、1サイクルの周期には配線遅延を除いて約1nsである。本稿ではその概要を報告するとともに、今後の課題について考察する。

2 ジョセフソン論理素子の特性と多相脈流電源方式

ジョセフソン論理回路はFig.1に示すジョセフソン接合の非可逆性のヒステリシス特性を利用して演算を行っている。このため、この性質に起因する組み合わせ回路の演算条件として次の2項目が挙げられる。

I-1: 演算開始時の組み合わせ回路の状態は0でなければならない。

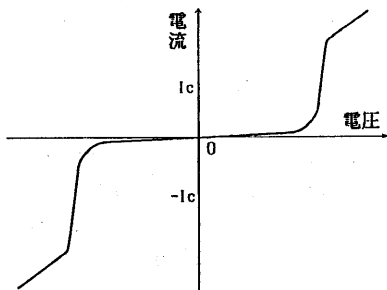


Fig.1 ジョセフソン接合特性

I-2: 入力値に応じて演算素子の状態が一度1に変化するとその後の同一サイクル演算区間で入力値が変化しても状態は0に復帰しない(この性質を持つものを一般にラッチング回路という)。

ジョセフソン回路の駆動にはこれらの条件を満たす必要がある。IBM社により提案されたのが交流電源による回路方式(交流方式)である。この電源方式は上記の条件I-1,2を満たした回路駆動方式を初めて提唱したもののだが、次の欠点を有する。

- (1) 極性の反転期間で演算が中断する。
- (2) 反転時間を少なくすると、パンチスルーの確率が増加するため、クロック速度が制限される。
- (3) DCラッチが必要となる。このため次の問題点を生ずる。
 - ①ラッチと組み合わせ回路の結合が磁気結合に限られ、速度の面で不利、
 - ②素子面積の増大。

交流方式の欠点を解消するためには、演算が連続して行え、電源が0となるリセット区間が十分とれ、回路と直接結合するために単極性の電源とする順序回路を多段に結合した多相脈流電源モデルが考えられる¹。このモデルでは、 m 個の位相のずれた単極性のパルス電源 V_i ($i=0, 1, \dots, m-1$)により演算が引き続いて行われる。これにより、上記(1)から(3)の問題点を回避できる。

3 ETL-JC1の概要

3.1 チップ構成

ETL-JC1の構成としては、現状の集積度で実現可能な規模で、計算機としての基本機能を備えたものとし、構成チップとしては、チップの並列開発などを考慮して次の4つの機能チップより成るもの考えた²。

- (1)制御(シフトレジスタ)チップ(SQCU)
- (2)演算チップ(RALU)
- (3)命令ROMチップ(IROU)
- (4)データRAMチップ(DRAU)

また、規模・機能に関しては次のような方針とした。

- ・集積度はチップ当り2000ゲート以下、できれば1000ゲート前後の規模。
- ・この制約から基本となるデータ・演算は4ビット並列。
- ・すべての命令を同一の基本サイクル数で実行するRISCタイプ。
- ・高速化のため、命令フェッチとデータの読み書きを同時に実行可能とするハーバード・アーキテクチャを採用。
- ・命令はIROUのROM内に置く。
- ・外部との結線を簡略化し、デバッグを容易にするため、リセット、スタート、割り込み等の実行制御機能は総て外部からの割り込み命令によって実行する。
- ・回路方式としては当所で提案した多相脈流電源に基づく双対線路方式を採用し、相の数に関しては、電源回路が簡単で最もMIPS数が上げられると考えられる2相の脈流電源方式を採用する。

回路の基本構成要素としては、開発を進めてきた以下の素子を使用した。

- (1) 組合せ回路素子
 - 2入力OR素子、バッファ素子、
 - 2-2入力OR・2入力AND素子
- (2) ラッチ回路素子
 - 双対/否定/肯定出力ラッチ
- (3) ROM (128×10ビット)
- (4) RAM (256×4ビット)

3.2 レジスタ構成

上記システム仕様に従った回路として、Fig. 2に示すようなシステムを考える。ここで、各チップに含まれる主要なレジスタ類は次の通りである。

(SQC内)

- PC:プログラムカウンタ(7ビット)、
- IR:命令レジスタ(10ビット)、
- SM:スタックメモリ(7ビット、2語)

(RALU内)

- IR:10ビット、CF:キャリフラッグ(1ビット)
- AC:アキュムレータ(4ビット)、
- ML, ML':メモリ番地レジスタ(下位4ビット×2)、
- MH, MH':メモリ番地レジスタ(上位4ビット×2)、

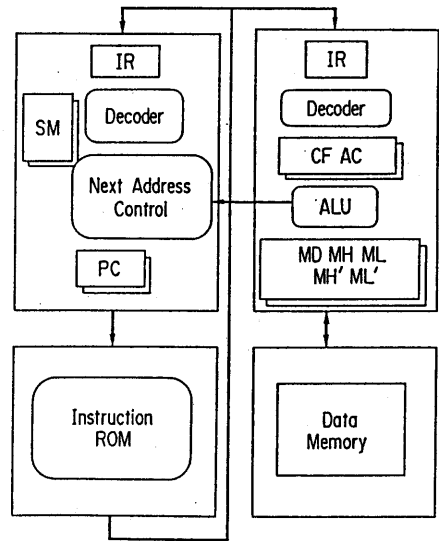


Fig. 2 ETL-JC1のブロック図

- MD:メモリアキュムレータ(4ビット)
- (DRAU内)
- RAM:データメモリ(256×4ビット)
- (IROU内)
- ROM:命令ROM(128×10ビット)

3.3 命令セット

命令セットとしては、汎用プロセッサとして最低必要なものを備える、という条件から、条件付き分枝、サブルーチンコールなどの分枝命令、基本的算術・論理演算命令を含ませた(表1)。メモリアクセスはロード・ストア命令のみのRISCタイプである。命令長は10ビット($I_9 \sim I_0$)固定である。

3.4 2相脈流電源駆動による基本設計

多相脈流電源に基づくパイプラインを実現する通常の方式としては、第1相でIROUにおける命令読み出しを、第2相でRALU内の命令デコードと演算、SQC内で分枝命令解読と次番地制御を行なう方法が考えられる。しかし、この場合、RALU回路においては第1相の期間中回路が遊んでしまい、演算が連続して行えるという多相脈流電源の特長を生かす事が出来ない。このため、RALUでの演算そのも

Table 1 Instruction set of ETL-JCI

命令	命令ビット(I ₉ ~I ₀)				命令	命令ビット(I ₉ ~I ₀)			
	98	7654	3210			98	7654	3210	
*分枝命令 (I₉~I₀:分枝先番地)					AND SS, DD 10 SS00 01DD 論理積				
JMP ADR	00	0AAA	AAAA	無条件分枝	MOV SS, DD	10	SS00	10DD	データ移動
CAL ADR	00	1AAA	AAAA	サブルーチンコール	OR SS, DD	10	SS00	11DD	論理和
RET	01	00xx	xxxx	サブルーチン リターン	XOR SS, DD	10	SS01	00DD	排他的論理和
*条件付きスキップ命令					SUB SS, DD 10 SS01 11DD 2の補数減算				
SZA	01	0110	0000	条件: AC=0	MVA DD	10	xx01	01DD	ACデータの移動
SNA	01	0101	0000	AC≠0	CMA DD	10	xx01	10DD	ACの否定演算
SPA	01	0100	1000	AC≥0	RTR	10	xx10	00DD	右回転(AC, CF)
SMA	01	0100	0100	AC<0	RTL	10	xx11	00DD	左回転(AC, CF)
SZC	01	0100	0010	CF=0	*直接データ演算・移動命令				
SNC	01	0100	0001	CF≠0	(直接データ[iiii]とACとの演算結果をDDへ)				
*メモリ読み書き命令					ADDI i, DD 11 iiii 00DD 直接データの加算				
RDM	01	1101	xxxx	メモリ読み出し	ANDI i, DD 11 iiii 01DD 直接データの論理積				
WTM	01	1110	xxxx	メモリ書き込み	MVI i, DD 11 iiii 10DD 直接データの移動				
*レジスタ演算・移動命令					ORI i, DD 11 iiii 11DD 直接データの論理和				
CMC	01	10xx	xxxx	CF←NOT, CF	注:				
SWP	01	1100	XXXX	ML, MHとML', MH	SS(Source Reg.)=(AC, MD, ML, MH)=(00, 01, 10, 11).				
ADD SS, DD	10	SS00	00DD	2の補数加算	DD(Destination Reg.)=(AC, MD, ML, MH)				

のを2つの相に分割することが考えられる。条件付き分枝のために必要となるステータスは(次番地制御が第2相で行なわれるため)以前の演算の結果を使用でき、RALUにおける演算は次のサイクルの第1相まで続いても良いことがわかる。こうした考慮のもとに相の割当を行なった。ALUの後半の演算が次のサイクルの前半に食い込むため、この部分の演算時間分だけサイクル時間が短縮できる。このため、命令のフェッチから終了までの時間は1.5サイクルかかるが、命令そのものは1サイクル毎に次々と実行される疑似的なパイプライン構成が可能となる。この場合、条件付き分枝命令においても、この実行時間は変わらないという特長を持ち、通常のRISCプロセッサにおけるような遅延分枝を行う必要は無い。

第1相と第2相の時間は異なってもよい。このため、それぞれにおけるクリティカルパスに応じて2つの相の時間を設定すれば最小の命令サイクルが得られる事になる。また、IROUにおいては、番地のデコードとROMの読みだしを第1相中に行なう必要がある。この場合、ORデコーダを筆者らの提案したスプリット電源³で実現し回路の大幅な節約を可能とした。

3.5 外部命令の実行機能

チップと外部との接続線としては電源以外に、制御線及びデータ入出力がある。一方、(特にジョセフソン回路では)接続線の数を減らすことが望ましい。このため、外部からの制御は外部命令の実行機能を用いてこれらの制御を行なうことにした。外部命令は10本の命令データ線と2本の制御線をIROUに接続する。デバッグ時には、命令実行サイクルと同期して与えるが、クロックが高速化した場合は非同期に与える事ができる。IROU内では、外部命令が与えられた時には、内部で読み出した命令を無視して外部命令を選択し、これをRALUとSVCUに送出する機構を備えている。この機能を使う事により、

- ・疑似的な割り込み(特定番地への強制分枝)、
- ・初期化(停止)ルーチンへの分枝によるシステムの起動(停止)、
- ・ACを介したデータの入出力などの制御、
- ・外部からの1ステップ命令供給による試験等が可能である。

4 設計と製作

以上の動作機能・基本回路素子の設定のもとに、ワークステーション上の論理CADを用いて各部の詳細論理設計およびシミュレーションを行なった。クリティカルパスは、条件付き分枝命令において、スキップ条件から次番地選択を行なう回路において発生し、1サイクルの周期は（配線遅延を除いて）動作余裕を考慮した標準動作電流条件下で約1nsであった。1ゲートの遅延の実測値は最小で8ps、標準で15psである。設計された各チップは最適化、パターン設計²⁻⁸、製作が行われ、各チップ毎にその動作が確認された後⁹⁻¹¹、4チップを接続した総合試験が行われてその全動作が確認された¹²。Fig.3にコンピュータボードを、Fig.4-7に各チップの写真を示す。主要諸元を次に示す。

RALU ; 1,273 gates, 4.3×5.0 mm²
 SQUU ; 593 gates, 3.0×3.2 mm²
 IROU ; 10 bit×128 語, 3.5×5.0 mm²
 DRAU ; 4bit×256語, 3.7×3.8 mm²
 設計ルール ; 3μm
 消費電力 (4チップ合計) 6.2 mW

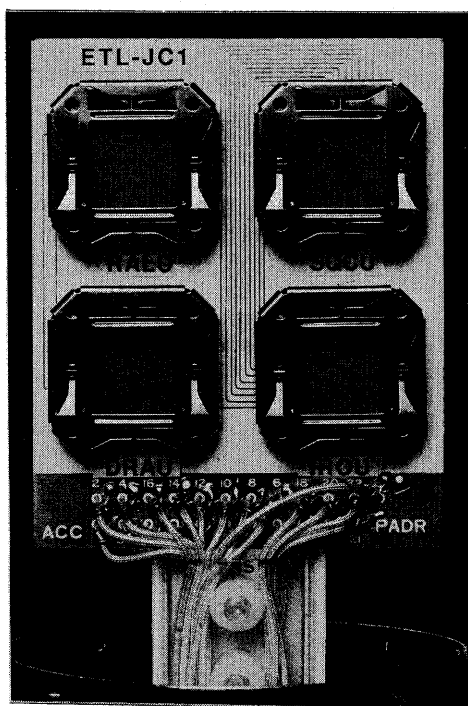


Fig.3 Josephson Computer ETL-JC1

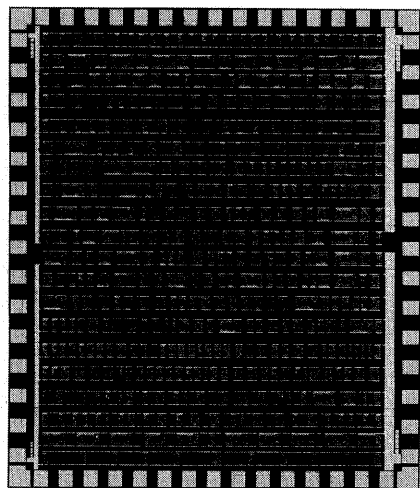


Fig.4 RALU chip

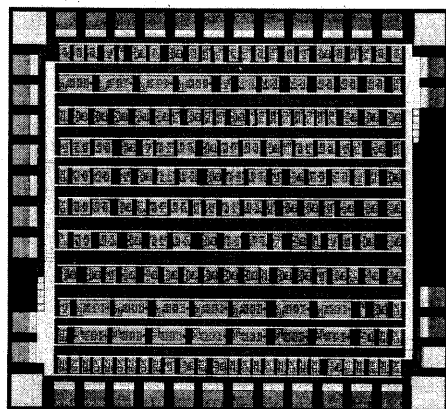


Fig.5 SQUU chip

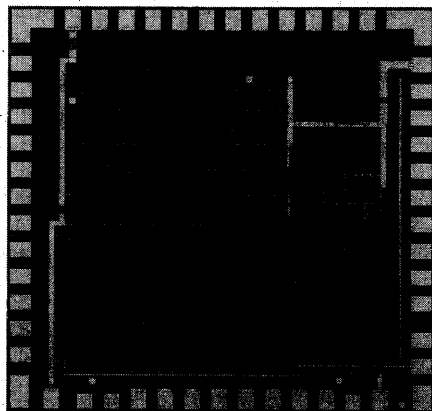


Fig.6 DRAU chip

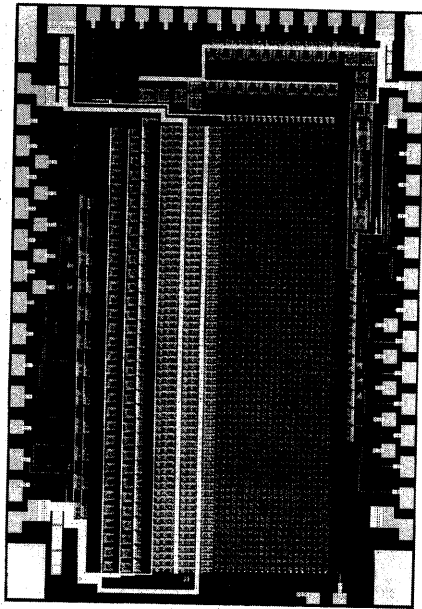


Fig. 7 IROU chip

5 今後の課題

ジョセフソン素子の特徴は最高速のシリコン素子と同等以上の高速性をもちながら、千分の1近くの低消費電力で済み、発熱が極めて少ない点である。この特徴を生かし実用化するためには以下のような課題の研究開発が望まれる。

- ①微細化による論理・メモリの高集積・高速化
現在の設計ルール (3 μm) を例えば1.5 μm にする事により、ゲート遅延8 ps, チップ当たり6Kゲートのものが実現できる見通しである。
- ②多相脈流電源に適合した、パイプライン、メモリスシステム方式及び高並列方式の開発
- ③チップキャリア、マザーボードなどの超伝導配線・接続技術、これに基づく高速動作実験 (高速動作の完全動作の確認例は無い)
- ③小型ヘリウム液化装置の開発
- ④外部の常温デバイスとの接続方法

6 終わりに

以上、2相脈流電源方式に基づくジョセフソンコンピュータプロトタイプETL-JC1の概要、設計、結果と課題について述べた。本プロトタイプの開発は実用化のためのマイルストーンとしての役割を果たすものと期待している。

最後に本研究にあたってご討論頂いた元ジョセフソン特別研究室各位、研究進展に御支援頂いた柏木所長、田村情報科学部長、棟上情報アーキテクチャ部長、鶴島電子デバイス部長に謝意を表する。

参考文献

- (1)岡田、濱崎、曾川、大東、仲川、早川、"多相脈流電源方式によるジョセフソン論理回路"、IECE技報、ED-81-148, 1982
- (2)岡田、濱崎、仲川、河村、"多相脈流電源によるジョセフソン回路の設計"、情処/IEICE技報、88-CA-69/88-MC-48, 1988
- (3)岡田、濱崎、高田、仲川、"多相脈流方式におけるスプリット電源の提案"、IECE総合全大, 1987
- (4)仲川、岡田、濱崎、河村、幸坂、黒沢、青柳、高田、"ジョセフソンコンピュータETL-JC1のRALUの設計"、IECE技報、SCE, 1988
- (5)幸坂、仲川、岡田、濱崎、河村、青柳、黒沢、東海林、高田、"ジョセフソンコンピュータETL-JC1のシグナルフローの設計"、同上
- (6)黒沢、仲川、幸坂、青柳、岡田、濱崎、高田、"ジョセフソン回路ETL-JC1用1Kビット高速RAMの設計"、同上
- (7)青柳、仲川、黒沢、河村、岡田、濱崎、幸坂、東海林、高田、"ジョセフソンコンピュータETL-JC1の命令ROMの設計"、同上
- (8)河村、幸坂、仲川、岡田、濱崎、黒沢、青柳、高田、"ジョセフソンLSI用CADシステム"、同上
- (9)青柳、仲川、黒沢、河村、岡田、濱崎、幸坂、東海林、高田、"A Josephson 10-bit Instruction ROM Unit for a Prototype Computer", Ext. Abs. 1989 International Superconductivity.
- (10)黒沢、仲川、幸坂、青柳、岡田、濱崎、高田、"A Data RAM chip for Josephson Computer Prototype", *ibid.*
- (11)仲川、幸坂、黒沢、青柳、濱崎、岡田、高田、"A Josephson 4-bit Processor for a Prototype Computer", *ibid.*
- (12)仲川、黒沢、青柳、幸坂、濱崎、岡田、高田、"ジョセフソンコンピュータ: ETL-JC 1" IECE技報 SCE89-59, '90. 2. 14.