

新しい記号処理カーネルSILENTの設計

吉田 雅治*, 竹内 郁雄**, 山崎 憲一***, 天海 良治***

*NTTヒューマンインタフェース研究所

**NTT基礎研究所

***NTTソフトウェア研究所

ELISの設計思想を継承した新しい記号処理システムの核となるプロセッサSILENTのアーキテクチャおよびLSI設計について述べる。SILENTは記号処理のみならず、知能ロボットやコンピュータグラフィックス等の分野への適応も考慮し、画像生成計算機SIGHT-2で提案したTARAI演算器とメモリ共有型マルチプロセッサを構成することを前提としている。SILENTは32ビットデータ/バスを基本としたバイトアドレスを採用して他のプロセッサとの親和性を高めると共に、機械語としてDyteコードを導入してLISPインタプリタの実行速度を改善している。デバイス、アーキテクチャの改良により、ELISの1桁上の性能を目指す。現在、LSIの回路設計を進めている。

The Design of A List Processor SILENT

Masaharu Yoshida* Ikuo Takeuchi** Kenichi Yamazaki*** Yoshiji Amagai***

* NTT Human Interface Laboratories

** NTT Basic Research Laboratories

*** NTT Software Laboratories

SILENT is a list processor. Its design concept is based on the ELIS. The main target of SILENT is not only artificial intelligence research but also computer graphics and autonomous controls of robots. To improve the performance of numerical data processing, SILENT will be tightly coupled with the TARAI unit which was proposed as a part of SIGHT.

The main features of SILENT are byte addressing and Dyte codes. Byte addressing is used to fit the heterogeneous multi-processor environment. Dyte code is the machine code of SILENT to improve LISP interpreter. CPU LSI of SILENT is being designed.

1. はじめに

近年、知能処理研究の成果が各分野に波及しつつある。例えばコンピュータグラフィックスの分野ではSymbolicsが先鞭となり⁽¹⁾、オブジェクト指向プログラミングの導入の試みがある。また、工業用ロボットの行動計画の策定に知識データベースやヒューリスティックな手法を導入する知能ロボットの研究も進められている⁽²⁾。

これらの分野では従来から進められてきた研究に知能処理を持ち込もうとするため、従来のシステム（一般的な計算機環境）と親和性の高い知能処理環境が求められる。近年進展の著しいRISC型ワークステーションにLISPの処理系を登載したシステムが使用されているが、これらの処理系はコンパイラに比重が置かれ、LISPの会話型言語としての利点はあまり生かされていない。一方、従来からのLISPワークステーションはその多くは自己完結型のシステムであり、他のシステムとの親和性に欠けている。

そこで、コンピュータグラフィックス、知能ロボット等の分野への知能処理の導入、AIプログラミングパラダイムの研究、更に知的プログラミング環境を構築するためのベースマシンとして新しい記号処理カーネルSILENTの設計を進めている。SILENTはELIS^(3,4)の流れをくみ、TAO⁽⁵⁾を基本言語とする専用機であるが、

- (1) 他のプロセッサとの親和性を高めるため、32ビット長データバスを基本としたバイトアドレッシングを採用している。
- (2) コンピュータグラフィックス、知能ロボット等の分野で要求される大量の数値計算能力を提供するため、画像生成計算機SIGHT⁽⁶⁾で開発したTARAI Unitを接続する。
- (3) 機械語としてDyteコードを導入し、マイクロプログラムにより解釈実行する。
- (4) TAOに適合した専用ハードウェアを持つ。

以上の点を主たる特徴とし、BLISとの互換性はない。本稿ではSILENTのCPU LSIの設計について述べる。また、SILENTの基本言語であるTAO/SILENTについては別稿⁽⁷⁾で報告する。

2. SILENTアーキテクチャ

SILENTは32ビットデータを基本とするバイトアドレッシングを採用している。汎用マイクロプロセッサ（Intel180386, MIPS R3000等）とのメモリ共有の非均一型マルチプロセッサを構成するためである。SILENTはマイクロプログラム制御を基本としているが、書き換え可能制御記憶(WCS)、スタックメモリ、セルメモリはいずれも単一のアドレス空間に展開され、専用化したメモリは使用しない。多用されるスタック・オペレーション、高頻度のマイクロプログラム・アクセスに対してはキャッシュメモリで対処する。

この構成を採用したことにより、マイクロプログラムのダイナミックロードが可能になると共に、マイクロプログラム・コードをCPU LSIの外部のROMに書き込むことが可能になり、知能ロボットの制御等の組み込み用途にも用いることができる。SILENTのシステム構成を図1に示す。

SILENTのキャッシュメモリはマイクロプログラム用とデータ/スタック用に分離された、いわゆるハーバード・アーキテクチャを採用している。ELISでの評価結果によれば⁽⁸⁾、スタック操作命令は全ダイナミックステップ数の約45%、メモリ操作命令は約9%であるので、データとスタックのキャッシュメモリを共用しても性能は低下しないものと予想される。図1に示すように各々語長はセルサイズに基づき80ビットである。

$$80 = (\text{タグ } 8\text{bit} + \text{ポインタ } 32\text{bit}) \times 2$$
ELISと同様にセルのCAR部とCDR部を同時にアクセスすることで処理効率を上げている。

マイクロプログラムの語長は80ビットであり、水平型マイクロプログラムである。スタックの語長はタグ付きデータに相当する40ビットであり、1セルに2語格納する。

これらのメモリセルのうち2組のポインタ部の計64ビットはバイトアドレッシングの対象となるが、2組のタグ部はポインタと同一のアドレスを持つものとして扱い、バイトアドレッシングの対象とはしない。非均一型マルチプロセッサシステムにおいて、通常はタグメモリまで共有する必要

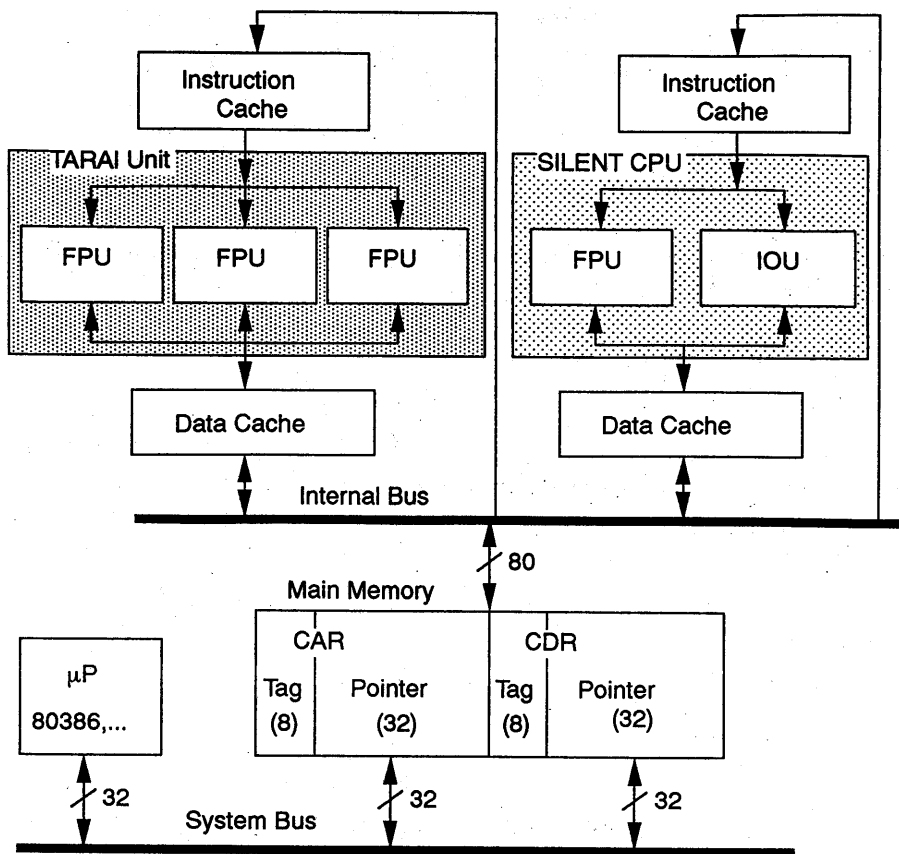


Fig. 1 SILENT System Configuration

はないからである。ただし、タグメモリも別のアドレス空間に割り当て、SILENT以外のプロセッサからの操作を可能にしている。

SILENT CPUはTARAI Unit⁽⁶⁾とメモリ共有型のマルチプロセッサを構成する。TARAI Unitはオプションであり、コンピュータグラフィックスや知能ロボットの分野で多用される3次元ベクトル演算の高速処理に使用される。

SILENT CPUは浮動小数点演算器(FPU)と整数演算器、マイクロプログラムシーケンサ等を中心とする他の部分(IOU)とに分割することができる。浮動小数点演算器はLSIチップに収容可能なハードウェア規模の制限から今回の設計では別チップになる。本稿ではIOUに関して述べる。

以下、SILENT IOUのデータバス構成、インスト

ラクション構成とTA0専用ハードウェアについて述べる。

2.1 データバス構成

図2にSILENT IOU LSIの基本構成を示す。SILENTのデータバスは40ビット巾の3本のバスを中心に、

- (1)40ビット72語のレジスタファイル
(8語は浮動小数点演算用)
- (2)ALU
- (3)スタックコントローラ
スタックポインタ5本
スタックトップレジスタ4本
- (4)MGR(メモリ汎用レジスタ4本)
- (5)Byteインストラクションプリフェッチキュー

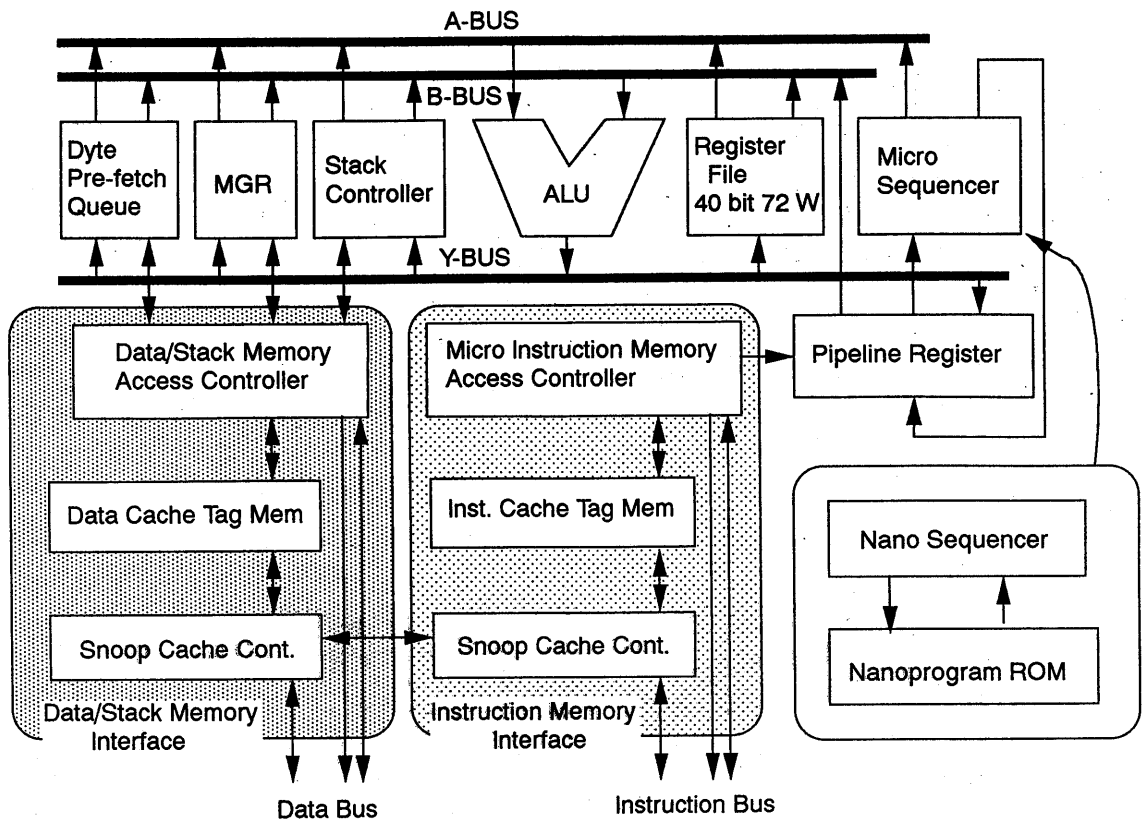


Fig. 2 LSI Configuration of SILENT IOU

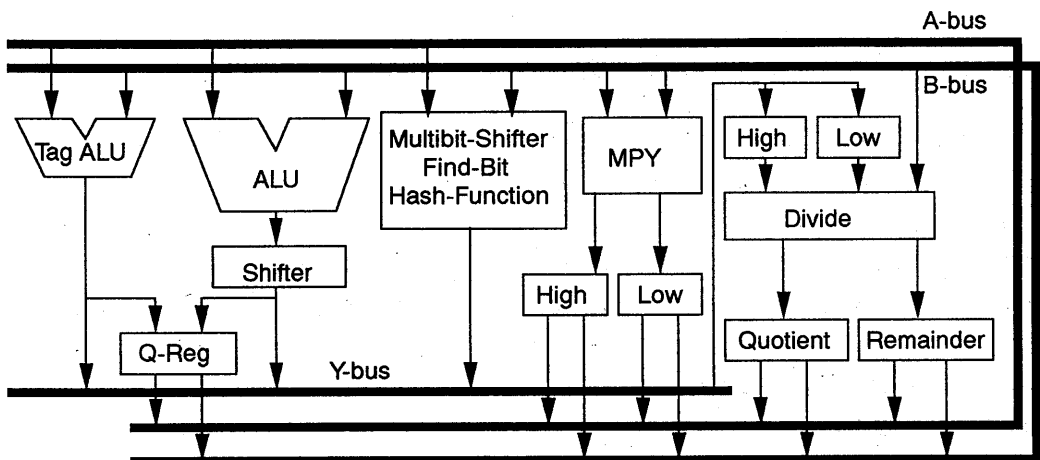


Fig. 3 ALU

8語

- (6) マイクロシーケンサ
- (7) 80ビットパイプラインレジスタ
- (8) インストラクションメモリインタフェース
- (9) データ/スタックメモリインタフェース

等から構成される。

図3に示すようにALUはタグ操作およびデータ操作に独立したALUを設け、並行動作させる。データ用ALUは8ビット、16ビット、32ビットの3種の動作モードを持ち、AMDの2901ライクな

ALUに乗除算、マルチビットシフタ、ファインドビット（1語中の1のたっている最上位もしくは最下位ビットを検出する）とハッシュ関数演算機能を付加したものである。乗除算（および別チップによる浮動小数点演算）を除く基本演算（R-R演算）は1クロックで実行される。

スタックポインタ5本の内の1本はナノシーケンサが使用するシステム用である。ナノシーケンサに関しては3章で述べる。スタックトップレジスタは文字通りスタックトップの値を保持するレジスタで、スタックオペレーションの高速化を図る。

MGRはELISで提案されたメモリ汎用レジスタで、セルメモリをアクセスするためのポインタ操作およびストリング操作に用いられるレジスタ4本と付随するレジスタ類等から構成される（図4）。SILENTはMGRを介してセルメモリをアクセスする。MGRはメモリアクセスに対するパイプラインレジスタの機能を持つ。フリーズビットにより同一レジスタに対する多重アクセスが検出され、マイクロシーケンサに対して自動的にウェイトが挿入される。実行時間に無頓着なプログラマにとってはコーディングの自由度が高くなっている。

SDPレジスタにより操作対象となるレジスタをレジスタ番号もしくはバイトアドレスにて間接指定することができる。MGRの4本のレジスタをチェーンすることにより最大32Byteまでのストリングの操作をSDPレジスタの間接指定によって行うことが可能である。

Dyteコードのプリフェッチはハードウェアが行う。Dyteコードについては次節で述べる。

2.2 インストラクション構成

SILENTの機械語は10ビットを1語とし1〜3語で構成する。これをDyteコードと呼ぶ。Dyteコードはタグ部を持たず、セルメモリの1セルに最大8語のDyteコードを格納することができる。Dyteコードのアドレッシングは通常のByteアドレスと同様に行うが、その単位は8ビットではなく10ビットになる。Dyteコードは80ビットのマイクロプログラムで解釈実行される。Dyteコードは上位2ビットがその語長を指定する。下位8ビット（1Dyte命令の時は下位9ビット）は現行の設計ではマイクロプログラムのエントリーアドレスを示す。将来、実行頻度の高いものから布線論理に置き換えていく予定である。

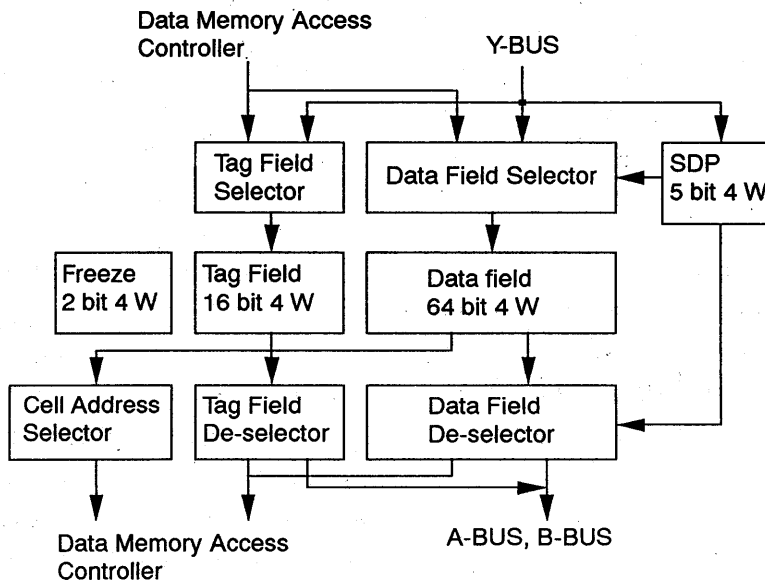


Fig. 4 MGR
(5)

SILENTのマイクロフィールド構成を図5に示す。マイクロフィールドは多重化されており、上位33ビットと下位47ビットに分けて扱う。上位側は2種類あり、Type1がIOUに、Type2がFPUに対応している。下位側は4種類あり、WhatBのフィールドで指定する。MemOpはセルメモリに対する操作を中心としたもの、SdcOpはSDPレジスタの操作およびシステムリソースの操作を行うもの、Immed20は20ビット長の定数を含むもの、Immed40は40ビットの定数を含むもので、Immed40のみシーケンサの条件付制御フィールド(Cond)、ネクストマイクロアドレスを持たない。

Immed20は20ビット長の定数とシーケンサの制御フィールドの両方を有することが特徴で、戻り先番地をスタックに格納しつつ条件付きサブルーチンコールを実行すること等が可能である。

Dyteフィールドはハードウェアのシーケンサの動作モードをマイクロプログラム・インタプリタからDyteコード・インタプリタに変更するためのものである。

2.3 TAO専用ハードウェア

これまでのTAO/ELISの開発経験から次に示す専用ハードウェアを組み込んだ。

(1) ハッシュ関数

ネットワーク制御等で多用されるハッシュ関数を高速に処理するため、ビット列のシャッフルを行う簡易なハッシュ関数をALUの演算命令として実現した。

(2) 条件付2方向分岐命令

シーケンサの制御命令として通常の条件分岐命令の他に、条件成立時と不成立時の両方の分岐アドレスを指定可能な拡張分岐命令を用意した。マルチウェイジャンプ命令の2ウェイの縮小版と見なすことができる。

(3) レジスタ間接指定用レジスタ

レジスタファイルのA,B入力アドレスをレジス

タ間接指定用レジスタ(通常Dyteコードの第2,第3オペランドが入力値となる)を用いて間接指定することができる。論理型プログラミングで多用される。

(4) その他

代入種類表現用レジスタ、
代入されたアドレスを保持するレジスタ、
タグとポインタを入れ換えるレジスタ、
スタック領域チェックレジスタ、
デバッグ用トラップレジスタ、
等の特殊レジスタとこれら进行操作する専用命令を設け、TA0の実行効率の改善を図る。

3. LSI設計

現在、SILENTのIOUのLSIの設計を、1 μ CMOSチャンネルレスゲートアレーの仕様を基に進めている。チップの内部構成を図2に示す。チャンネルレスゲートアレーの制約から搭載可能なメモリ量は少ないので、マイクロ命令用とデータ/スタック用のキャッシュメモリはコントローラとタグ部分のみチップ上に乗せている。キャッシュメモリの書き込みアルゴリズムにはライト・ワンスを採用したスヌープキャッシュメモリである。マルチプロセッサを指向しているため、スヌープ機構は必須である。

命令用キャッシュメモリは1ライン128セル/128エンタリー、160kByte、データ/スタック用キャッシュメモリは1ライン8セル/256エンタリー、20kByteを予定しているが、現在作成中のマイクロインストラクション・レベルのシミュレータの評価結果によっては変更される可能性もある。

マイクロシーケンサはさらにナノシーケンサによって制御される。これはマイクロプログラムやDyteコードの実行を更に分解して処理するためではなく、ハードウェア割り込み時の内部状態の退避、デバッグやSILENTの初期化等の処理を行うために用意したものである。通常のマイクロプログラムの実行時は各種リソースのビジィチェッ

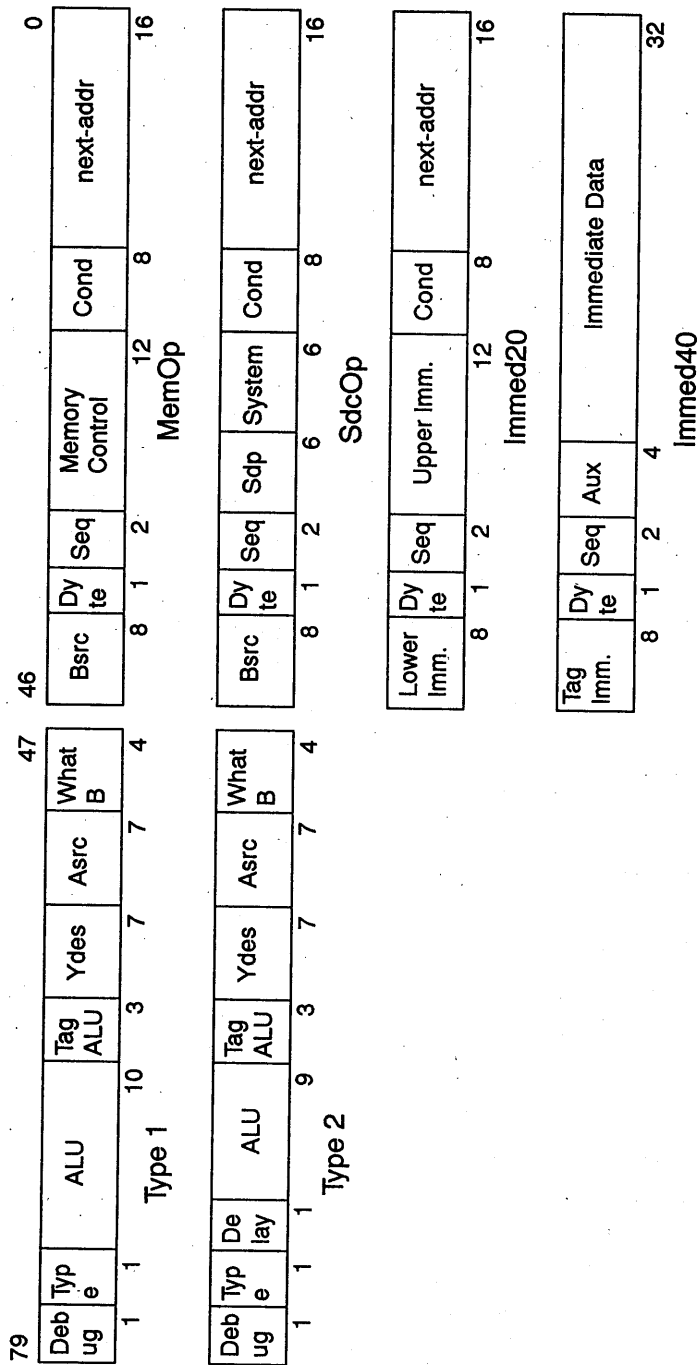


Fig. 5 SILENT Micro-instruction Format

クとその同期制御を行う。

4. 性能予測

現在、ALUおよびその周辺の回路設計を終了している。仮想配線長シミュレータを用いて仮想配線長を推定し、配線遅延を求めた。この配線遅延に基づいたゲートレベルのシミュレーションによれば、R-R基本演算の実行時間は最大30ns程度である。これは現行のELISの約4倍高速である。また、TA0のマイクロプログラムのダイナミックステップ数はTA0/ELISの約半分になる感触を得ている⁽⁷⁾。従って総合して約1桁の性能向上が見込まれる。

全ゲート数はメモリ部分もゲートに換算して約10万ゲートと予想される。

5. 終わりに

コンピュータグラフィックス、知能ロボット等の分野への知能処理の導入、AIプログラミングパラダイムの研究、更に知的プログラミング環境を構築するためのベースマシンとして、SILENTのアーキテクチャを提案し、現在CPU LSIの設計を進めている。

SILENTはELISの流れをくみ、TA0を基本言語とする専用機であり、

- (1) 32ビットデータ/バスを基本としたバイトアドレッシングの採用
- (2) TARAI Unitとマルチプロセッサを構成
- (3) 機械語としてDyteコードの導入
- (4) TA0の処理系に適した専用ハードウェアの導入

以上の点を主たる特徴としている。1 μ CMOSチャネルレスゲートアレーを使用し、実現する。SILENT IOUの総ゲート数は約10万ゲートと予想している。

ここではSILENTのCPU LSIの設計について述べた。SILENTはELISと比較して、約1桁の性能向上が期待される。SILENTの完成後、詳細な性能評価等について報告したい。

参考文献

- (1) Reynolds W. "Flocks, Herds, and Schools: A Distributed Behavioral Model", ACM SIGGRAPH '87, Conf. Proc. Vol.21, No.4, p.25-34.
- (2) 白井、辻井「人工知能」岩波講座 情報科学 22
- (3) 渡辺、石川、山田、日比野「32ビットAIチップELISのアーキテクチャ」信学会計算機アーキテクチャ69-10, 1988
- (4) Watanabe K., Ishikawa A., Yamada Y., Hibino Y. "The ELIS Interpreter-Oriented LISP-Based Workstation", 2nd IEEE Conf. on Comp. Workstations, 1988
- (5) Takeuchi I., Okuno H., Ohsato N., "A List Processing Language TA0 with Multiple Programming Paradigms", New Generation Computing, Vol.4, No.4, Ohmsha & Springer, 1986.
- (6) 吉田、成瀬、高橋「画像生成計算機SIGHT-2」計算機アーキテクチャ研究会, 77-6, 1989.
- (7) 竹内、山崎、天海「新しいTA0の設計」記号処理研究会, 56-2, 1990.
- (8) 川村、渡辺「マイクロアーキテクチャの動的評価法」第39回情報処全国大会、1989