

低消費電力・低電圧動作の32ビットマイクロプロセッサ V810

針谷尚夫* 楠田昌弘** 小嶋伸吾* 森山昌俊*** 家永隆*** 矢野陽一*

*日本電気(株) ULSIシステム開発研究所 基盤技術開発部
**日本電気(株) マイクロコンピュータ事業部第三設部
***NECアイシーマイコンシステム(株)九州LSI開発センター
マイクロコンピュータ 第二技術部

*〒211 川崎市中原区下沼部1753
電話 (044)034-1523 (ダイヤルイン)
Fax. (044)435-1753

あらまし

V810 (μ PD70732) はRISC技術を採用した32ビット・マイクロプロセッサである。V810は0.8 μ m CMOS 2層アルミ配線プロセスにより、7.7 \times 7.7 mm² のシリコンチップ上に24万トランジスタを集積した。V810は電源電圧2.2Vから5.5Vで動作し、外部からの入力するクロックを停止することができる。動作周波数、データ処理平均性能および平均消費電力は、電源電圧が5V時に25MHz、15MIPS、500mW; 同じく2.2V時に10MHz、6MIPS、40mWを達成した。またV810は浮動小数点演算機能、ビットストリング機能なども有する。

和文キーワード

CMOS, RISCアーキテクチャ, 低消費電力, 低電圧動作

A low power consumption and low voltage operation 32-bit RISC Microprocessor

Hisao Harigai

ADVANCED PROCESSOR ARCHITECTURE
DEVELOPMENT LABORATORY
ULSI SYSTEMS DEVELOPMENT LABORATORIES
NEC Corporation

1753, SHIMONUMABE, NAKAHARA-KU,
KAWASAKI, KANAGAWA, 211 JAPAN

TEL. (044) 435-1523 DIRECT
FACSIMILE (044) 435-1753

Abstract

An advanced 32-bit RISC microprocessor for embedded control; V810 is introduced in this paper. The V810 has high performance and application specified functions. V810 dissipates less power than any other RISC chips. The V810 is the first 32-bit RISC microprocessor that operates at 2.2V. The V810 chip is fabricated by using 0.8 μ m CMOS double metal layer process technology to integrate 240,000 transistors on a 7.7 \times 7.7 mm² die.

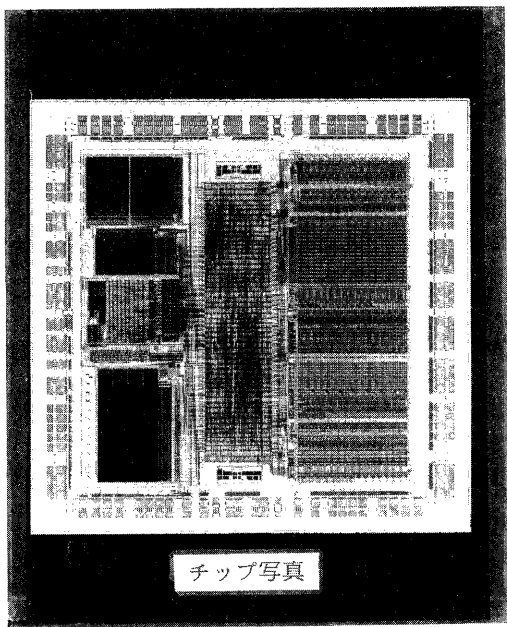
英文 key words

CMOS, RISC Archi., low power, low voltage,

1. まえがき

電子機器・情報機器は小型、軽量、薄型の方
向へ推移している。近年は特にこれらの機器に
たいする高性能化およびパーソナル化のニーズ
が顕著になってきた。パーソナル化というニーズ
を検討するとき、機器がポータブルでバッテ
リ駆動になることも当然考慮する必要がある。
バッテリーには電圧が低い、電圧変動範囲が大
きい、電流容量が小さい、瞬時に取り出せる電
流値に制限があるという特性を持つ。バッテリ
を電源とするこれらの機器は小型、軽量、薄型
で、便利な機能とバッテリー寿命が長いことが
要求される。従って例えばバッテリー駆動の
機器に組込まれるマイコンやマイクロプロセ
ッサを設計する際の具体的な設計目標として
は、高性能、低消費電力、低電圧動作、広い
動作周波数範囲などがある。

今回紹介するV810(写真)は、上記のニ
ーズを満足する事を目標にして企画・開発さ
れた、32ビットRISCマイクロプロセッサで
ある。



2. V810概要

V810の諸元を表1に示す。

(1) 処理性能

Dhrystone 2.1を用いたベンチ
マーク・テストにより、V810は25 MHz
動作時に約24000 [ドライストーン/秒]
の性能を持つことが証明された。これは
「25 MHz動作時15 MIPSの性能」
「10 MHz動作時 6 MIPSの性能」
に相当する。また浮動小数点演算性能は25
MHz動作時に約0.89 MFLOPSであ
る。

(2) 低電圧動作/低消費電力

V810は基本的にCMOSスタティック設
計であり、2.2 V(動作周波数10 MHz)
から5.5 V(同25 MHz)までの電源電
圧で動作する。

平均消費電力は、5 V・25 MHz 動作
時 500 mW、2.2 V、10 MHz 動
作時 40 mW である。

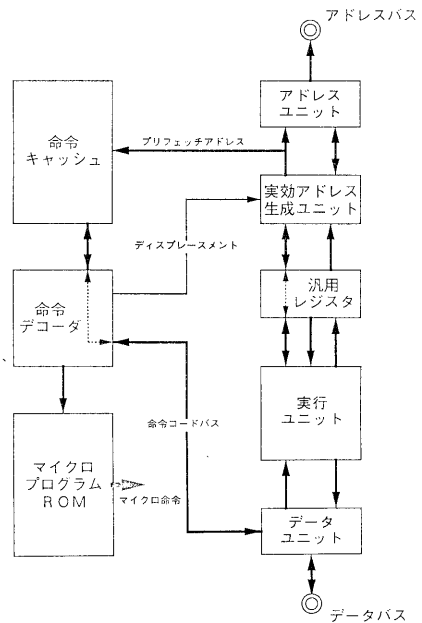


図1 内部ブロック図

表1 V810諸元

項目	諸元
データバス	外部バス 32ビット 内部バス 32ビット
アドレス空間	I/O空間 4GB (32 ^{bit} ・7 ^{bit} ・7 ^{bit} ・6 ^{bit}) I/O空間 4GB (32 ^{bit} ・7 ^{bit} ・7 ^{bit} ・6 ^{bit})
汎用レジスタ 命令数	32本(各32ビット) 85命令 内訳 RISC的命令機能 32種類 CISC的命令機能 3カテゴリ
命令語長	18 ^{bit} ・外長(88命令) 32 ^{bit} ・外長(29命令)
命令体系	2オペランド、3オペランド
浮動小数点 演算	データ 32ビット単精度 命令 IEEE754標準四則演算、型変換命令
パイプライン 命令1つ/2 性能(425MHz)	1クロックビット 5段 1KB ディレクト・マップ方式 平均15MIPS 浮動小数点演算 平均0.88MFLOPS
プロセス チップサイズ	0.8μm CMOS 2層アルミ配線 7.7×7.7 [mm ²]
素子数	約24万トランジスタ
パッケージ	160ピン・プラスチック・QFP
動作電圧	2.2 [V] ~ 5.5 [V]
動作周波数	DC ~ 25 MHz ± 0.5% DC ~ 15 MHz ± 0.5% DC ~ 10 MHz ± 0.25%
動作温度範囲	0 ~ 70°C
消費電力	500 [mW] typ. @ 5.0V 25MHz 100 [mW] typ. @ 3.0V 16MHz 40 [mW] typ. @ 2.2V 10MHz

3. アーキテクチャ

3.1 レジスタ・セット

V810の主なレジスタは、32本の汎用レジスタ(r0~r31)と、プログラム・カウンタ(PC)と10本のシステム・レジスタである。汎用レジスタとプログラム・カウンタは32ビット幅である。システム・レジスタは、V810チップの状態制御、例外/割込み時の情報の退避などのために用意されており、PSW(プログラム・ステータス・ワード)、CHCW(キャッシュ・コントロール・ワード)などがある。

3.2 アドレス空間

V810は4GB(32ビット・アドレス)のリニアなメモリ空間と、同じく4GBのI/O空間を有する。

3.3 命令セット

(1) 命令分類

V810の命令は85個あり、「基本的な命令」と「高機能な命令」の2つに大別することができる。

基本的な命令は、いわば多くのRISCプロセッサが標準的に備えるような命令機能である。ロード/ストア命令、イン/アウト命令、整数の算術論理演算命令、シフト命令、分岐命令など32種類・64個ある。V810は乗除算以外の算術論理演算命令などは1クロックで実行する。

高機能な命令は、いわばCISC的な命令機能である。浮動小数点演算命令、ビットストリング命令など3種類・21個ある。これらの命令の実行は基本的な命令より複雑で、マイクロプログラムによりアルゴリズムックに実行される。浮動小数点演算命令はIEEE754に準拠しており、32ビット単精度の浮動小数点データに対する四則演算命令、比較命令、整数と浮動小数点数との型変換命令などがある。ビットストリング命令には、1つのビット列に対する0または1のサーチ、転送、2つのビット列に対する論理演算命令がある。

(2) 命令フォーマット

V810の命令語長は2バイトと4バイトの2種類のみである。命令語長を2バイトと4バイトに限定することにより、一般的なRISCプロセッサと比較してメモリ効率が向上した。

3.4 割込みと例外

割込みまたは例外が発生するとV810は処理中の命令の実行完了を待って(状況によっては命令の実行を中断して)、PCとPSWをシステム・レジスタに退避し、PSWの各フラグの操作等を行なったあと、事象毎に定められたエントリ・アドレスに制御を移す。

(1) 割込み

V810の外部端子からの割込みにはマスク割込みとノンマスク割込みの2種類が規定されている。マスク割込みはINT端子(割込み要求信号入力端子)からの入力信号により発生する。V810はINTV<3>~INTV<0>端子(割込みベクタ入力端子)からの入力信号により優先順位付き16レベルの割込み要因を区別する事ができる。ノンマスク割込みはNMI端子からの入力信号により発生する。マスク割込みはPSWのID(Interrupt Disable)ビットにより割込みの発生を制御することができるが、ノンマスク割込みはIDビットに影響されない。

整数除算命令、浮動小数点演算命令、ビットストリング命令の実行中に割込みが発生すると、V810はその命令の実行状況に応じて命令の処理を中断する。これにより割込み受け不可期間を短縮して割込み応答性を向上している。

(2) 例外

V810の例外の要因は、不正命令コード、ソフトウェア・トラップ、アドレス・トラップ、ゼロ除算、4つの浮動小数点演算例外がある。V810内部での例外受け付け処理にはPSWのフラグの状態に依存して、通常の例外処理、二重例外処理、致命的例外処理の3通りがある。二重例外処理は、通常の例外処理ハンドラでの処理中に新たな例外発生した場合である。致命的例外処理とは二重例外またはノンマスカブル割込み処理ハンドラでの処理中に新たな例外発生した場合である。致命的例外が発生するとV810はマシンフォルト状態となりプロセッサとしての動作を停止する。

4. ハードウェア

4.1 内部ブロック

図1にV810の内部ブロック図を示す。

V810の機能ユニットには、命令キャッシュ、命令デコーダ、実効アドレス生成ユニット、マイクロ制御ユニット、実行ユニット、アドレス・ユニット、データ・ユニットがある。

(1) 命令キャッシュ

命令キャッシュは1Kバイトの容量を持ち、ダイレクト・マップ方式を採用している。ユーザはV810の命令キャッシュを使用する(論理的にアクティブにする)・使用しない(論理的にインアクティブにする)を、リセット時のTCHHEN端子への入力信号によりハードウェア的に(静的に)制御することができる。リセット時にTCHHEN端子にロー・レベルの信号を入力して命令キャッシュを論理的にアクティブにした場合には、その後にプログラムによりCHCW(キャッシュ・コントロール・ワード)へ制御情報を書込むことによって命令キャッシュの活性・不活性、キャッシュ・クリア、リストア、ダンプを動的に制御することができる。キャッシュ・ヒット時には1クロック期間に4バイト分の命令コードを命令デコーダに対して供給する。またキャッシュ・ミスヒット時には、基本的に16バイトを1単位として主記憶から命令コードを取込む。(リプレース)

(2) 命令デコーダ

命令デコーダは、命令コードをフェッチして

デコードし、実効アドレス生成ユニットとマイクロ制御ユニットに対して命令の実行に必要な情報を供給し、これらを制御する。

(3) 実効アドレス生成ユニット

実効アドレス生成ユニットは、命令デコーダにおいて実効アドレス計算を伴う命令がデコードされたときには、命令デコーダから供給されるディスプレースメントなどの情報に基づいて、実効アドレス計算を行なう。

(4) マイクロ制御ユニット

マイクロ制御ユニットはマイクロプログラムROMとワイヤード・ロジックから構成される。このユニットは命令デコーダから供給される指示情報を受けて、実行ユニットを制御する。多くの基本的な命令(RISC的な命令機能)については、ワイヤード・ロジックで実行ユニットを制御する。高機能な命令(CISC的な命令機能)の処理アルゴリズム、例外処理のアルゴリズムなどがマイクロプログラムにより実現されている。

(5) 実行ユニット

実行ユニットには汎用レジスタ、ALU、バレルシフタ、ワーキング・レジスタ、浮動小数点演算サポート・ハードウェアなどがある。

(6) アドレス・ユニット、データ・ユニット

アドレス・ユニットはオペランドのシーケンシャル・アクセス制御、プリフェッチの制御、命令キャッシュのリプレースなどの制御を行なう。データ・ユニットは外部メモリやI/Oとデータのやりとりを行なう。

4.2 パイプライン制御

V810のパイプラインは5段のステージから構成され、各ステージは基本的に1クロックで処理が終了する。

V810は命令キャッシュを内蔵することにより1クロックでの命令フェッチを実現している。条件分岐命令は条件判定が命令デコーダで行なわれるため、分岐時3クロック、非分岐時1クロックで実行される。多くの基本的な命令(RISC的な命令機能)については、ワイヤード・ロジックで実行制御することにより実行ユニットでの処理を1クロックで終了する。V810はデータ・キャッシュの代わりにデータ・ユニットに2段のライト・バッファを持ち、こ

の2段のライト・バッファにより連続する2命令までのストア命令を1クロックで実行することが可能である。

V810ではパイプライン動作に付随するフラグハザード、レジスタハザードをハードウェアで自動的に検出してインターロックを行なうため、ユーザはアセンブラによるプログラム作成時にV810のパイプライン動作等を意識する必要はない。またディレイド分岐を行なわない。

4.3 外部端子関連

(1) パッド

V810チップは、

- 入力信号用パッドを19個、
- 出力信号用パッドを58個、
- 入出力信号用パッドを32個、
- 電源用パッドを25個、
- グランド用パッドを25個

持つ。

(2) 外部バス機能

V810の外部データバスは32ビット、外部アドレスバスは31ビットである。V810は1バス・サイクルあたり最小2クロックでワード(4バイト)を転送する。バス・サイクルの長さはREADY端子への入力信号によりクロック単位で延長することができる。

V810には外部データ・バス幅を16ビットまたは32ビットにするバス・サイジング機能を持つ。そしてV810のバス・サイジング機能には16ビット・バス・モードとダイナミック・バス・サイジングの2種類がある。

16ビット・バス・モードではV810はデータバスの下位16ビット(D<15-0>)のみを使用して命令・データの授受を行ない、上位16ビット(D<31-16>)はハイ・インピーダンス状態にするため、消費電力の低減に効果がある。

ダイナミック・バス・サイジングでは、32ビット外部データ・バスを用いる各バス・サイクルでREADY端子入力と同時にサンプルされるSZRQ端子にロー・レベルを入力することによって、V810はそのバス・サイクルについてだけD<15-0>のみを使用してデータの授受を行なう。

4バイト分を授受するバス・サイクルについてバス・サイジングを行なう時には、V810は自動的に2回のバス・サイクルを連続して起動し、1回目は下位2バイト、2回目は上位2バイトを授受する。

4.4 回路設計

V810の回路設計時点で留意した点について報告する。

(1) クロック

V810ではCLK端子(クロック入力端子)からクロック信号として50%デューティの矩形波を入力する。V810はクロック入力を内部で分周せず、入力のままの周波数で動作する。V810はクロック停止が可能である。リセット期間を唯一の例外として、外部のハードウェアによりクロック入力をいつでも停止(CLK端子をハイ・レベルまたはロー・レベルに固定)することができ、停止状態からすぐにランニング状態にすることができる。V810への入力クロック信号を外部で停止することにより、V810の消費電力を低減させる事が可能である。

V810の内部クロックは非重複の2相クロック信号($\phi 1$ 、 $\overline{\phi 1}$ 、 $\phi 2$ 、 $\overline{\phi 2}$)で、チップ上の場所によるクロックスキューが1nsec以下を目標として設計した。

クロックスキュー低減のために、CLK端子から入力された原クロック信号を一旦初段バッファで受け、レイアウト構造も対称な2つのクロックドライバ・ユニットへ、それぞれ等長の配線で供給した。2つのクロックドライバ・ユニットはチップの隣り合わない2辺の中央付近に配置した[3]。クロック配線は、基幹配線と最小線幅の配線の2段階の階層を持たせた。基幹配線はコア中央の自動レイアウト部分の両側に引いた。2つのクロックドライバ・ユニットからはそれぞれ4本の基幹配線に4本の内部クロック信号($\phi 1$ 、 $\overline{\phi 1}$ 、 $\phi 2$ 、 $\overline{\phi 2}$)が出力され、それぞれクロックドライバの出力は基幹配線により短絡されている。個々のゲート類へのクロック配線は基幹配線から最小線幅の配線で引いた。

4本のクロック信号の負荷容量はレイアウト終了後の見積りで1本平均86pFであった。

(2) チップ内のゲートの論理振幅

V810は基本的にCMOSスタティック設計であり、チップ内の信号の論理振幅は電源電位とグラウンド電位である。

4.5 低消費電力・低電圧動作について

(1) 消費電力

一般にマイクロプロセッサの消費電力を決定するものは、負荷容量の充放電電流と貫通電流である。[文献2など]

1つのCMOS論理ゲートが負荷容量 C_{L1} を、 V_{DD} の電位から0 Vまで放電するとき、1回につき $C_{L1}V_{DD}$ だけ電荷が移動するから、このゲートの入力が周波数 f で変化する場合にこのゲートが負荷容量 C_{L1} を充放電するための電流 I_{c1} は

$$I_{c1} = f C_{L1} V_{DD}$$

である。

多数の論理ゲートが消費する全充放電電流 I_c は、個々のゲートの出力の0/1遷移の頻度を κ_i とすると

$$I_c = f V_{DD} \sum \kappa_i C_{L1} \quad \dots (4-1)$$

である。

V810のランダムロジック部分について、機能シミュレーションによりノード(個々のゲートではない)の出力の0/1遷移の頻度 κ を試算した。ランダムロジック部分は1150ノード、機能シミュレーションに使用した入力パターンは約20Kクロック分であるがその中の1992クロック分について、各ノードの0/1遷移(トグル)回数を測定した。トグル回数は延べ92880回であった。従ってランダムロジック部分の1ノード・1クロックあたりの平均の0/1遷移回数(0/1遷移の頻度 κ)は、

$$\begin{aligned} \kappa &= 92880 / (1149 \times 1992) \\ &= 0.04 \end{aligned}$$

である。

ここでは機能シミュレーションによりノードの出力の0/1遷移の頻度を測定したが、同様の方法で論理シミュレーションによりゲートの出力の0/1遷移の頻度を測定する事もできるが、今回は論理シミュレータの機能的な制限から行っていない。この「 κ の値の測定法」には、測定したトグル回数が使用する入力パターンに依存する、タイミング・ハザードに起因

する出力遷移は考慮されない、などの誤差の要因がある。

(2) 消費電力の低減

式(4-1)によれば負荷容量の充放電電流による消費電力を低減させる為の指針として次のようなものがある。

① " f " の項を低減する。

ある機能ブロックを使用する時または高速動作が必要な時にのみ選択的にクロック周波数を増加させ、それ以外は低い周波数のクロックを供給する、またはそのブロックへのクロックの供給を選択的に停止する、という方法が考えられる。

② " V_{DD} " の項を低減する。

このためには、電源電圧を下げる、出力信号の振幅の低減する等の方法が考えられる。電源電圧を下げる方法としては、チップ全体の電源電圧を下げる方法とコア部分の電圧のみを下げる方法とが考えられる。

③ " C_{L1} " の項を低減する。

このためには、素子数を減らす、個々の論理ゲートのレイアウト・セルの出力容量とゲート容量を低減する、ブロックを小さい領域にレイアウトし総配線長を低減して配線容量を低減する、などの方法がある。

V810のランダムロジック部分の設計については③の方法を採用した。自動論理合成ツールにより、論理を圧縮して素子数を減らした。また遅延解析により遅延時間の許す範囲で小さいディメンジョンのゲートを使用した。

またV810では貫通電流を低減するためにROM、RAM、PLAのセンスアンプ部分などはDC電流パスを持たない。

5. 設計手法

V810の機能設計・検証は社内製の機能シミュレータを使用し、テープアウト前に1200万クロック分のテストパターンの正常動作を確認した。またこのパターンによりトグル網羅率は99%を達成した。このテストパターンにはリアルタイムOSの走行テストに関するパターンが含まれている。回路設計については、データバス、ROM、RAM、PLA、クロックドライバ、外部インターフェース部は設計者の

7. まとめ

V810はRISC技術を採用した32ビット・マイクロプロセッサである。V810は0.8 μm CMOS 2層アルミ配線プロセスにより、7.7 \times 7.7 mm^2 のチップ上に24万トランジスタを集積した。V810は電源電圧2.2Vから5.5Vで動作し、外部からの入力するクロックを停止することができる。動作周波数、データ処理平均性能および平均消費電力は、電源電圧が5V時に25MHz、15MIPS、500mW；同じく2.2V時に10MHz、6MIPS、40mWを達成した。またV810は浮動小数点演算機能、ビットストリング機能なども有する。

参考文献

- [1]楠田、平位他「低消費電力・低電圧動作のオジナル32ビットRISCマイクロプロセッサV810」、NEC技報Vol.45 No.8,1992年
- [2]菅野監修、飯塚著「CMOS超LSIの設計」培風館、1989年
- [3]Y.Yano ET AL."A 32b CMOS VLSI Microprocessor with On-Chip Virtual Memory Management" ISSCC Digest of Technical Papers P36, 1986