

# WSIシステムの耐雑音構成法

苫米地 宣裕

八戸工業大学

〒031 青森県八戸市字大開88-1

あらまし

WSIは、1個の雑音によってシステム全体が障害を受ける可能性を有する。しかし、通常の雑音対策である2重化、3重化は、WSIのシステム全体を単一のウェハー上に集積できるという利点を失うので採用できない。本稿では、雑音障害がクロックパルスのタイミングと重なるときに発生し易いことと、剰余数系の冗長性が1けた単位に導入できるという特長に注目して、WSIシステムを剰余数系に基づいて構成し、かつ、剰余数系の各けたをそれぞれ位相の異なるクロックパルスで駆動するという耐雑音システム構成法を提案する。提案した構成法の第一の利点は、冗長なハードウェアが少ないことであり、WSIシステムに適していると考えられる。

## Design of Noise-Tolerant WSI Systems

Nobuhiro TOMABECHI

Hachinohe Institute of Technology  
Obiraki 88-1, Hachinohe 031 Japan

### Abstract

In WSI systems, a single noise has the possibility of giving faults to all of the circuits in the system. The dual system or the triplex system can not be applied to WSI systems, since the most important merit of WSI, namely all of the system is integrated on a single wafer, must be lost. This paper presents a design method of noise-tolerant WSI systems. The method is written as: ① the system is designed based on the residue number system, ② each circuit related to each digit of the residue number system is driven by each clock pulse whose phase is different from the other clock pulse. The most significant merit of the presented method is that the redundant hardware is small, so that it can be effectively employed to WSI systems.

## 1 まえがき

WSI<sup>(1)</sup>においては、システム全体が1枚のシリコンウェーハ上にすべて集積されるので、1個の雑音によって、システム全体が障害を受ける可能性を有している。通常、雑音対策としては、ハードウェアを2重化、または、3重化する方法がとられる<sup>(2)</sup>。しかし、WSIの第1の特長は、システム全体を単一のウェーハ上に集積できることであり、2重化、3重化はこの特長を失うこととなるので採用できない場合も考えられる。次の対策としては、クロックを2重化、3重化する方法が考えられる<sup>(3)</sup>。これは、雑音障害がクロックのタイミングで発生することが多いことから、2つ、または、3つの位相の異なるクロックで動作する別々のハードウェアを1枚のWSI上に構成するものである。しかし、WSIのハードウェア、すなわち、ウェーハの面積を2倍、3倍にすることは、歩留りの大幅な低下を生じるので<sup>(4)</sup>、実際的でないと考えられる。以上の理由により、冗長なハードウェアが少なく済むWSIシステムの耐雑音構成法が求められている。

ところで、剰余数系においては、加算・乗算が剰余数の各けたごとに完全に並列に分割できること、および、冗長なけたを付加すると、1つのけたに誤りが発生しても、そのけたの値を他の正常なけたの値から算出できるという性質が知られている<sup>(5)・(6)</sup>。

本稿では、WSIシステムを剰余数系に基づいて構成し、かつ、剰余数系の各けたの回路をそれぞれ異なる位相のクロックで動作させるという耐雑音システム構成法を提案する。本構成法は、2重化、3重化に比較して冗長なハードウェアが大幅に少なく済むという特長を有している。以下、本構成法を、「剰余数系・多相クロック法」とよぶことにする。

## 2 剰余数系・多相クロック法によるWSIシステムの構成法

### 2.1 冗長剰余数系の性質

以下の論述に必要な剰余数系の性質について、ここでまとめておく<sup>(5)・(6)</sup>。

【定義1】剰余数系においては、まずモジュラスとして、いくつかの互いに素な整数が定められる。今、モジュラスの個数(けた数ともいう)を $N$ 、各モジュラスを、 $m_1, m_2, \dots, m_N$ と表わす。このとき、ある数 $X$ は、次のように表現される。

$$X = (x_1, x_2, \dots, x_N) \quad (1)$$

$$x_i = |X|_{m_i} \quad (i=1, 2, \dots, N) \quad (2)$$

ただし、記号 $|X|_m$ は $X$ を $m$ で割った剰余を表わしている。また、表現される数 $X$ の範囲は、次のようになる。

$$0 \leq X < m_1 m_2 \cdots m_N \quad (3)$$

【定理1】2つの剰余数 $A = (a_1, a_2, \dots, a_N)$ 、 $B = (b_1, b_2, \dots, b_N)$ の演算は次のようになる。

$$A * B = (|a_1 * b_1|_{m_1}, |a_2 * b_2|_{m_2}, \dots, |a_N * b_N|_{m_N}) \quad (4)$$

ただし、 $*$ は加算、乗算、または、それらの混合演算を表わしている。

定理1は、剰余数系においては、加算・乗算からなる算術演算システムは、モジュラスごとのサブシステムに完全に並列に分割できることを示している。

【定義2】冗長剰余数系は、定義1の剰余数系に、いくつかの冗長なモジュラスを付加したものをいう。ただし、表現される数 $X$ の範囲は式(3)のままとなる。また、冗長なモジュラスは次のように選ばれる。ただし、冗長なモジュラスは1個だけとし $m_{N+1}$ と表わすと、

$$m_{N+1} > m_1, m_2, \dots, m_N \quad (5)$$

[定理2] 冗長剰余数系においては、任意のN個のけたの値が定まれば残りのけたの値は一意に定まる。

定理2は、障害を受けたけたの値を他の正常なけたの値から求めることができることを示している。

この既知のけたの値から、未知のけたの値を求める演算はベース拡張と呼ばれている。このベース拡張アルゴリズムを、任意のけたの値を求められるように拡張した誤り訂正アルゴリズムが知られている<sup>(7)</sup>。これは、次のように定式化されている。ただし、冗長なけたの個数を1とし、求めるけたの番号をeとする。また、冗長なけたを含めた全けた数をMとおく。

[アルゴリズム1]

(手順1)  $R^{(1)} = (x_1, x_2, \dots, x_{e-1}, 0, x_{e+1}, \dots, x_M)$  とおく。

(手順2)

$$\begin{aligned} |R^{(k+1)}|_{m_i} &= |R^{(k)} - r_k|_{m_i} \cdot \frac{1}{m_k} |m_i|_{m_i} & : k \neq i, e \\ |R^{(k)}|_{m_i} & & : k = i, e \end{aligned} \quad (6)$$

$$r_k = |R^{(k)}|_{m_k} \quad (7)$$

また、 $\frac{1}{m_k} |m_i|_{m_i}$  は、次式で定義される逆元を表わしている。

$$\frac{1}{m_k} |m_k|_{m_k} = 1 \quad (8)$$

この計算を、k、iを変えて、次の間行う。

$$1 \leq k \leq M, 1 \leq i \leq M \quad (9)$$

(手順3)

$$x_e = |M_e \cdot |R^{(M+1)}|_{m_e}|_{m_e} \quad (10)$$

$$M_e = |-m_1 m_2 \cdots m_M / m_e|_{m_e} \quad (11)$$

## 2・2 WSIシステムと雑音のモデル

本稿では、WSIシステムと雑音を以下のようにモデル化して取り扱うこととする。

[仮定1] WSIシステムは、加算、乗算、および、記憶の機能を有する。

[仮定2] WSIシステムは、パイプライン構成をとる。

[仮定3] WSIシステムは、雑音とクロックパルスが重なったとき障害を受ける。

[仮定4] WSIシステムでは、雑音により障害を受けたとき、同じクロックで動作しているすべての回路が障害を受ける。

[仮定5] 雑音はインパルスで、その幅はクロックパルスより十分に狭い。

[仮定6] 雑音分布はランダムとする。

仮定1より、ここで取り扱うWSIシステムは、剰余数の各けたごとのサブシステムに、完全に分割できることとなる。仮定2を設けた理由は、WSIシステムにおいてはパイプライン構成が多く用いられること、および、パイプライン構成は雑音の影響をより厳しく受けることによる。

## 2・3 提案するシステム構成法

本稿で提案する「剰余数・多相クロック法」によるシステム構成法は次のようになる。

[手順1] 剰余数系に基づいてシステムを構成する。

[手順2] 各けたをそれぞれ位相の異なるクロックパルスで動作させる。

[手順3] 各けたに障害検出器を設置する。障害検出器は、例えば誤り検出符号などを用いて、障害検出を行うものとする。

[手順4] 障害の生じたけたの値を他のけたの値から算出する回路（以下、誤り訂正回路とよぶ）を設置する。

図1(a)に、本方法に基づくシステム構成を示している。

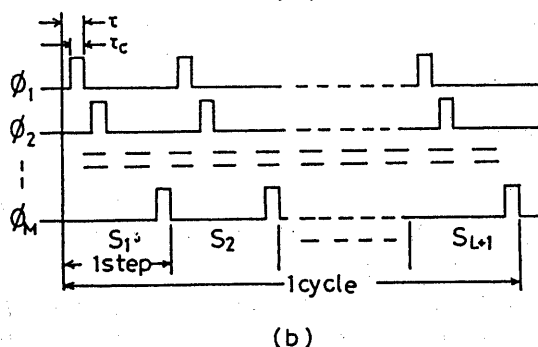
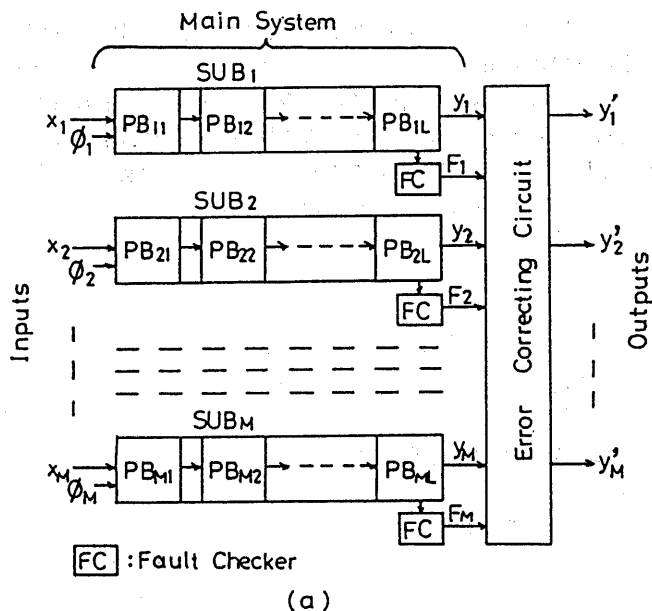


図1 提案するシステム構成とクロックパルス  
(a) システム構成、(b) クロックパルス

図において、システム全体は演算を行う主システム (main system) と誤り訂正回路 (error correcting circuit) から構成されている。主システムは、剰余数系に基づいて構成され、剰余数の各けたごとのサブシステム、 $SUB_1$ 、 $SUB_2$ 、 $\dots$ 、 $SUB_M$  に完全に並列に分割されている。ただし、 $M$  は冗長けたを含めた全けた数を表わしている。各サブシステムは、位相の異なるクロックパルス  $\phi_1$ 、 $\phi_2$ 、 $\dots$ 、 $\phi_M$  で駆動されている。このシステム構成においては、1つのクロックタイミングで生じた障害はそのクロックで駆動されるサブシステムに留まり、他のサブシステムに伝播することはない。各サブシステムには、障害を検出する障害検出器 (fault checker) が付加されている。その出力信号は誤り訂正回路に送られ、どのけたに障害が生じたかという情報となる。1つのサブシステムはいくつかのパイプラインブロック (以下、PBとよぶ) に分割され、PBを単位としてパイプライン動作を行う。

図1 (b) に、タイムチャートを示している。図において、 $\tau$  は各クロックの時間幅を、 $\tau_c$  は2つのクロックの間隔を表わしている。クロックの間には無駄時間をとっているが、これは、雑音が2つのクロックの境界で発生した時、2つのクロックタイミングに同時に影響を与えることを防いでいる。図には、パイプライン動作のステップ  $S_1$ 、 $S_2$ 、 $\dots$ 、 $S_L$ 、 $S_{L+1}$  も示している。ただし、 $S_{L+1}$

は誤り訂正に割り当てられている。パイプライン動作の1ステップの時間 $T_s$ は次式で表わされる。

$$T_s = M\tau = M\eta\tau_0 \quad (12)$$

ただし、 $\eta$ は $\tau/\tau_0$ を表わしている。また、 $\eta$ はクロックの間の無駄時間によって1サイクルの時間が增加する割合をも表わしている。

本システムの1サイクルの時間 $T_c$ は次式で表わされる。

$$T_c = (L+1)T_s \quad (13)$$

ただし、上式の+1は誤り訂正回路のステップの分を示している。後述するように、誤り訂正回路が1個のデータを訂正するために要する時間は、主システムのパイプライン動作1ステップの時間に等しい。

誤り訂正回路は、アルゴリズム1に基づき、図2のように構成される。図示したように誤り訂正回路は、減算器、係数乗算器、遅延、および、マルチプレサを1つの単位とし構成されている。この1組の減算器、係数乗算器、遅延、マルチプレサを、以下、基本回路とよぶこととする。なお、遅延はすべての基本回路の演算時間を揃え、パイプライン動作を行うために付加している。

誤り訂正回路の動作は次のように行われる。いま、サブシステムSUB<sub>e</sub>が障害となったとする。

[操作1] SUB<sub>e</sub>の出力を0にする。

[操作2] 第e段目の基本回路の演算をパスする。これは、マルチプレサによりデータが演算回路をバイパスするようにして実行する。

[操作3] 誤り訂正回路のe段目の出力をSUB<sub>e</sub>の正しい出力とする。

誤り訂正回路内の基本回路の直列方向の段数 $ST_1$ は、次の式で与えられる。

$$ST_1 = M+1 \quad (14)$$

しかし、誤り訂正の実行においては1つの基本回路がバイパスされるので、誤り訂正時間に関する基本回路の段数 $ST_2$ は次のようになる。

$$ST_2 = M \quad (15)$$

誤り訂正回路内の基本回路はパイプライン動作を行う。ただし、パイプライン動作の各ステップには、主システムとは異なり、連続するすべてのクロック、 $\phi_1, \phi_2, \dots, \phi_M$ が割り当てられる。このため、誤り訂正回路の誤り訂正に要する時間は、1つのPBのデータについて、PBのパイプライン動作の1ステップと丁度等しくなる。以上の結果、誤り訂正動作は、主システムのパイプライン動作と完全に同期しながら行うことができる。

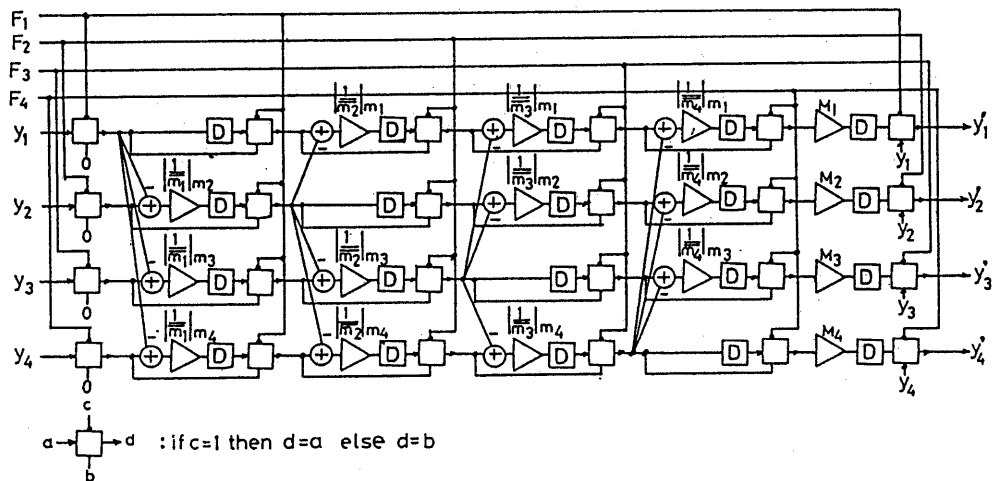


図2 誤り訂正回路

雑音があるクロック  $\phi$  のタイミングで加わった場合、 $\phi$  のタイミングで動作するサブシステム  $S$   $UB$  のすべてのデータが障害を受ける。従って、誤り訂正は、 $L$  段の  $PB$  のデータすべてについて順次行うこととなる。よって、誤り訂正が完了するには、式 (13) で表わされる 1 サイクルの時間  $T_c$  を要することとなる。

本システムは、冗長なけたが 1 個なので単一の雑音による障害は許容できるが、雑音が近接して到来した場合、すなわち、誤り訂正回路で訂正を完了する以前に、次の雑音が到来し第 2 の障害が生じた時はシステムダウンとなる。

本システム構成法の特長は、冗長性が 1 けた単位で導入できる点にある。いま、非冗長なシステムを  $N$  けたで構成しこれに冗長なけたを 1 けた付与する場合を考えると、各けたのハードウェアの規模が等しいとすると、冗長なハードウェアは  $1/N$  で済むこととなる。

### 3 システムの信頼度解析

#### 3.1 提案したシステムのマルコフモデル

提案した「剰余数系・多相クロック法」に基づく  $WSI$  システムのマルコフモデルを、図 3 に示している。図において、 $S_0$  は正常な状態、 $S_1$  はサブシステム  $SUB_1$  1 個だけ障害となった状態、 $S_2$  は  $SUB_2$  1 個だけ障害となった状態、 $\dots$ 、 $S_M$  は  $SUB_M$  1 個だけ障害となった状態、 $S_D$  はシステムダウンの状態を示している。また、 $P_0(t)$ 、 $P_1(t)$ 、 $\dots$ 、 $P_M(t)$ 、 $P_D(t)$  は、システムが時刻  $t$  において、それぞれ、状態  $S_0$ 、 $S_1$ 、 $\dots$ 、 $S_M$ 、 $S_D$  にある確率を表わしている。また、 $\lambda_0$  は雑音による  $S_0$  から  $S_1 \sim S_M$  への遷移確率、 $\lambda_D$  は雑音による  $S_1 \sim S_M$  から  $S_D$  への遷移確率、 $u_1$ 、 $u_2$ 、 $\dots$ 、 $u_M$  は、それぞれ、状態  $S_1$ 、 $S_2$ 、 $\dots$ 、 $S_M$  から  $S_0$  に回復する確率を示している。

$\lambda_0$ 、および、 $\lambda_D$  は次式で与えられる。ただし、 $T_N$  は平均雑音間隔を表わしている。

$$\lambda_0 = L / (M \eta T_N) \quad (16)$$

$$\lambda_D = (L+1) / (\eta T_N) \quad (17)$$

上の  $\lambda_D$  の係数を  $(L+1)$  としたのは、誤り訂正回路の動作中に雑音が到来するとシステムダウンとなるので、その誤り訂正のサイクルを含めたものである。

回復確率  $u_1 \sim u_M$  は、それぞれ、 $S_1 \sim S_M$  の回復時間の逆数となる。 $S_1 \sim S_M$  のそれぞれの回復時間を  $w_1 \sim w_M$  と表わすと、これらは次のようになる。

$$w_i = L T_s + \tau \quad (i=1 \sim M) \quad (18)$$

図 3 のモデルのままでは状態数が多く取扱いが困難なので、図 4 のように簡略化して表わす。図において、 $S_a = \{S_1, S_2, \dots, S_M\}$ 、すなわち、 $S_a$  は、サブシステムのいずれか 1 つが障害となった状態を示している。また、 $P_a(t)$  はシステムが状態  $S_a$  にある確率を表わしている。また、 $\lambda$  は  $S_0$  から  $S_a$  への遷移確率を、 $u$  は  $S_a$  から  $S_0$  への回復確率を表わしている。 $P_a(t)$ 、

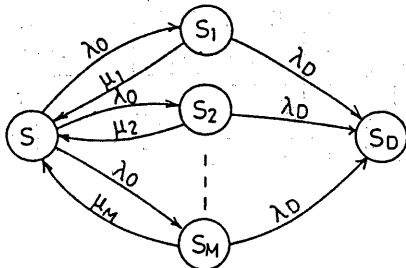


図 3 本システムのマルコフモデル

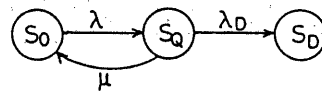


図 4 簡略化したマルコフモデル

$\lambda$ については次式が成り立つ。

$$P_a(t) = P_1(t) + P_2(t) + \dots + P_M(t) \quad (19)$$

$$\lambda = M \lambda_0 = L / (\eta T_N) \quad (20)$$

$u$ の値は以下のようにして求められる。まず、 $S_0$ から $S_1 \sim S_M$ への各遷移確率と $S_1 \sim S_M$ から $S_0$ への各遷移確率は等しいので、 $P_1(t) \sim P_M(t)$ の値は、回復時間 $w_1 \sim w_M$ によって定まる。いま、 $P_1(t) \sim P_M(t)$ の値は、回復時間 $w_1 \sim w_M$ の値に比例すると考えると、次の式が成り立つ。

$$P_i(t) = P_a(t) w_i / (w_1 + w_2 + \dots + w_M) \quad (i=1 \sim M) \quad (21)$$

$$u_i = 1 / w_i \text{ であるから,} \quad (22)$$

$$u_i P_i(t) = P_a(t) / (w_1 + w_2 + \dots + w_M) \quad (i=1 \sim M) \quad (23)$$

よって、

$$\begin{aligned} u P_a(t) &= u_1 P_1(t) + u_2 P_2(t) + \dots + u_M P_M(t) \\ &= P_a(t) M / (w_1 + w_2 + \dots + w_M) \end{aligned} \quad (24)$$

従って、 $u$ は次のように求まる。

$$u = M / (w_1 + w_2 + \dots + w_M) \quad (25)$$

すなわち、 $u$ は回復時間 $w_1 \sim w_M$ の平均値の逆数となることが分かる。式(18)の $w_1 \sim w_M$ の値を代入すると、 $u$ は次のように表わされる。

$$u = 1 / \{(L+1/2) T_s\} = 1 / \{(L+1/2) \eta \tau M\} \quad (26)$$

### 3・2 信頼度を表わす式の導出

図4に従って、提案したシステムの信頼度を求める<sup>(9)</sup>。まず、状態遷移方程式を立てると次のようになる。

$$P_0(t+\Delta t) = (1 - \lambda \Delta t) P_0(t) + u \Delta t P_a(t) \quad (27)$$

$$P_a(t+\Delta t) = (1 - \lambda_D \Delta t - u \Delta t) P_a(t) + \lambda \Delta t P_0(t) \quad (28)$$

$$P_D(t+\Delta t) = P_D(t) + \lambda_D \Delta t P_a(t) \quad (29)$$

上の差分方程式を $\Delta t \rightarrow 0$ として微分方程式にすると、

$$dP_0(t) / dt + \lambda P_0(t) - u P_a(t) = 0 \quad (30)$$

$$dP_a(t) / dt + (\lambda_D + u) P_a(t) - \lambda P_0(t) = 0 \quad (31)$$

$$dP_D(t) / dt - \lambda_D P_a(t) = 0 \quad (32)$$

上式を、初期条件、 $P_0(0) = 1$ 、 $P_a(0) = 0$ 、 $P_D(0) = 0$ の下にラプラス変換すると、

$$P_0^*(s) = (s + \lambda_D + u) / \{s^2 + (\lambda + \lambda_D + u)s + \lambda \lambda_D\} \quad (33)$$

$$P_a^*(s) = \lambda / \{s^2 + (\lambda + \lambda_D + u)s + \lambda \lambda_D\} \quad (34)$$

ただし、 $L\{P_0(t)\} = P_0^*(s)$ 、 $L\{P_a(t)\} = P_a^*(s)$ とおいている。

システムの信頼度を $R(t)$ 、そのラプラス変換を $R^*(s)$ とすると、システムの信頼度は、1個の障害までは許容できるから、次のように与えられる。

$$R^*(s) = P_0^*(s) + P_a^*(s) = (s + \lambda + \lambda_D + u) / \{s^2 + (\lambda + \lambda_D + u)s + \lambda \lambda_D\} \quad (35)$$

$R^*(s)$ をラプラス逆変換することにより、

$$R(t) = K_1 \exp(-s_1 t) + K_2 \exp(-s_2 t) \quad (36)$$

$$s_1 = [\lambda + \lambda_D + u + \{(\lambda + \lambda_D + u)^2 - 4\lambda \lambda_D\}^{1/2}] / 2 \quad (37)$$

$$s_2 = [\lambda + \lambda_D + u - \{(\lambda + \lambda_D + u)^2 - 4\lambda \lambda_D\}^{1/2}] / 2 \quad (38)$$

$$K_1 = (\lambda + \lambda_D + u - s_1) / (s_2 - s_1) \quad (39)$$

$$K_2 = (\lambda + \lambda_D + u - s_2) / (s_1 - s_2) \quad (40)$$

ここで、 $\lambda$ 、 $\lambda_D \ll u$ の条件を考慮すると次の関係が成り立つ。

$$K_1 \sim 0, K_2 \sim 1, s_2 \sim \lambda \lambda_D / u \quad (41)$$

よって、本システムの信頼度  $R(t)$  は次のように求まる。

$$R(t) \sim \exp(-\lambda \lambda_D t / u) \quad (42)$$

上式より、本システムの平均故障間隔 (MTBF)、 $T_m$  は次のように求まる。

$$T_m = u / (\lambda \lambda_D) = \eta T_N^2 / \{L(L+1/2)(L+1)M\tau\} \quad (43)$$

上式より、次のような知見が得られる。

【知見1】  $T_m$  は  $T_N^2$  のオーダーとなる。

【知見2】 パイプライン化によって  $T_m$  が  $1 / \{L(L+1/2)(L+1)\}$ 、約  $1 / L^3$  に低下する。

【知見3】 クロックを多相にしたことにより  $T_m$  が  $1 / M$  に低下する。

知見2より、パイプライン化が信頼度の低下に大きく影響することが明らかとなったが、これはパイプライン化によって、①  $\lambda$  が  $L$  倍、②  $\lambda_D$  が  $L$  倍、③  $u$  が  $1 / L$  に、と3重に影響するためと考えられる。

## 4 むすび

本稿では、WSIシステムに適した耐雑音構成法として、「剰余数系・多相クロック法」とよぶ次のような方法を提案した。

①システムを剰余数系に基づいて構成する。

②各桁を異なる位相のクロックパルスで駆動する。

③誤り訂正回路を付加し、雑音により障害の生じたけたの正しい値を正常なけたの値から算出する。

提案した方法は、冗長なハードウェアが少ないので、WSIのように歩留り低下が決定的に重要なシステムに対してとくに有効と考えられる。

なお、提案した剰余数・多相クロック法は、クロックの数を多くするので、クロック幅を限界値にとる必要があるシステムでは、演算時間が長くなるという問題点も有する。しかし、剰余数系では、加算・乗算の並列演算が可能なので、この特長を活かして演算時間が低下しないようなシステム構成も可能と考えられる。

本稿では、雑音による単一障害について論じたが、今後、複数の障害、あるいは、バースト雑音による障害に耐え得るシステム構成についても検討する予定である。

## 参考文献

- (1) E. E. Swartzlander, Jr.: "Wafer Scale Integration", Kluwa Academic Publisher (1989).
- (2) 当麻、南谷: "フォールトトレラントシステム"、信学誌、vol.63, No.10, pp.1031-1041 (昭55-10)。
- (3) 亀山、樋口: "マイクロコンピュータシステムの高信頼化"、計測と制御、vol.24, No.4, pp.319-324 (昭60-04)。
- (4) 柳井、永田: "集積回路工学II"、コロナ社(昭54)。
- (5) N. S. Szabo and R. I. Tanaka: "Residue Arithmetic and Its Application to Computer Technology", McGraw-Hill, New York (1967)。
- (6) H. M. Etzel and W. K. Jenkins: "Redundant residue number systems for error detection and correction in digital filters", IEEE Trans. Acoust., Speech & Signal Process., ASSP-28, pp.539-545 (Oct. 1980)。
- (7) 苫米地、亀山、樋口: "パルス列剰余数演算回路を用いたデジタル信号処理システムの高信頼化" 信学論(D)、J66-D, pp.340-347 (昭58-03)。
- (8) 原田、二宮: "信頼性工学"、養賢堂(昭和52)。