

組み込み用32bit RISCとASIC開発環境

河井 淳† 森 正実† 和宇慶 康† 楨 和彦‡ 大宅 伊久雄†

† 沖電気工業株式会社 研究開発本部 マルチメディア研究所

‡ 沖電気工業株式会社 電子デバイス事業本部 マルチメディアLSI事業推進センタ

† 〒193 東京都八王子市東浅川町550-5

‡ 〒193 東京都八王子市東浅川町550-1

あらまし

ASIC組み込み用32bit RISC CPU、および周辺I/O等で構成されるマクロモジュールを開発した。また、このマクロモジュールをゲートアレイLSI開発用CADのマクロライブラリとしてデータベース化し、ASIC設計CADシステムを構築した。更に、評価チップを用いたIn-Circuit-Emulator (ICE)、およびASICプロトタイプシステムを開発中である。

本稿では、32bit RISCマクロモジュール、および評価チップの特長を述べ、ASIC開発、およびソフトウェア開発への有用性を示す。

和文キーワード：ASIC, RISC, クロックスキュー, テストロジック, ICE, ASICエミュレータ,

An Embedded RISC and ASIC Design System

Atsushi Kawai †, Masami Mori †, Yasushi Wauke †, Kazuhiko Maki ‡, Ikuo Oyake †

† Media Laboratory, Research & Development Group, OKI Electric Industry Co., Ltd.

550-5, Higashiasakawa-cho, Hachioji-shi, Tokyo 193, Japan

‡ Multimedia LSI Business Development Center, Electronic Devices Group, OKI Electric Industry Co., Ltd.

550-1, Higashiasakawa-cho, Hachioji-shi, Tokyo 193, Japan

Abstract

We have developed a 32bit RISC macro module which consists of a 32bit RISC CPU, peripheral I/O modules, RAM, user logic interface (UIF), and built-in-test-logic (BIST). Also, we have built up an ASIC CAD system, by which users utilize the above macro module as an embedded library. We are now debugging of an in-circuit-emulator (ICE), and an ASIC prototype system.

In this paper, we present the major characteristics of the 32bit RISC macro module and the evaluation chip. Then, we show usefulness of these tools for ASIC design and software development.

英文key words: ASIC, RISC, clock skew, BIST, ICE, ASIC emulator

1はじめに

オーディオ、イメージ、グラフィクス等のマルチメディアデータを扱う機器に組み込むための特定用途向き集積回路 (Application Specific Integrated Circuits; ASIC) のコアCPUとして32bit RISCが注目されている。我々は、ASIC組み込み用RISCプロセッサファミリとして独自アーキテクチャによるmmX (multi media eXecutor)、およびASIC開発/ソフトウェア開発環境を開発した[1][2]。今回、新たに1チップマイコン相当のmmXマクロモジュール、およびASIC設計用LSICADツールを開発した。更にmmX評価チップを用いた評価ボード、およびIn-Circuit Emulator (ICE) の開発を行っている。新たに開発するツールをソフトウェア開発環境と統合することで、ASIC、およびアプリケーションシステム開発環境の充実を図る。本稿では、mmXマクロモジュールの概要を示し、ASIC固有ロジック接続のためのインタフェース、およびLSIテストインタフェースを示し、mmXマクロモジュールをベースとするASIC (以下mmX-ASICと記す) 開発のためのLSICADシステムの概要を示す。更に、評価チップの構成、およびICEのためのインタフェースを示し、統合化されたハードウェア/ソフトウェア開発環境への有用性を確認する。

2 ASIC組み込み用マクロモジュールとASIC設計手法

出来合いのCPU、および周辺モジュールを組み込み、ASICを構成する方法として、カスタマイズの自由度と設計容易性のどちらを重視するかにより大きく2つの設計インタフェースが考えられる。一方はカスタム設計のチップに近い最適化/個別化を図ったASICを構成するための設計インタフェース、もう一方はCPU、内蔵RAM、および周辺I/Oをも含めてライブラリ化されたマイコンシステムに、固有ロジックのみを付加してASICを構成するための設計インタフェースである。前者は、CPU、メモリコン

ローラ、I/Oモジュール等個々のモジュールを単体で自由に組み合わせて利用する環境で、後者は従来の1チップマイコンに固有ロジックを統合するための環境ととらえることができる。前者は必然的に整ってくるものであるが、後者はそれらを利用するための雛型を提供する必要がある。今回我々は、既に開発を終えた組み込み用32bit RISCコア、および周辺I/O等をベースに、これに幾つかのモジュールを追加して構成したmmXマクロモジュールと呼ぶ1チップマイコンに相当する大規模なライブラリを開発し

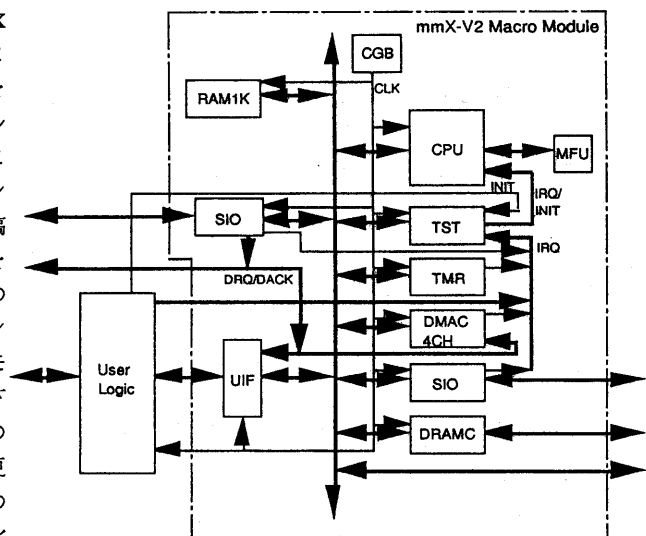


図1 mmX-V2マクロモジュール構成
Fig.1 mmX-V2 Macro Module Block Diagram

た。また、このmmXマクロモジュールを当社のゲートアレイLSI開発用CADシステムにおける埋め込みマクロライブラリとしてデータベース登録を行なった。そしてゲートアレイで構成されるユーザロジックにmmXマクロモジュールを埋め込み、ASICを開発するための設計環境を構築した。mmXマクロモジュールは、図1に示す各モジュールで構成される。

mmXマクロモジュールは、PLLを内蔵するクロックモジュールCGB (Clock Generator Block)、RISC Core Unit (RCU)とBus Interface Unit (BIU)で構成されるCPUモジュール、4K byteのインストラクションキャッシュ、MFU (Multiply Function Unit)、DRAMC (DRAM Controller)、TMR (TiMeR)、2チャンネルのSIO (Serial I/O)、新規開

表1 mmX-V2 モジュール基本仕様
Table1 mmX-V2 Modules Specifications

特長	
内部アーキテクチャ	5段パイプライン方式
汎用レジスタ	32ビット×32語
命令セット	56種(基本) + 乗算6種 + オプション
命令キャッシュ	4kB (VLL方式)
外部割り込み	16入力 (NMI含)、16レベル
バス制御方式	シングルバス方式; 内部32ビット、外部8/16/32ビット
メモリサポート	内蔵ROM/SRAM、外付けROM/SRAM/DRAM直結可能
ウェイト自動発生	デバイス毎に1~7 τ アクセス設定
DRAMC	RAS/CAS発生、リフレッシュ制御、ファストページアクセス
DMAC	4ch、8/16/32ビット、デュアル/シングルアドレス、バック転送
TMR	16ビットインターバルタイマ/フリーランカウンタ
SIO	全2重、調歩同期/クロック同期、ポーレートジェネレータ内蔵、モデム制御
PIO	双方向8ビットデータポート、ハンドシェイク/ポーリングインタフェース
諸元	
動作周波数	40Mhz (0.5 μ)
最大性能 (Dhrystone1.1)	50VAXMIPS ^{注1)} (0.5 μ , 40Mhz, 命令キャッシュ, 32ビットバス, メモリウェイトなし)
規模	79ktr(0.5 μ , RCU, BIU)
消費電力	320mW(0.5 μ , 3.3V, 40Mhz, RCU, BIU, 4kBcache)

注1) VAXMIPS: 1秒当たりのVAX11/780のDhrystone1.1ベンチマークの実行回数1758を1MIPSとしたときの性能値。
VAX11/780は、米国デジタルイクイップメント社の登録商標です。

発の4チャンネルDMAC (DMA Controller)、および1K ByteのRAMに加え、UIF (User logic InterFace)、およびテストロジック (TST; TeST logic) とで構成され、UIFが与える簡単なバスインタフェースで固有ロジックを接続することでASICを構成することができる。mmXマクロモジュールを提供する立場からは、ASIC固有ロジックの設計者はユーザとしてとらえられる。我々はASIC固有ロジックをユーザロジックと呼んでいる。mmXマクロモジュールのうちUIF、およびTSTを除く各モジュールの特長を表1に示す。

2.1 ユーザロジックインタフェース

mmXマクロモジュールのユーザロジックインタフェースUIFは、マクロモジュール内部のメモリバスと論理的にはほぼ透過で、ロード/ストア命令、あるいはDMA転送によりアクセスすることができる。高速動作するCPUの内部タイミングの制約を緩和するために、シンプルでゆったりしたインタフェースタイミングとし、ストロブ信号

を用意することで、ユーザロジックの設計容易化を図った。この結果、1回のリードサイクル、およびライトサイクルにそれぞれ最少4CPUクロックサイクルが必要となった。CPUとユーザロジックとの間のスループットは低下するが、インタフェース回路の組み易さ、およびレイアウトの容易性を重要視した。UIFは、CPUの基本クロック信号、およびユーザロジックのために供給されるクロック信号との間のスキューを吸収する役割も果たしている。mmXマクロモジュールのユーザは、UIFの提供するインタフェースタイミングとクロック信号との間のスキューに煩わされることなくユーザロジックを設計することができる。

2.2 クロックスキューの調整

mmXマクロモジュールを構成する各モジュール、および各モジュール間のインタフェース信号はAクロック、およびBクロックと呼ばれる2相の非オーバーラップクロックを用いて同期設計されている。特にモジュール間のインタフェース信号

は全てAクロックにより同期がとられている。AクロックはASICに供給する外部クロックと同相で、ユーザロジックで使用するクロックとも同相である。LSI外部からの入力クロック信号はCGB内部のPLL回路により同期がとられ、各モジュールに供給される。各モジュール内では、一定のクロックスキューを考慮して回路が生まれ、他モジュールへ（から）のインタフェースタイミングを満足するようにレイアウトがされている。一方、ユーザロジックを構成するゲートアレイ部分は、ゲートアレイ設計用CADによりクロックツリーを用いたクロック信号分配回路が自動生成される。ゲートアレイ部分で生成されるクロックツリーは、最大負荷、あるいは最大遅延となるパスへのクロック信号の遅延を基準として、これに位相を合わせるように遅延挿入されて各セルにク

ロックを供給するものである。したがって、この最大遅延、すなわちLSI外部クロック入力からの絶対遅延時間は、ユーザロジックのゲート規模、およびレイアウト条件によりLSI毎に異なる。このような条件を考慮して、ゲートアレイ部、そしてmmXマクロモジュールにおいてそれぞれ別々の手法で生成され、分配されるクロック信号の同期を両者の上位レベルでとる必要がある。図2はmmX-ASICにおけるクロック分配回路を、図3はmmX-ASIC各部におけるクロック信号の位相関係を示す。

今回我々は、外部クロック入力にたいして遅延挿入を行なうことにより両者間の位相を合わせる方法をとった。挿入すべき遅延量は、最上位階層のレイアウトを予測して決定し、レイアウト後の実遅延評価によりこれを確認した。また、mmXマクロモジュール内のメモリバスタイミングとUIFが提供するユーザロジックインタフェースタイミング間の位相については、Bクロック信号、すなわち基準クロック信号であるAクロック信号の逆相クロックを用いてUIFを構成することにより両者のインタフェースタイミングのギャップを吸収した。

2.3 テストロジックとLSIテスト

mmX-ASICでは、内蔵されるユーザロジックの接続形態、および動作状態とは独立にmmXマクロモジュールをLSI外部から試験できる必要がある。同様にユーザロジックのみを単独でLSI外部から試験する必要がある。当然のことながら、両者を動作させてLSI全体を試験する必要もある。そこで、我々はmmXマクロモジュール

内にテストロジックを設け、LSI外部ピンとして3本のテストモード信号を設けることで、mmX-ASICのテストインタフェースを実現した。これらにより内部バス、および制御信号の電気的な切替を行なうことにより上記のLSI試験にたいする要求を満足させた。

2.3.1 テストモード

mmX-ASICではテストモード0～7までの8つのテストモードが定義されている。

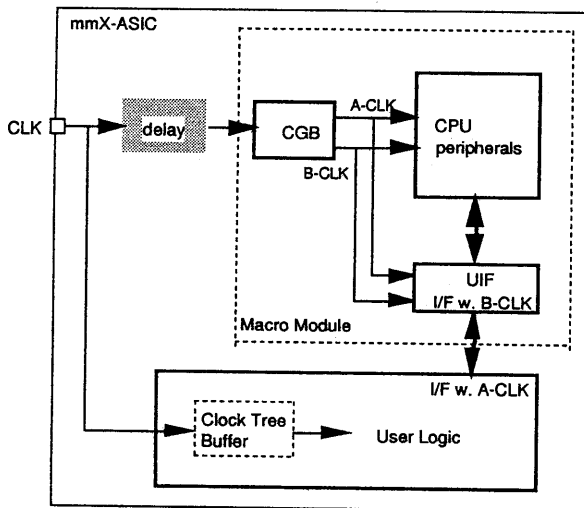


図2 mmX-ASIC クロック分配回路
Fig.2 mmX-ASIC Clock Distribution Circuits

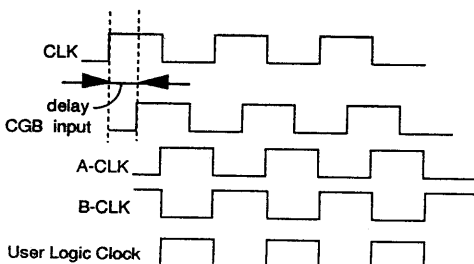


図3 mmX-ASIC クロック位相関係
Fig.3 mmX-ASIC Clock Timing

表2 テストレジスタ

Table2 Test Registers

Register Name	Field-1(bit31~16)	Field-2 (bit15~0)	
Interrupt Test 1	Interrupt_Signal_1	Interrupt_Signal_2	
Interrupt Test 2	Interrupt_Wait_1	Interrupt_Wait_2	
INIT Test	INIT_Wait	INIT_Width	
Config. Test		RDY_Count	Config.

- ・テストモード0は通常モード、すなわちLSIを実使用する場合の動作設定である。mmXマクロモジュール、およびユーザロジックの両方を動作させ主としてASIC全体の試験を行なう。
- ・テストモード1～3では、LSI外部からのみテストプログラムを供給して試験を行なう。テストモード1、2、3は、外部バスがそれぞれ8bit、16bit、32bitのデータ幅の場合に対応する。内部接続されるLSI内部のコンフィグレーション信号、内部割り込み要求信号、およびI/O等の内部デバイス応答信号をユーザロジックとは切り離し、テストロジック内のレジスタ(テストレジスタ)をプログラムすることで、アサート/ネゲートさせる。これによりmmXマクロモジュールの全てのロジックをLSI外部から単独に試験することが可能となる。
- ・テストモード4ではASIC内部のROM、RAMのメモリマクロをLSI外部から直接試験する。mmXマクロモジュールを内部バスと切り離しLSI外部よりアドレス、およびリード/ライト信号を供給し、内部バスに接続されるROM、あるいはRAMを直接アクセスする。
- ・テストモード5～7ではユーザロジックを単独でLSI外部から直接試験する。モード5～7の実際の使用方法はユーザロジックに用意するLSIテストインタフェースの構成に依存する。これらのモードでは、LSIの内部バス、および外部バスに対する制御信号は電氣的に高インピーダンス状態である。ユーザロジック内にテストロジックとして内部バス、および外部バスの制御信号に相当する信号の発生回路を設置することにより、ユーザロジック単独で、あるいはLSI内の他モジュールを駆動して、試験を行なうことが可能である。将来的には、テストモード5～7の一部は標準的なテストロジックを用意し、ユーザロジックに予め組み込むことを予定している。

2.3.2 外部割り込み、およびバスインタフェーステスト

ユーザロジックの接続形態と独立にmmXマク

ロモジュール単体で外部割り込み制御機能および、バスインタフェースロジックの試験を行なうために、テストロジック内にプログラムにより外部割り込み信号、およびデバイス応答信号を生成するためのロジックを設けた。表2にテストロジック内のテストレジスタの構成を示す。

インタラプトテストレジスタ1、2を用いて時系列的に2つのタイミングで任意の外部割り込み信号を発生することができる。これにより、複数の外部割り込みによる多重割り込み時の動作試験が可能となる。外部割り込み信号と同様にNMI(Non Maskable Interrupt)信号、およびINIT(INITialize)信号を発生することができる。INIT信号の発生はINITテストレジスタを使用する。更に、コンフィグテストレジスタの2ビットのRDY-countフィールドを使用してデバイス応答信号(RDY)を発生することができる。デバイス応答信号はこのレジスタに書き込み直後にクロックを計数し、設定クロック時間経過後に1クロックサイクルだけアサートされる。

2.4 ASIC CADシステム

mmX-ASICを開発するためのLSICADシステムを構築した。ユーザロジックをゲートアレイで実現することから、下流のLSI設計は当社のセミカスタムLSI開発用の既存LSICADで利用することとした。このため、開発したmmXマクロモジュールの論理モデル、および遅延モデルを既存LSIシミュレータのマクロライブラリとしてデータベース登録し、ゲートアレイのベースに埋め込むマクロモジュールとして参照できるようにした。また、レイアウトモデルも同様に既存レイアウトCADにライブラリ登録し、ASICレイアウト設計時のカスタムマクロモジュールとして参照で

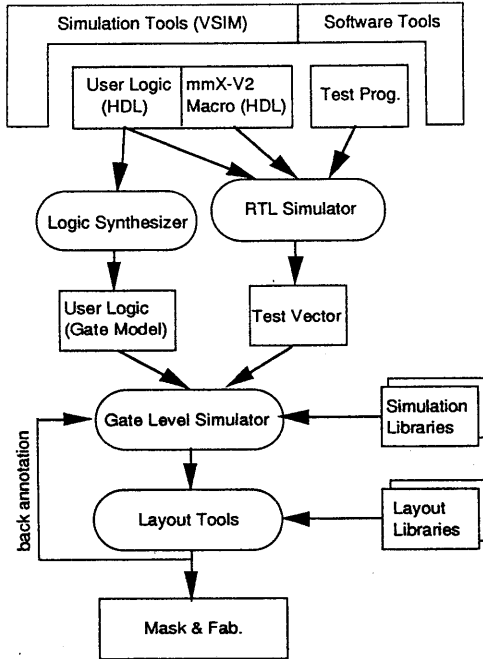


図4 mmX-ASIC CADシステムの構成
Fig.4 mmX-ASIC LSI CAD Systems

きるようにした。図4にLSICADシステムの構成を示す。

上流のLSI設計としてVerilog-HDLによるユーザロジック記述をmmXマクロモジュールとリン

クし、外部メモリなどをASICに接続したターゲットモデルに対しプログラムによりASICの論理検証を行なうためのVSIMと称すシミュレーションツールを開発した。VSIMでは回路記述ファイルとして検証の対象となるLSI回路記述ファイルとLSI外部の周辺回路記述ファイルを分けて扱う。周辺回路記述は外部デバイスとしてLSIの入出力信号にตอบสนองする動作を記述する役割、およびLSIの入出力信号が期待する通りに変化するかをチェックする役割を果たすためのものである。入力期待値の判定、および誤動作時にエラー状態を示す変数にパラメータをセットする記述を埋め込むことで、シミュレーションの結果LSIが期待した動作を行なわなかった場合には、システム、すなわちVSIMに制御を渡しシミュレーションの制御を行なうことができる。また、LSIのテストケースに対応するLSI入出力信号の個々のタイミング条件はファイルとして、シミュレーション時に指定することができるため、テストケース毎に異なる周辺回路記述を用意する必要はない。

LSIに内蔵する命令キャッシュ容量、外部バス幅、外部メモリアクセスタイム、動作クロック周波数、およびユーザロジックの構成等、ASICの性能あるいは構成を評価するためのシステムレベルシミュレーション環境としてクロックレベルシ

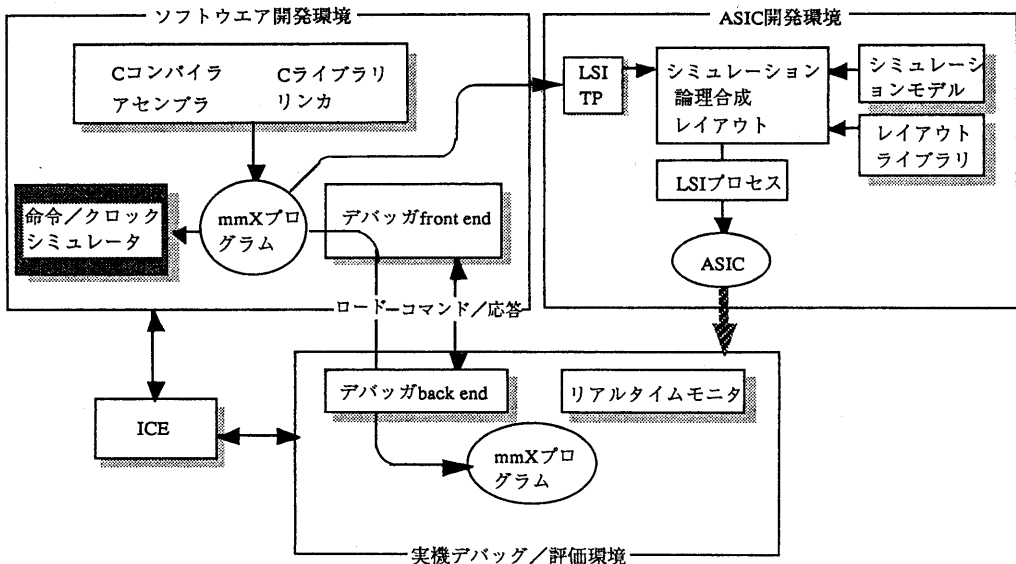


図5 mmXハードウェア・ソフトウェア・コデザイン環境
Fig.5 mmX Hardware Software Codesign Environment

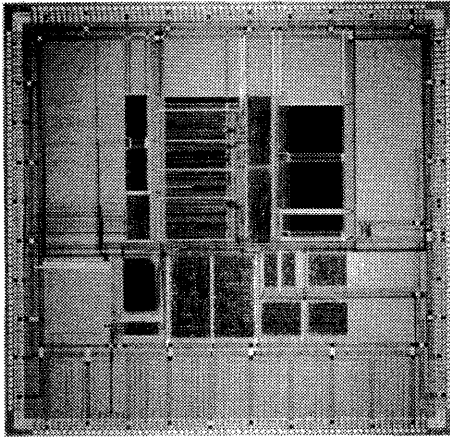


写真1 mmX-V2 エバチップ

Photo1 Microphotograph of mmX-V2 Evaluation Chip

ミュレータを開発した[1][2]。クロックレベルシミュレータはソフトウェア開発環境と統合され、ソフトウェアデバッグ、および最適化と並行してASICの開発、構成の最適化を図ることができる。図5にソフトウェアおよびASICの並行設計のためのハードウェア・ソフトウェア・コデザイン環境を示す[3]。

3 評価チップと評価システム

mmXマクロモジュールを構成する各モジュールの試作評価、ICEやASICのエミュレーション、およびソフトウェアの実機デバッグ環境を開発するためのLSIとしてmmX-V2エバチップと呼ぶ評

価チップを開発した。写真1にmmX-V2エバチップのチップ写真を示す。

mmX-V2エバチップでは、ICEに必要な実時間プログラムトレース、およびバストレーズを行なうために、命令フェッチアドレス、およびバスステータス信号をLSI外部に出力する機能をもたせた。バスステータス信号はLSIの外部バスの動作状態を示すもので、命令アクセス、あるいはデータアクセスの区別、ユーザレベル、あるいはスーパーバイザレベルによるバスアクセスの区別等をモニタすることができる。専用の出力ピンを割り付けてあるため、LSIがどのような動作状態においても常時外部からモニタすることが可能である。一方、命令フェッチアドレスモニタのための専用ピンは特に設けなかった。理由は、LSI内部信号の負荷、およびLSI入出力ピンの増大を避けるためである。代わりにICEモードを設けた。ICEモード時に外部アドレスバスに現れる信号について図6に示す。

ICEモード時には、命令キャッシュがヒットする場合でも命令フェッチアドレスが外部バスに出力される。条件分岐命令実行により分岐が発生した場合において、分岐先命令が命令キャッシュにヒットする場合には分岐先命令アドレスがそのまま外部バスに現れる。命令キャッシュがミスした場合には、分岐先命令アドレスが1クロック時間だけ外部バスに現れた後、ミスした命令ブロックの先頭アドレス、すなわち4語境界のアドレスが外部バスに現れる。データアクセスのために外部バスが使用される場合には、命令キャッシュが

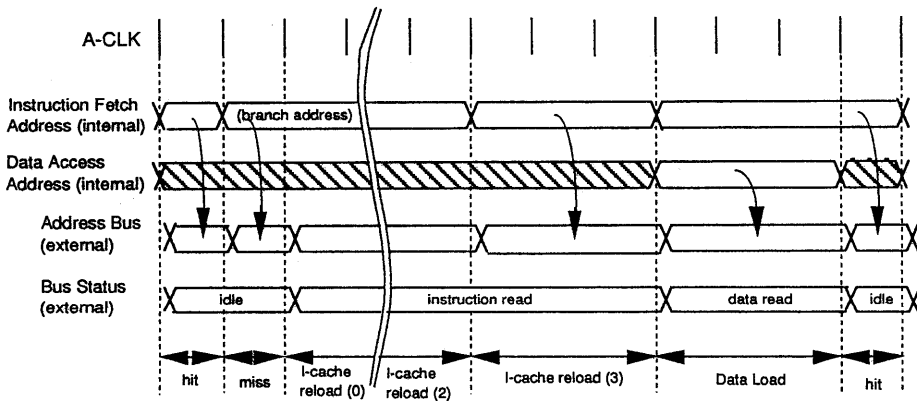


図6 ICEモード時の外部アドレスバス情報

Fig.6 External Address-bus on ICE mode

ヒットするときでも命令フェッチはウエイトし、外部バスが空いた時点で命令フェッチアドレスを出力する。外部アドレスバス、およびバスステータス信号をエバチップに外部接続される高速メモリに毎クロック書き込むことにより保存し、ICEサポートソフトウェアによりこの内容を解析し、分岐が発生した命令アドレスを特定することでプログラムの実行シーケンスをトレースすることが可能である。通常モード時とICEモード時の実時間性の相違は、実行されるロード/ストア命令、およびDMA転送サイクルのバス占有率に依存するが、一般的なプログラム実行においてはこの値は高々40%程度だと仮定すると、実時間の約70%でプログラムトレースを行なうことが可能である[4]。命令キャッシュを無効化して命令フェッチを必ず外部メモリから行なうことでプログラムトレースを行なう方法も考えられるが、命令キャッシュのヒット率が90%程度であることを仮定し、また、mmXでは外部メモリのアクセスタイムは最小3クロックサイクルを必要とすることを考慮すると、実時間の高々40%程度でのプログラムトレースとなること、命令キャッシュのヒット/ミス状況をトレースすることができない問題があるため、前記の方法を採用した。

mmX-V2エバチップでは他LSI内部バスをバッファを介してLSI入出力ピンに割り付けている。これにより、LSI内部バスをモニタすること、およびLSI外部にユーザロジックのプロトタイプを接続し、開発ターゲットのASIC全体のエミュレーションを行なうことが可能である。

現在、評価ボードを試作し、調整を行なっている。このボード上にはICEのためのトレース/ブレイク回路、およびASICエミュレーションのためのFPGAが搭載される。また、ICEサポートソフトウェア、およびASICプロトタイプシステムも並行してデバッグしている段階である。これらについては、評価ができた時点で別の機会に報告したい。

4 おわりに

我々はASIC開発、およびシステム開発の高度化を目指し、32bit RISCコアを含むASIC組み込み用マクロモジュールとASIC開発用CADツール、およびソフトウェア開発環境とシステムレベルシ

ミュレーション環境を開発した。また、これらを統合したハードウェアとソフトウェアの並行開発を行なうための基盤を構築した。今回新たに評価LSIをベースとするASICエミュレータを開発し、これをICE、デバッガ、およびFPLD用CADツールと一体化させることで、機器制御や通信制御などの厳しい制御を要求されるハードリアルタイムシステムへの適用性を向上させることを狙った。現在、これらのツールを用いて実際のASICの開発を進めている。我々自身がユーザとなって、ツールの機能、応答性などを評価し改良して行く予定である。

5 参考文献

- [1] 河井,他: マルチメディア用RISCコントローラとその応用, 情報処理学会, 計算機アーキテクチャ(110-21)・設計自動化(73-21)合同研究会資料, 1995.
- [2] 河井,他: 組み込み用32ビットRISCとその応用, 沖電気研究開発第166号, Vol.62 No.2, 1995.
- [3] 安浦: ハードウェア/ソフトウェア・コデザインソフトウェアコアプロセッサによるシステム設計一, 電子情報通信学会技術研究報告, ICD94-130, DSP94-86, 1994.
- [4] Hennessy, J. L. and Patterson, D. A., "Computer Architecture: A Quantitative Approach, Morgan Kaufmann Publishers, Inc., 1990; 富田, 村上, 新實 (訳), ヘネシー&パターソン コンピュータ・アーキテクチャー設計・実現・評価の定量的アプローチ, 日経BP社, 1992.
- [5] K. Maki, et.al.: A Continuous reload on chip instruction cache for low-end RISC, IEEE Symp. VLSI Circuits Dig. of Tec. papers, pp.13~14, 1993.