

再構成可能な光インターコネクションを用いた
汎用並列処理システム

山本裕紹 成瀬 誠 石川正俊
yamamoto@k2.t.u-tokyo.ac.jp
東京大学工学部計数工学科
〒113 東京都文京区本郷 7-3-1

我々は集積化に向けたプロセッシングエレメントを用いて演算と4近傍接続は電子的に行ない、プロセッシングエレメント間の並列入出力を再構成可能な光インターコネクションで行なう光電子ハイブリッド型の並列処理システムを提案した。従来、光インターコネクションを有するシステムは提案や部分要素の実現のみであったが、今回、将来の実用化に向けて光源に面発光レーザーダイオードアレイを用いて実験システムを試作し、行列演算を実行することでシステムとしての動作を初めて確認した。本稿では実現したシステムの構成を示し、再構成可能な光インターコネクションを利用した計算方法を提案し、実用化に向けた問題点を議論する。

Programmable Parallel Processing System
with Reconfigurable Optical Interconnection

Hirotsugu Yamamoto, Makoto Naruse, and Masatoshi Ishikawa
Department of Mathematical Engineering and Information Physics,
Faculty of Engineering, University of Tokyo
7-3-1 Hongo, Bunkyo, Tokyo, 113 JAPAN

We have already proposed an optoelectronic parallel processing system with a reconfigurable optical interconnection among electronic processing elements. For the purpose of practical use, an experimental system using a surface emitting laser diode array and matrix-vector products on the system are implemented. In this paper, the configuration of the system and the optical interconnections for matrix operations are shown and then the problems to be solved are discussed.

1 はじめに

大規模並列処理システムにおいては、配線量の増加や配線の浮遊容量による信号遅延の問題があり、電気的配線には限界があるとされている。この配線問題を解決するために、高速で伝達し信号間の相互作用のない光を情報の媒体とした光インターコネクションに期待が持たれている。並列処理システムにおける光インターコネクションの利用は、クロックの分配 [1]、ボード間あるいはチップ間接続などいろいろの提案がなされている。

また一方では、光デバイスの集積化技術の進歩ともなっており、画像のような多量の2次元情報を入出力することが可能となると期待されている [2]。われわれは、演算と4近傍接続を電子で行ない任意のPE (processing element) の間の通信に光を用いる光電子ハイブリッド型の並列処理システムを目指して、集積化可能なコンパクトな電子回路からなるデジタルプロセッシングエレメントを提案した。そして実際に 64×64 個のPEを用いたシステムを試作し、主として画像処理を目的としたSIMD型の並列処理を実現した [3]。

今回、面発光レーザーダイオード (VCSEL : vertical cavity surface emitting laser diode) アレイを用いて再構成可能な光インターコネクション部分を実現し、Fig. 1に基本構成を示すシステム全体の稼働を確認した。光インターコネクションに書き換え可能なプログラムを用いることで、処理内容に応じてPE間の結合パターンを再構成することを可能とした [4]。

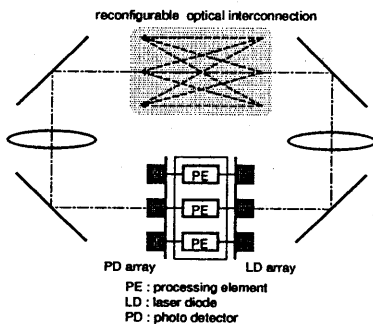


Fig. 1 Parallel Computing System with Reconfigurable Optical Interconnection

本稿では、まず再構成可能な光インターコネクションを有する並列処理システムの概要を説明する。次に、PEの機能を説明したのち、光インターコネクション部分について、その原理と機能を説明し、実際のシステムでの実現について述べる。最後に、処理内容に応じて発光位置とホログラムを書き換えることで実現できる計算例として、行列と行列の積の計算アルゴリズムについて述べ、このシステムの将来の見通しを述べる。

2 システムの概要

2.1 システムの設計思想

本システムは、多量の2次元情報を、集積化されたPEアレイにより迅速に処理することを目的としている。したがって、情報処理部分ではできるだけ大規模に並列化されることが望ましい。しかし、集積化には限度があるから、PEには回路規模ができるだけコンパクトなものが望まれる。PEの回路規模をコンパクトにすれば、1つのPEの処理能力に限られることになるが、代わりにPEの数を増やすことが可能になり、システム全体としては高い処理能力を実現できることになる。この場合、システムの並列性を維持しながら、いかにしてシステムの汎用性を高めるかが設計のポイントとなる。

I/O機能と処理機能の一体化の研究として、現在までに提案されているものは、Meadらによるシリコン網膜の研究 [7] やMITのビジョンチップ計画 [8] などがある。しかしいずれもアナログ処理用チップであり、アナログの固定回路が用いられているため汎用の処理ができないという欠点がある。また、より高い処理能力と汎用性を有する並列演算処理機構を実現するPEとして、既存の汎用プロセッサ程度のものを想定すると、PEの回路規模が大き過ぎて多数のPEを同一チップ内に収めることが不可能となる。

2.2 プロセッシングエレメント

本システムのPEには、SPE (Sensory Processing Element) を用いた。SPEは4近傍接続のほかにPD (photo detector) 入力ならびにLD (laser diode) 出力

を有する SIMD 型の汎用プロセッシングエレメントである。

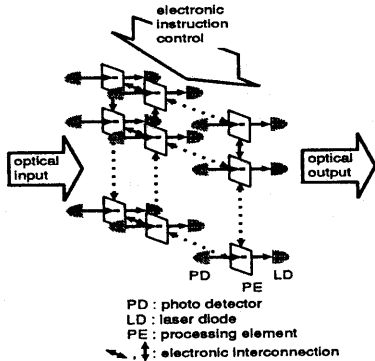


Fig. 2 SPE array

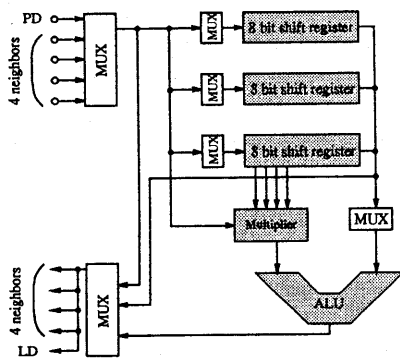


Fig. 3 Block diagram of sensory processing element(SPE)

PE アレイの概略図を Fig. 2 に示し SPE の内部構造の概略を Fig. 3 に示す。SPE は、センサ入力(本システムでは、各 SPE に 1 対 1 に対応している PD からの入力)ならびに上下左右の 4 近傍の電気的接続からのデータをマルチプレクスして演算および記憶に用い、外部への出力信号を 4 近傍の SPE 及び各 SPE に 1 対 1 に対応している LD に対して同時に出す。1 つの SPE は 337 ゲートという少ないゲート数からなり、内部には 3 つの 8 bit レジスタと ALU 及び乗算器を持つ。ALU はビットシリアルに行なわれる。ビットシリアル演算は速度の点では不利であるが、可変長のデータに対応

できるだけなく、ゲートの数の削減という利点がある。演算の種類としては加減算, AND, OR, EXOR, 及び $4\text{bit} \times 4\text{bit} \rightarrow 8\text{bit}$ の乗算が可能である。SPE のインストラクションは、マイクロインストラクションレベルで実行され、インストラクションサイクルは 100ns である。

2.3 光インターコネクションの原理

光インターコネクションには、Fig. 4 に示す 4f-光学系を用いている。

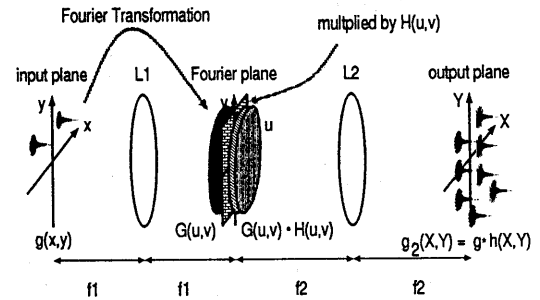


Fig. 4 4f-optical system

Fig.4 の input plane 上での波面が $g(x,y)$ の光は、Fourier plane 上で $H(u,v)$ で表される変調を受け、output plane に波面 $g_2(x,y) = g * h(X,Y)$ で入射する。ただし、 $h(X,Y)$ は、 $\mathcal{F}[h(X,Y)] = H(u,v)$ を満たす。

したがって、4f-光学系では、出力 $g_2(X,Y)$ は、入力 $g(x,y)$ のシフトに対して形は変わらず、位置のみがシフトすることになる。

2.4 再構成可能な光インターコネクション

本システムでは、変調パターン $H(u,v)$ を書き換えることで再構成可能な光インターコネクションを実現し、システムの汎用性を高めている。光インターコネクションを計算の内容に応じて書き換えるためには、変調パターンの制御は計算機で行なう必要がある。本システムでは、変調パターンの書き込みを計算機が提示して行なうことで、あらかじめ用意した任意のパターンに書き換え可能な光インターコネクションが実現されている。

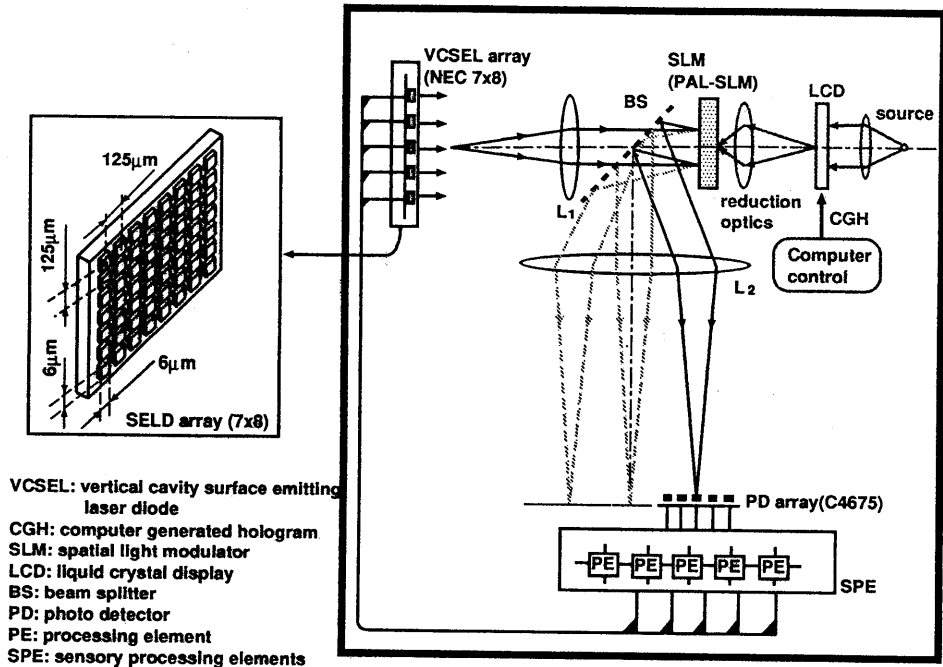


Fig. 5 Parallel Computing System with Reconfigurable Optical Interconnections

提示される変調パターン $H(u, v)$ には, 計算機合成プログラム (CGH : Computer Generated Hologram) を用いている. CGH を液晶ディスプレイ (LCD : liquid crystal display) で提示して空間光変調素子に書き込むので, CGH の計算ではシミュレーテッドアニーリングを用いた最適化を行なって, 光インターコネクションの性能を向上させている.

2.5 実験システム

将来の実用化を目指して, 現在のデバイスを用いた実験システムを試作した. 試作したシステムの概要を Fig. 5に示し, 光インターコネクション部分の写真を Fig. 6に示す.

本システムの特徴は, 光源に VCSEL アレイを用いた点にある. 今回は 7×8 素子を集積した NEC 製 VCSEL アレイ (波長 : 980 nm, 出力 : 2mW, 素子ピッチ : 縦横とも $125\mu\text{m}$, 各素子サイズ : $6\mu\text{m} \times 6\mu\text{m}$) を用

いた [9].

以下に, CGH の部分から順にシステムの構成を説明する. まず, 必要な光インターコネクションのパターンを実現する CGH を LCD (EPSON 製 画素数 : 640×400 , 1画素 (制御部含めて) : $28.125\mu\text{m} \times 45\mu\text{m}$, モノクロ) に提示する. LCD に提示された CGH は光学系で縮小されて, 光書き込み型の空間光変調素子 (浜松ホトニクス製 PAL-SLM : parallel aligned nematic liquid crystal spatial light modulator, 位相変調型, 980nm 用) に書き込まれる [10]. 各 PE の出力データは対応する VCSEL のオン・オフとして出力される. VCSEL アレイを出た光は, 焦点距離 60mm のレンズ L1 によりフーリエ変換されて, PAL-SLM 上に書き込まれた CGH で変調を受けた後, 焦点距離 500mm のレンズ L2 で再びフーリエ変換されてフォトダイオードアレイ (浜松ホトニクス製 C4675, 受光素子数 : 16×16 , 1素子当たりの受光面積 : $1.1\text{mm} \times 1.1\text{mm}$) に入射

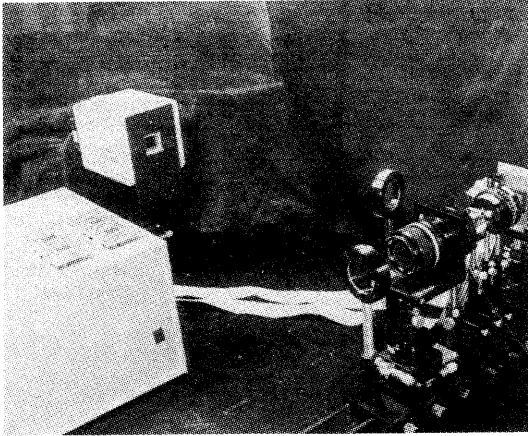


Fig. 6 Optical Interconnection

し、検出されPEに入力される。

3 行列計算の方法

基本的な演算として行列演算を例に本システムの有効性を確認した。2.2節で紹介したように、PEアレイはSIMD型の動作を行なうが、PEのレジスタに入力する値にPEアレイ上での位置に対応した値をマスクすれば、マスクを利用して特定のPEのみの出力を行なうことができる。行列積の計算では、マスクを利用して特定の行あるいは列の値の出力を行なっている。

3.1 行列とベクトルの乗算

本システムを用いた行列 $A_{(7 \times 8)}$ とベクトル $x_{(7 \times 1)}$ の積 $y = Ax$ の計算例を説明する [6]。7 × 8 個のPEアレイについて、各PEのレジスタにその位置に対応した行列 A の成分を格納しているとして、その後の計算を説明する。 $y_i = \sum_j A_{ij}x_j$ であるから、第 j 列のPEは、いずれも共通の値 x_j の入力が必要とする。これら x_j の入力は列方向のシフトに対してインバリエントであるので、本システムの光インターコネクションを用いて実現できる。

最初に、PEアレイを制御している外部の計算機から、最下行(第7行) j 列のPEのレジスタへ x_j の値を転送する次に、第7行から第3行へのシフトインバ

アントなインターコネクションを行なうプログラムをSLMに書き込んだのち、 x_j の値を光で出力させると、 x_j の値が、Fig.7に示すようにPEアレイの第3行のPEへ転送される。続いて、1対4のインターコネクションを実現するプログラムをSLMに書き込み、 x_j の値を、Fig.8のように第1,2,3行ならびに第4,5,6行のPEに転送する。

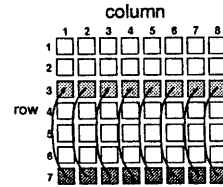


Fig. 7 Optical interconnection(a)

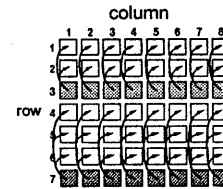


Fig. 8 Optical interconnection(b)

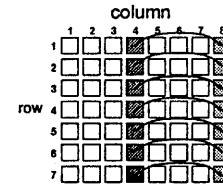


Fig. 9 Optical interconnection(c)

PEで A_{ij} の値と x_j の値の乗算を行なった後、 y を求めるため、行毎の総和を計算する。総和の計算は以下の手順で行なう。まず、電氣的4近傍接続を通して計算結果を右隣のPEに出力し、各PEが持つ計算結果に左

隣からの入力値を加算することを3回行なう。次に、第4列から第8列への光インターコネクション (Fig. 9) を行ない、加算すると、PEアレイの8列で乗算の実行結果 y が求まる。

3.2 行列と行列の乗算

$n \times n$ 行列 A, B の積 $C (C = AB)$ を求める。

$n \times n$ 個の PE に、行列 A および B の各要素の値を、 A については列のマスクをつけて、 B については行のマスクをつけて格納し、別の $n \times n$ 個の PE にその値を伝えて、行列 C を計算する。Fig. 10 に行列 A, B, C の PE アレイ上への配置を示す。

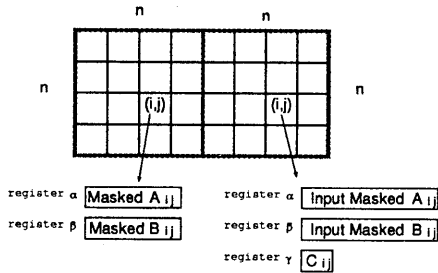


Fig. 10 Assignment of matrices A, B and C

行列 C の (i, j) 成分は、

$$C_{ij} = \sum_k A_{ik} B_{kj}$$

であるから、 C_{ij} にあたる PE には行列 A の第 i 行と行列 B の第 j 列の値を伝える必要がある。Fig. 11 に行列 A の k 列の値を行列 C を計算する PE に伝える時の光インターコネクションの入出力関係を示し、Fig. 12 に行列 B の第 k 行の値を行列 C の列に伝える時の入出力を示す。このような光インターコネクションを行なうことで行列積が計算できる。

3.3 行列の LU 分解

行列を扱う計算では、行列の LU 分解を実行した後、各種計算を行なうことが多い。ここでは、LU 分解の計

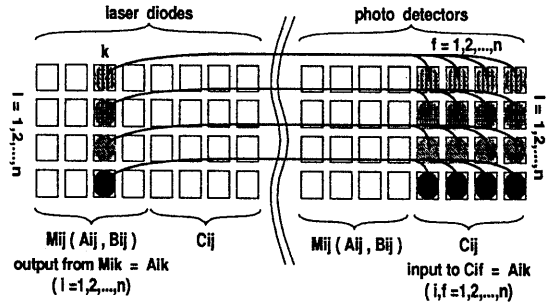


Fig. 11 Input plane and output plane (a)

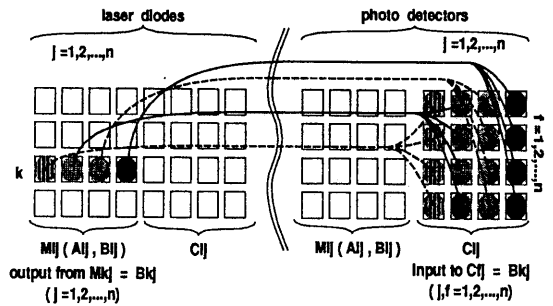


Fig. 12 Input plane and output plane (b)

算法を提案する。

行列 A の LU 分解とは、行列 A を

$$\begin{pmatrix} A_{11} & A_{12} & A_{13} & A_{14} \\ A_{21} & A_{22} & A_{23} & A_{24} \\ A_{31} & A_{32} & A_{33} & A_{34} \\ A_{41} & A_{42} & A_{43} & A_{44} \end{pmatrix} = \begin{pmatrix} 1 & 0 & 0 & 0 \\ L_{21} & 1 & 0 & 0 \\ L_{31} & L_{32} & 1 & 0 \\ L_{41} & L_{42} & L_{43} & 1 \end{pmatrix} \begin{pmatrix} U_{11} & U_{12} & U_{13} & U_{14} \\ 0 & U_{22} & U_{23} & U_{24} \\ 0 & 0 & U_{33} & U_{34} \\ 0 & 0 & 0 & U_{44} \end{pmatrix}$$

と、下三角行列 L と上三角行列 U の積に分解することである。

行列 A, L, U の成分には、次の関係が成り立つ。

$$A_{ij} = \sum_{k=1}^{\min\{i,j\}} L_{ik} U_{kj}$$

これを U_{ij}, L_{ij} について解けば、

$$U_{1j} = A_{1j}, j = 1, \dots, n$$

$$U_{i+1,j} = A_{i+1,j} - \sum_{k=1}^i L_{i+1,k} U_{kj}$$

$$L_{i1} U_{11} = A_{i1}, i = 1, \dots, n$$

$$L_{i,j+1} U_{j+1,j+1} = A_{i,j+1} - \sum_{k=1}^j L_{ik} U_{k,j+1}$$

となる。

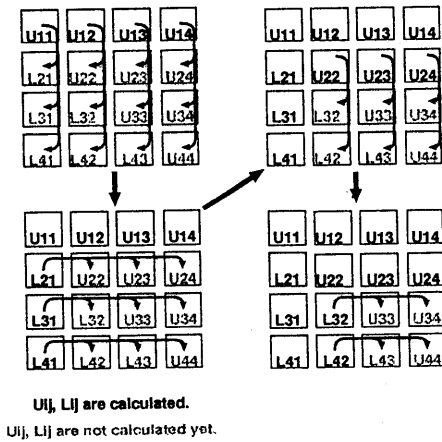


Fig. 13 LU decomposition

行列 L の対角成分は 1 と決まっているから、行列 A の各成分の値を持つ $n \times n$ 個の PE に、行列 L と U を配置できる。 $U_{i+1,j}$ の計算には A_{ij} と $U_{1,j}, \dots, U_{i,j}$ と $L_{i+1,1}, \dots, L_{i+1,i}$ の値が必要で、 $L_{i,j+1}$ の計算には A_{ij} と $U_{1,j}, \dots, U_{jj}$ と L_{i1}, \dots, L_{ij} の値が必要であるから、 Fig. 13 に示す順に値を伝えていけば各 PE で上記の計算ができ、 U, L は、 $U_{ki} \rightarrow L_{ik} \rightarrow U_{k+1,j} \rightarrow L_{i,k+1}$ の順に求まることになる。

4 実験結果

4.1 光インターコネクションの実験結果

Fig. 8 中の行列の第 4 行の値を 1 行から 4 行に伝える光インターコネクションを行なう CGH を Fig. 14 に、出力測定結果を Fig. 15 に示す。 Fig. 15 は PD アレイ面に計測用 CCD カメラを用いて撮像したものである。こ

の図の縦 1 列が 1 つの LD からの光で、全体として LD アレイ上の連続する 4 個分のコネクションパターンを示している。各インターコネクションが十分に分離されていることがわかる。

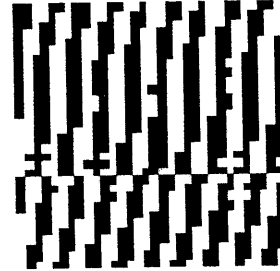


Fig. 14 CGH

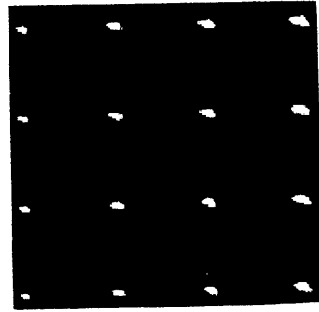


Fig. 15 Obtained image of output plane

4.2 行列とベクトルの乗算の実行速度

本システムで用いる PE はインストラクションをクロック周波数 10MHz で実行可能であるが、現在のシステムでは PD への入力光量が少なく、微小信号の増幅の必要があり、系の最高速度はこの性能 (約 19kHz) で制限されている。 VCSEL アレイから PD アレイへのデータの転送はこの制限を考慮してインストラクションサイクルを $52\mu\text{s}$ (クロック周波数は約 19kHz) で行なった。各々の素子の現段階の最高速度を Table 1 にまとめた。

Table 1 Processing speed

受光部:	PD 応答周波数 (増幅回路の制限)	約 19kHz
演算部:	インストラクションサイクル	10MHz
発光部:	VCSEL 駆動周波数	100kHz

本システムは将来の実用化を念頭においた実験システムであり、速度は充分ではないが、基本的な動作が確認できた。実用化のためにはデバイスの進歩が必要であり、本システムは現在のデバイスの性能に制限されている。しかし、光デバイスの進歩は目ざましいものがあり、今後の発展が期待できる。

5 おわりに

VCSEL アレイを用いた再構成可能な光インターコネクションを有する並列処理システムを構成し、実際の動作を確認した。また、光インターコネクションを用いた計算例として、行列とベクトルの積の計算方法を提案し、実際に行列ベクトル乗算を実行した。

処理速度を制限している要因は、Table1によると光検出の速度であるが、LD の光量を多くするなど、デバイス技術の進歩とともに速度の向上が見込まれる。

本システムの処理能力は、並列度とともに向上する。並列度を向上させる上で重要になるのは集積化技術である。演算部分ならびに受光素子については、コンパクトな PE を用いているので大規模集積化に向いており、実際に 60×60 の PE が受光素子とともに集積化されている [11]。また発光素子については、低閾値デバイスの開発が行なわれており、近い将来に実現可能と思われる。

本稿では、システムの処理として光インターコネクションを用いた行列計算を紹介したが、近傍接続を利用した高速の画像処理 [3] や光インターコネクションを利用したパターン抽出 [12] が可能である。本システムのカスケード接続を行ない、階層的に処理することで、多量の 2 次元情報から高度に抽象化された情報を迅速に取り出すことが可能となり、並列計算機としてだけでなく、ロボットの視覚のような 2 次元画像を高速に処理するシステムへの応用が可能である。

参考文献

- [1] D. R. Kiefer and V. W. Swanson, "Implementation of Optical Clock Distribution in a Supercomputer," in *Optical Computing*, 1995 OSA Technical Digest Series (Optical Society of America, Washington, D.C., 1995), pp. 260-262.
- [2] 石川 正俊, "超高速・超並列ビジョンシステム," 光学, 21, No. 10, pp. 678-679 (1992)
- [3] M. Ishikawa, A. Morita, and N. Takayanagi, "Massively parallel processing system with architecture for optoelectronic computing," in *Optical Computing*, Vol. 7 of 1993 OSA Technical Digest Series (Optical Society of America, Washington, D.C., 1993), pp. 272-275.
- [4] A. G. Kirk, T. Tabata, and M. Ishikawa, "Design of an optoelectronic cellular processing system with a reconfigurable holographic interconnect," *Appl. Opt.*, 33, 1629-1639 (1993).
- [5] 中坊 嘉宏, 寺田 夏樹, 山本 裕紹, 成瀬 誠, 石川 正俊, "再構成可能な光インターコネクションを用いた並列処理システム," 光学連合シンポジウム講演予稿集, pp. 97-98 (1994).
- [6] 成瀬 誠, 山本 裕紹, 石川 正俊, "光インターコネクションを用いた並列演算処理のための演算アルゴリズム," 光学連合シンポジウム講演予稿集, pp. 209-210 (1994).
- [7] C. Mead, "Analog VLSI and Neural Systems," Addison-Wesley (1989).
- [8] J. Wyatt et al., "Vision Chip Project : Analog VLSI System for Fast Image Acquisition and Early Vision Processing," *Proc. Int. Conf. on Robotics and Automation*, pp. 1130-1135 (1991).
- [9] M. Kajita et al., "Thermal Analysis of Laser-Emission Surface-Normal Optical Devices with a Vertical Cavity," *Jpn. J. Appl. Phys.*, 33, pp. 859-863 (1994).
- [10] N. Yoshida et al., "Optically addressed liquid crystal phase only modulating spatial light modulator," *Spatial Light Modulators and Applications Technical Digest*, 1993, 6(Washington, DC: Optical Society of America), pp. 97-100 (1993).
- [11] 山田, 高柳, 石川, "VLSI ビジョンセンサの試作と評価," 第 42 回応用物理学会学術講演会予稿集, 1995.
- [12] 成瀬, 山本, 石川, "光インターコネクションを用いた並列処理システムにおけるパターン抽出," 第 42 回応用物理学会学術講演会予稿集, p 905(1995).