

仮想プロセッサ機構を持つ SIMD 型超並列計算機 RIPE/MD のアーキテクチャ

高橋秀樹[†] 今井正治[†]
塩見彰睦[†] 本沢邦朗[‡]

[†] 豊橋技術科学大学 情報工学系
[‡] 東芝 情報・通信システム技術研究所

本稿では、大規模画像に対する処理を高速に実行する高速並列計算機 RIPE/MD のアーキテクチャを提案する。RIPE/MD は 1 次元プロセッサアレイ上で大規模画像に対する空間並列性を持った局所処理を実行する。RIPE/MD はプロセッサ上に複数の仮想プロセッサを持ち、プロセッサあたり数十点の画素の処理を行なうことができる。これにより、RIPE/MD は様々な大きさの画像に対応することができ、ハードウェア量や実装の点での実現性が高い構成になっている。

The architecture of a SIMD machine with virtual processor

Takahashi HIDEKI[†] Masaharu IMAI[†]
Akichika SHIOMI[†] Kunio HONSAWA[‡]

[†] Department of Information and Computer Sciences,
Toyohashi University of Technology
[‡] Information & Communication System Laboratory, Toshiba

This paper proposes the architecture of a SIMD type parallel computer RIPE/MD for image processing. RIPE/MD has one-dimensional array structure, where spatially parallel local window operations can be executed efficiently for image processing. RIPE/MD has a virtual processor mechanism which makes it possible to execute simultaneous parallel processing of image processing on each virtual processor, which makes RIPE/MD easy to adapt to the various size of data, and easy to realize.

1 はじめに

近年計算機を用いた画像処理は、より大規模な画像に対し、より複雑な処理を行なうようになっている。医療分野における CT 画像や X 線画像、リモートセンシングにおける衛星画像などがその例である。しかしこのような処理を短時間で実行することは汎用大型計算機を用いても困難である。

本研究室では、高速画像処理システム RIPE[2] (Real-time Image Processing Engine) の研究を行なっており、その試作システムを実現した。RIPE は SIMD (Single Instruction stream Multiple Data stream) 型の並列画像処理システムで、内部処理を入力、演算、出力の 3 ステージに分割し、パイプライン処理を行なうことで処理時間の短縮を図っている。

しかし、大規模な画像の入出力に必要とされる時間は RIPE の演算時間より多く必要であることがいままでの研究 [4] により知られている。また、処理画素数とプロセッサ数を同じにするのは実装上困難である。このような場合にプロセッサの利用率を向上させるためにはプロセッサの仮想化の手法が有効である。仮想化を行なうことで任意の大きさの画像に対応でき、実装上の問題も回避することができる。

本稿では、リモートセンシング等の多バンドのデータに対する空間並列性を持つ処理を高速に実行する専用並列計算機 RIPE/MD のアーキテクチャを提案する。RIPE/MD は 1 次元プロセッサアレイ方式を採用した SIMD 型並列計算機である。画像サイズによって仮想プロセッサ数を変化させることで様々な画像サイズに対応でき、仮想プロセッサの切り替えのためのコンテキスト・スイッチングをハードウェアで高速に行なうことができる。

以下、2. で仮想プロセッサ機能について述べ、3. で RIPE/MD のアーキテクチャについて述べ、4. では RIPE/MD のコントローラについて述べ、最後に RIPE/MD の性能評価結果について述べる。

2 仮想プロセッサの必要性

これまでの RIPE 上でのアプリケーションの研究では、大規模画像や多バンドの画像に対する処

理が必要とされる場合が多くあった。しかし、これまでのように 1 プロセッサあたり 1 画素を処理する方法では大規模な画像に対応することはボード数や搭載するチップ数などの実装上の問題があり困難であった。また、任意の大きさの画像に対応することはできず柔軟性に欠けていた。

これら問題点の解決には、プロセッサの仮想化するという手法が有効である。仮想プロセッサ 1 つあたりに 1 画素を割り当てることで、実プロセッサ 1 つあたり数十点の画素を処理することが可能である。

超並列計算機の分野ではソフトウェアによる仮想化は行なわれてきたが、高速に仮想プロセッサを切り替えるためにはハードウェアによるサポートが必要である。

RIPE に仮想化機構を付加するためには次の 3 点の考察が必要となる。(1) 仮想化の単位、(2) コンテキスト・スイッチングの方法、タイミング、(3) 転送命令の処理である。以下では RIPE プロセッサに仮想化の機能を実現するための考察について述べる。

2.1 仮想化の単位

SIMD 型並列計算機では隣接するプロセッサ間でデータを転送しながら計算を行なう。仮想プロセッサ上で命令を実行する場合、隣のプロセッサのデータを必要とする転送命令から先の命令へはデータが揃うまで進むことができない。そのために、仮想プロセッサ上での命令列の実行は転送命令の前までとなり、すべての仮想プロセッサでの計算が終わった後に転送を行なう必要がある。ここで、仮想プロセッサが実行する命令列の単位をスレッドと呼ぶ。実プロセッサはスレッドを仮想プロセッサ数回繰り返して実行し、その後転送命令を実行する。これをプログラムの終りまで行なうことで処理を終える。命令の供給はコントローラから行なわれるために、コントローラにも仮想プロセッサの処理の機構が必要となる。

2.2 コンテキスト・スイッチング

仮想プロセッサ上で実行される命令に必要なレジスタファイルはコントローラからの仮想プロセッサ番号によって選択される。

コンテキスト・スイッチング時にはレジスタファイルのセーブ、リストアを行なう必要がある。レジスタファイルを3組持ち、切り替えることでコンテキスト・スイッチングを行なう方法が速度の点で有利である。概念図を図1に示す。

レジスタファイルの1つを演算に用い、もう1つをレジスタの復帰、残りをレジスタの退避に用いる。

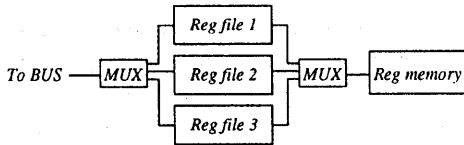


図 1: レジスタファイル構成

セーブ、リストア時に2個のレジスタを並列に転送することでコンテキストスイッチングのさらなる高速化が可能である。また次に実行する仮想プロセッサ番号が分かっていることからメモリからの高速な連続的転送も可能だと思われる。また、今まで開発してきたアプリケーションを解析したところほとんどの場合レジスタの復帰退避の時間はスレッドの実行時間より短いことが知られた。

2.3 転送命令の処理

仮想化時における転送の方法を以下で述べる方式で行なうことにより、実プロセッサあたり一回の転送を行なうだけで仮想プロセッサ全体の転送を行なうことができ、転送の効率を上げることができる。

仮想プロセッサ上での転送命令の実現は以下の機構で行なう。仮想プロセッサにおけるそれぞれの転送レジスタはメモリ上に退避されている。このメモリへのポインタとしては Base pointer(Bp)を用意する。Bp は仮想プロセッサ番号0の転送レジスタの値の格納されているメモリの位置を示す。例として左への転送を説明する。手順を図2に示す。

転送は以下の手順で行なう。

- (1) Bp のアドレスのメモリの値を左方向の転送バスを通して左隣のPEへ渡す。

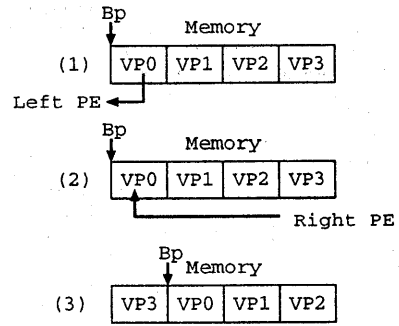


図 2: 転送命令の実現方式

- (2) 右隣のPEからの転送バスの値を、Bpのアドレスのメモリへ書き込む。
- (3) Bpに1を足す(mod 最大仮想プロセッサ数)。

3 RIPE/MDのアーキテクチャ

仮想化により大規模な画像や、多バンドの画像に対する画像処理を行なうことを目的とする並列計算機RIPE/MDのアーキテクチャについて述べる。概要を以下に示す。RIPE/MDは仮想化機能を備えたPEとコントローラからなる。

3.1 システム構成

RIPE/MDのシステム構成例を図3に示す。プロセッサアレイは外部記憶装置からのデータに対して演算を行ない、外部記憶装置に演算結果を出力する。システムコントローラはプロセッサアレイとデータバッファ、命令メモリの制御を行なう。システムコントローラの設定はホストコンピュータから行なう。

3.2 プロセッサアレイ

RIPE/MDは1次元のプロセッサアレイを採用した。それぞれのプロセッサは仮想化され、あらかじめ決められた最大画像サイズ以下の任意のサイズの画像に対する処理を実現する。

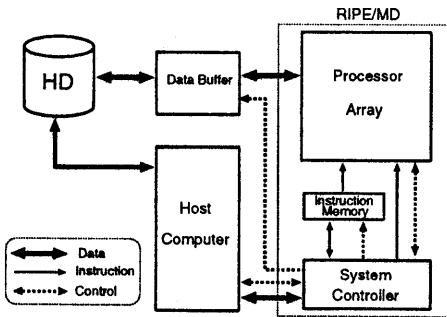


図 3: プロセッサの構成

3.3 実プロセッサ

実プロセッサは、プロセッサアレイを構成する基本単位である。シフトエレメント (SE)、プロセッシングエレメント (PE) から構成されている。RIPE/MD の実プロセッサを図 4 に示す。

SE はデータの入出力を担当し、PE は演算を担当する。SE と PE は隣接する 2 台のプロセッサと接続される。SE に入力されたデータはスリットメモリ (SM) に格納され、PE は SM に格納されたデータに対して演算を行なう。演算結果は SE を経由して出力される。次に構成要素について述べる。

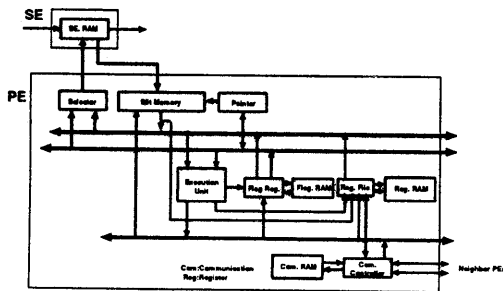


図 4: 実プロセッサの内部構成

3.3.1 シフトエレメント (SE)

シフトエレメントは隣接する実プロセッサのシフトエレメントに接続されデータの入出力を行なう。仮想化を実現するために内部は最大仮想プロセッサ数のキューを 2 系統持つ。

キューが 2 系統必要な理由は、仮想プロセッサ数分あるシフトエレメントのデータをスリットメモリに対してまとめて読み込み、書き込みができないためである。また、すべての仮想プロセッサの処理が終らなければ処理結果が揃わないためである。キューを 2 系統持ち、切り替えて使用することで、スリットメモリへのデータの入出力を待たずにシフトエレメントで画像のデータの入出力を行なうことができる。シフトエレメントの内容はスリットメモリに順次転送され、結果もまた順次シフトエレメントに書き戻される。メモリを切り替えるタイミングは、シフトエレメントからの入力データとシフトエレメントへの出力データが揃ったときである。

3.3.2 プロセッシングエレメント (PE)

PE は入力された画像に対する演算を行なう。PE はコミュニケーションコントローラを通して隣接する PE と接続される。仮想化におけるコンテキスト・スイッチングを高速に実現するためにレジスタファイルを 3 セット持ち、レジスタ RAM との間で効率的にレジスタの復帰退避を行なう。転送レジスタ、フラグレジスタはコンテキスト・スイッチングのためのデータ退避用にそれぞれメモリをもつ。

3.4 各メモリの容量

仮想化を行なう上で必要となる 1 仮想プロセッサあたり退避用の RAM の容量を表 1 に表す。

表 1: 各エレメントに必要なメモリ容量 (1PE)

メモリ名	サイズ (byte)
レジスタメモリ	32
スリットメモリ	128
シフトエレメント	4
転送メモリ	2
フラグメモリ	1

4 RIPE/MD システムコントローラ

SIMD の並列計算機ではプロセッサレイを制御する装置が必要になる。RIPE/MD ではシステムコントローラがプロセッサレイを制御する。システムコントローラはホスト計算機との通信、データバッファの制御、命令メモリの制御、プロセッサレイの制御を行なう。

4.1 システムコントローラの機能

システムコントローラは、SE 部に対する画像の入力の開始と中断、SE 上のデータを SM へ書き込むタイミングの制御、命令実行の開始と中断等、RIPE チップがデータの入出力と演算の同期をとって一連の処理を行うために必要な制御を行う。この RIPE チップの制御の他に、RIPE チップへの入力データとなる入力画像メモリからの画像データの読み出し、RIPE チップから出力されるデータの出力画像メモリへの書き込み、および、RIPE チップへ供給される命令を命令メモリから読み出す等の制御を行う。

4.2 スレッドテーブル

RIPE/MD の一連の動作は、RIPE/MD コントローラチップ内のレジスタに必要な情報を設定することにより行われる。他にも、仮想化への対応のためにあらかじめ解析された、プロセッサ間の転送命令によって分割された命令列のアドレスを入れておくスレッドテーブルがある。スレッドテーブルを表 2 に示す。表中のスタートアドレスとエンドアドレス間の処理が仮想プロセッサ数回繰り返され、その後転送処理が行なわれる。これをスレッドテーブルが終わるまで行なうことでフィリングを終了する。

表 2: スレッドテーブル

Start Address	End Address	転送命令数
0000	00FF	1
0101	0150	2
0153	02FF	1

5 性能評価

基本的なフィルタで大画像の処理をした場合についてのハードウェア量と演算時間の予測を行なった。記述言語は VHDL を用い、合成にはシノプシス社のデザインコンパイラを用いた。ライブラリは class ライブラリを使用した。図 5 に仮想プロセッサ数とプロセッサ全体のハードウェア量のグラフを示す。対象画像サイズは 6000 × 6000 で、図中の点線は一画素 1 プロセッサの場合のハードウェア量を示す。この図より、トータルのハードウェア量は仮想プロセッサ数が 128 の場合 1 画素を 1 つの実プロセッサで処理する場合の 12.8% になることが知られた。図 6 は仮想プロセッサ 1 つあたりのハードウェア量を示す。図 7 は仮想プロセッサ数を 8 から 256 まで変化させた場合の平均化フィルタの演算時間を示す。画像の入出力速度は 20MByte/Sec とし、画像の大きさは 6000 × 6000、1 画素あたりの 2 バイトとした。図 7 中の点線は入出力に必要な時間であり、これ以下の演算時間の処理は入出力によって待たされることを表す。また、乗算や除算が多用されるような処理

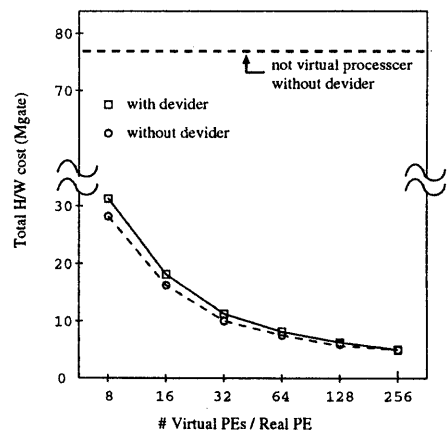


図 5: トータルハードウェアコストと仮想プロセッサ数

を高速に行なうには乗算器や除算器の搭載が有効であるが、このような場合でも全体のハードウェア量はほとんど増加しないことが知られた。

6 むすび

本稿では、大規模画像に対する処理を高速に実行する高速並列計算機 RIPE/MD のアーキテクチャを提案した。

RIPE/MD は仮想プロセッサ機構によって、任意のサイズの画像を処理することができる。また、現在の入出力デバイスでは、演算時間より入出力時間が多くかかりプロセッサに待ちが生じる場合があった。このような場合にも仮想化によってプロセッサの稼働率を向上することができハードウェアの効率的な利用が可能である。

今後は RIPE/MD のアーキテクチャの検証を実機上で行なう予定である。

謝辞 日頃から御指導頂く宇宙開発事業団・地球観測センターの祖父江真一氏、若林裕之氏、京都大学情報工学系中島浩 助教授、中京大学の情報科学部の長谷川純一教授に深謝します。また、討論して頂いた豊橋技術科学大学 VLSI 設計研究室の諸兄に感謝致します。

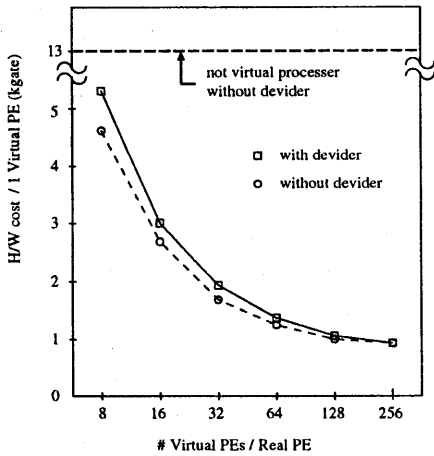


図 6: 1 仮想プロセッサ当たりのハードウェアコストと仮想プロセッサ数

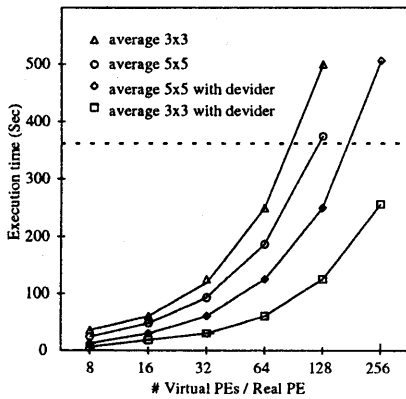


図 7: 実行時間と仮想プロセッサ数

参考文献

- [1] 土屋清, "リモートセンシング概論", 朝倉書店, 1990.
- [2] 本沢邦朗, 佐藤淳, 冨田穰太, 今井正治, 長谷川純一: 超高速画像処理システム RIPE のアーキテクチャ, 電子情報通信学会技術研究報告, Vol. CPSY89-12, pp. 43-50 (1989).
- [3] 本沢邦朗, 平岡久和, 松浦一教, 金川英一, 中西弘泰, 塩見彰睦, 今井正治, 長谷川純一: 試作結果に基づく高速画像処理用並列処理計算機 RIPE の性能評価, 情報処理学会研究会資料, Vol. CV93-83-6, pp. 41-48 (1993).
- [4] 高橋秀樹, 塩見彰睦, 今井正治: 高速画像処理システム RIPE でのスペックル除去フィルタの実現, 1994 年電気関係学会東海支部連合大会講演論文集, pp. 749 (1994).
- [5] 金川英一, 本沢邦朗, 塩見彰睦, 今井正治, 松浦一教: 多次元データ処理用 SIMD 型並列計算機のアーキテクチャ, 情報処理学会研究報告, Vol.95 No.6, pp. 73-80 (1995).