

フレーム単位でデータ転送を行う並列画像処理システムの設計

古石 憲 男[†] 河口 秀 敏[†] 川村 尚 生^{††}
井上 倫 夫^{††} 小林 康 浩^{††}

本論文では、連続した画像を扱うことのできる並列処理システムの基本設計について述べる。本システムは、画像を圧縮すること無く1秒間に30フレーム(1フレーム当たり640×400画素)取り込める画像記憶装置と、取り込んだ画像データを処理する処理装置、両者を結合するデータ転送装置からなる。複数のハードディスクを並列に動作させることによって、画像データを一定時間記憶することができる。また、システム全体をフレーム転送に必要な時間(約33msec)に同期させる。

A Parallel Image Processing System Operating at a Clock of 1/30 second

NORIO FURUISHI,[†] HIDETOSHI KAWAGUCHI,[†] TAKAO KAWAMURA,^{††}
MICHIO INOUE^{††} and YASUHIRO KOBAYASHI^{††}

We design a parallel processing system for a sequence of image data. This system provides plural HDDs in parallel, and stores image data of 30 frames per second. Each frame consists of 640×400 pixels. Data are taken into HDDs straightforwardly, without compressing data quantitatively. Data-transferring is implemented for every frame.

1. はじめに

我々の研究室では、ヒューマンインタフェースの研究を行っている。その研究の一環として、ビデオカメラから取り込んだ画像をコミュニケーションエイド(CA:Communication Aid)¹⁾の入力として用いる方法を検討中である。CAとは、筋萎縮性側索硬化症・頸椎損傷・脳内出血などにより第三者に対して意思を伝える術をほとんど失ってしまった人のための意思伝達補助装置である。

CAにおいて、患者の意思を読みとる入力センサは、重要な部分である。現在まで種々の入力センサが開発され、実際に病院で使用されてきた。病院で使用されているセンサは、筋電位センサに代表される接触型のセンサである。接触型のセンサでは、取り付けの際の煩わしさや、取り付け状態による感度の違いなどの問題が生じている。

そこで、非接触型の入力装置としてビデオカメラを用いる方法を検討中である。これまでに、1秒間に16フレーム、1フレーム当たり256×256画素の画像を、

64×64画素に圧縮した8ビットモノクロ画像を用いて「まばたき」の検出を行っている²⁾。

さらに、連続した画像を用いて、読唇や、“苦しい”などの特定の表情を検出することを目指している。

現在使用している画像処理システムによるこれまでの実験において、種々の問題が生じてきた。問題点を以下に挙げる。

- (1) 画素数・フレーム数の圧縮により、細かな動きをとらえることができない。
- (2) 細かな動きを処理するには、処理速度が絶対的に不足している。
- (3) 入力画像を保存する装置がないため、処理方法の違いによる比較検討が行うことが困難である。

そこで我々は、画像を圧縮することなく1秒間に30フレーム取り込める画像入出力装置および記憶装置、データを高速に処理することのできる並列処理装置³⁾、両者を結合するネットワークからなる並列画像処理システムの設計・製作を行う。

2. システム形態

並列計算機における画像入出力システムの形態を図1に示す⁴⁾。ここでは、「連続した画像を扱うことのできる並列計算機における」という観点から、以下の方式の検討を行う。

[†] 鳥取大学大学院 工学研究科
Graduate school of Engineering, Tottori University
^{††} 鳥取大学 工学部
Faculty of Engineering, Tottori University

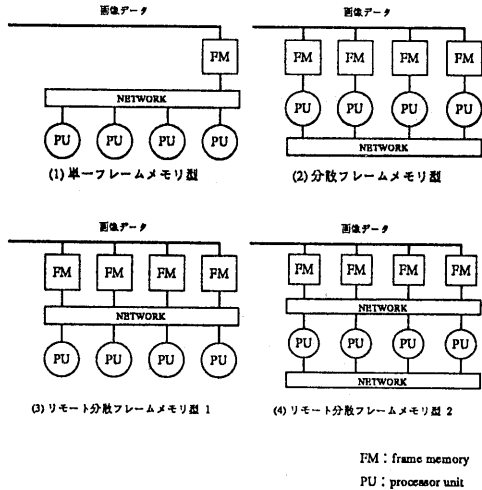


図1 並列計算機の画像入出力システム
Fig. 1 Image I/O systems of a parallel computer

(1)の方式は、ネットワークが比較的小規模で構成できる反面、データ量が多くなるとプロセッサのアクセス競合による性能低下がおこる。本システムの目的から、フレームメモリへのアクセスは頻繁に行われると思われる。

(2), (3), (4)は、フレームメモリを分散させる方式である。このとき画像データは、フレーム毎に各フレームメモリに分配される。複数のプロセッサが同時にフレームメモリにアクセスできるため、競合が緩和される。

(2)は、フレームメモリをプロセッサの近くに置く方式である。この方式では、規模の増大に従いフレームメモリ間の物理的距離が増え、画像データ転送バス(変換器-フレームメモリ間)の実装が困難になる。また、1フレームを分割して処理する場合、複数フレームにわたって処理する場合は困難である。

(3), (4)は、フレームメモリを遠隔に置く方式である。(3)の方式では、プロセッサ間通信はフレームメモリの一部を使用して行う。(4)の方式では、プロセッサ間ネットワークとフレームメモリ-プロセッサ間ネットワークを用意する。これらの方式では、プロセッサ-フレームメモリ間のネットワークに対し高速性や実装容易性が求められる。

本システムの形態は(3)の方式の改良である。本システムの形態を図2に示す。

プロセッサユニットとネットワークとの間に転送バッファを追加し、転送バッファにはフレームメモリの内容を一部コピーして格納する。このため、処理プロセッサのフレームメモリに対するアクセス回数を軽減させることができる。バッファ-フレームメモリ間の転送は、一定サイズのブロック転送とすることによりシンプルな

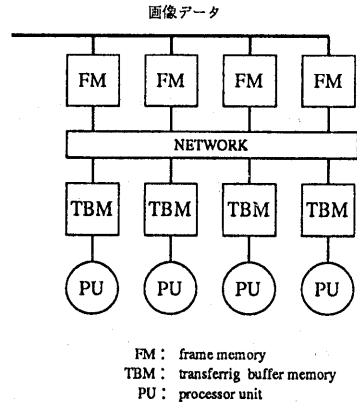


図2 本画像入出力システムの形態
Fig. 2 Configuration of the image I/O system

ハードウェアで高速性が得られる。また、実装上の問題から本システムでは、バッファ-フレームメモリ間ネットワークを4対4とした。

3. 並列画像処理システム

3.1 基本方針

本システムにおける設計方針として以下のことが挙げられる。

- (1) スケジューリングは、専用のバスを用意しホストプロセッサが各資源に対して行う。
- (2) ホストプロセッサが処理プロセッサに対して、データをプロセス指令に先行して転送する。
- (3) システム全体が、一定間隔の同期信号に同期するパイプラインのように動作する。

以下に、その設計理由を述べる。

3.2 システム構成

並列画像システムは、以下のブロックから構成される。

- ホスト部
- 画像入出力部
- フレームメモリ部
- 転送ネットワーク
- 転送バッファ
- 処理部

これらシステムの全体図を図3に示す。

3.3 ホスト部

ホストプロセッサには、市販の68030CPUボードを使用する。

本システムでは、全ての共有資源・プロセッサに対してホストプロセッサがスケジューリングを行う。このため、ホストプロセッサと全ての共有資源・プロセッサ間には、専用のパラレルインタフェース(命令同期バス)を設けている。また命令同期バスを、フレームの転送時

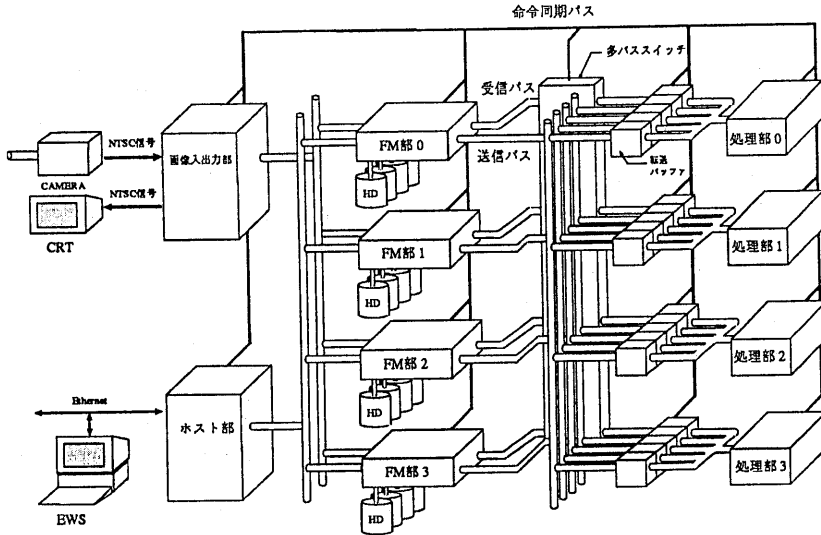


図3 並列画像処理システム
Fig. 3 A parallel image processing system

間(以下、転送同期と称す)に同期して動作させることにより、システム全体が転送同期に同期して動作する。

3.4 画像入出力部

NTSC信号をA/D変換するには、サンプリング・クロックはカラー・サブキャリア(3.58MHz)の整数倍でなければならない。本システムでは、1フレーム当たり640×400画素、これを1秒間に30フレーム取り込むため、サンプリング・クロックは14.31MHzとし、奇数フレームと偶数フレームの重ね合わせを行う。

また画像信号には、画像データが無い水平・垂直両ブランキング時間があり、これら空いている時間を利用することにより32bitバス14.31MHzでメモリに取り込んだデータを、16bitバス・20MHzで各フレームメモリ部に転送する。すなわち画像入出力部は、バス幅32bit⇔16bit変換、転送速度14.31MHz⇔20MHz変換を同時に行う。

3.5 フレームメモリ部

3.5.1 記憶方法

1画素は、R・G・B及びI(モノクロ)各8ビットとする。画像データは、1フレームあたり640×400画素×4バイト=1MBとなる。これを1秒間に30フレーム取り込むと30MBとなる。さらに“分”のオーダーで記憶すると膨大な容量のメモリが必要であり、半導体メモリのみで構成するにはコスト的に困難である。そこでハードディスクに画像を取り込む。制御の容易性・価格から本システムでは、IDEのハードディスクを使用する。

本システムでは、図4に示すように入力された画像データをフレームごとに各フレームメモリ部に分配し、

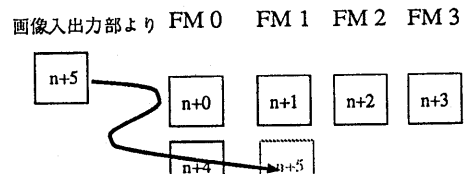


図4 画像フレームの分配
Fig. 4 Distribution of image frames

ハードディスクを並列に動作させて取り込む。

3.5.2 フレームメモリ部の構成

- 1つのフレームメモリ部は、
- 4つのメモリバンク(1バンク当たり1MB×4)
 - 4台のI/Oプロセッサ
 - 8台のハードディスク
 - 多バススイッチ
 - 送受信局
- から構成される。

フレームメモリ部のブロック図を図5に示す。

これらを用いて、画像データをハードディスクに取り込み、4つのメモリバンクを、多バススイッチにより「画像の入出力」「ホストプロセッサへの入出力」「処理部への出力」「処理部からの入力」と、接続する。

3.5.3 メモリ素子

本システムでは、回路簡略化のためフレームメモリ部のメモリICに市販のマルチポートビデオRAM、いわゆるVRAMを使用する。これらのメモリは、標準ダイナミックRAM部と、SAM部から構成される。

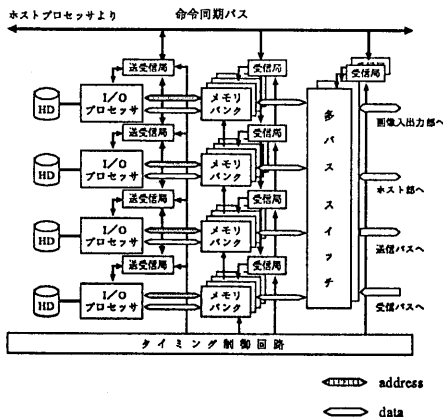


図5 フレームメモリ部ブロック図
Fig. 5 A frame memory unit

RAM部に対して、シリアル転送動作をセットすることにより、シリアルクロックに同期して、SAM部にデータが入出力される。RAM部をI/Oプロセッサからのアクセス、SAM部を多バススイッチからのアクセス経路に割り当てる。このため、各部に対するデータ転送はシリアルクロックに同期したブロック転送になる。

3.5.4 ハードディスク転送性能

メモリバンクとハードディスクの転送は、I/Oプロセッサを用いたPIO転送3を用いる。本システムでは、入力された画像データを次々にハードディスク内に取り込まなければならないので、ハードディスクに要求される転送速度は30MB/sec以上である。

現在のハードディスクはメモリーバッファ間の転送速度は10MB/sec以上、バッファ-メディア間でも3~6MB/sec以上の能力を有している。このため、理論上は10台以上のハードディスクを同時に動作させれば実現可能である。

しかし、I/Oプロセッサの68020(25MHz)では「転送命令のフェッチ・メモリへのアクセス・ハードディスクへのアクセス・分岐命令のフェッチ・分岐」といったこれら一連の動作を行うのに約1μsec必要とする。また、ハードディスクのシーク待ち時間などの時間がかかり、実質的な転送速度は理論値に比べてさらに低くなる。画像データを取りこぼし無く格納するのに必要なハードディスクの台数Nは、

$$N \geq \frac{\text{HDDアクセス時間}}{\text{フレーム間隔(約33msec)}}$$

となる。

そこで、実際に1MBの転送時間の測定を行った。表1に実測結果を示す。バッファ-ディスク間の転送速度は、ディスクの内側と外側では異なっているので最も遅い内側のトラックで、リード動作・ライト動作を各20回測定した。この結果より、N=32とすること

表1 実測結果

Table 1 Performance of a HDD

	実測値	
	平均値	ワースト値
リードの場合	825.0	834
ライトの場合	791.6	804

(単位: msec)

で、入力された画像データを確実に取り込むことができると思われる。このとき1台のハードディスクは、1056msec内に1MBのデータを入出力できれば良い。また、1台のI/Oプロセッサで2台のハードディスクをコントロールしている。

3.6 転送ネットワーク

3.6.1 転送性能

本システムでは、転送ネットワークの膨大化を嫌い処理部を4ブロックとする。このため転送単位は、1フレームを分割して各処理部に転送できるようにフレーム単位(1MB)とする。

また転送速度は、1秒間に30フレームの画像を取り込む必要があるため30MB/sec以上でなければならない。我々は実装性・動作の安定性を考慮に入れ、バス幅16bit・転送間隔20MHzとする。転送速度は、バス幅・転送間隔より40MB/secとなるが、制御の容易性から30MB/secとした。

3.6.2 転送用バス

フレームメモリ部-処理部間のバスは、送信用・受信用のバスを各々用意する。1フレームを転送するのに4転送同期を必要とする。また大抵の処理は複数のフレームを使用して演算結果を出す予想されるため、送信用バスと受信用バスでは構成が異なっている。

● 送信用バス

送信用バスは各処理部に対して完全結合されている。このためデータ送信時においては、1つのフレームメモリ部より各処理部に対してデータを一斉放送で送ることができる。

● 受信用バス

受信用バスは、バススイッチで切替えられる。

3.7 転送バッファ

転送バッファも、先程述べたフレームメモリ部のメモリICと同じICを使用する。このため、512バイトのブロック転送が容易に実現でき、さらに512バイトのブロック転送を512回ハード的に行う回路を付加することにより、1MBのブロック転送が可能となる。

転送バッファは、フレームメモリのキャッシュメモリのような役割をする。転送バッファの各バンクを複数バッファ構成とすることにより処理プロセッサの計算時間と、データのリード転送時間・ライト転送時間とを、各々オーバーラップさせることができる。転送バッファには、送信用と受信用があり構成が少し異なっている。転送バッファのブロック図を図6に示す。

● 送信バッファ

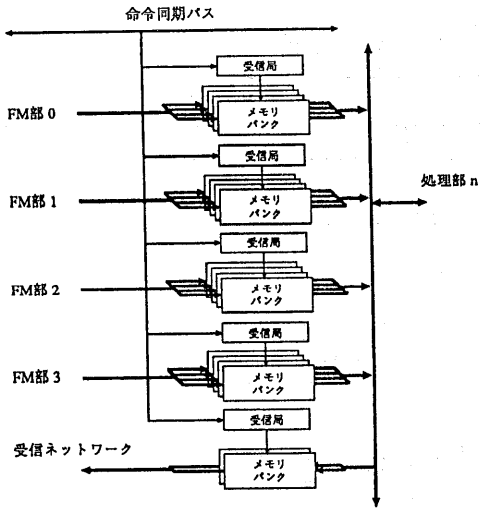


図6 転送バッファ ブロック図
Fig. 6 A transferring buffer unit

送信バッファは、各フレームメモリ部と完全結合されている。また、各フレームメモリ部には4つのメモリバンクがある。このため、4転送同期内に最大16フレームの画像データが転送できる。これに対応するため、送信バッファは4×4バッファ構成をとる。

● 受信バッファ

受信バッファは、バススイッチと接続されている。このため、送信バッファとは異なりダブルバッファ構成をとる。

3.8 処理部

3.8.1 処理部の構成

処理部は、

- 2台の処理プロセッサ
- ROM
- シンクロナス DRAM
- 送受信局

から構成される。処理部のブロック図を図7に示す。

シンクロナス DRAM は、同一処理部内のプロセッサの共有メモリであり、2次キャッシュとして動作する。処理部間のデータ通信は転送バッファを用いてフレームメモリに一度書き込んでから他の処理部に転送する。

各処理プロセッサとホストプロセッサは、命令同期バスで接続されており並列処理の同期をとる。また、処理プロセッサには、SH シリーズプロセッサを使用する。SH シリーズのプロセッサには、2台のプロセッサのアービタが内蔵されており最小のハードウェアで並列システムが構築できる⁵⁾。

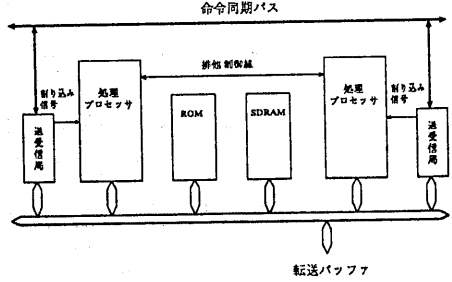


図7 処理部 ブロック図
Fig. 7 A processor unit

4. スケジューリング

スケジューリングの一例を、次に挙げる。ホストプロセッサは各資源に対してスケジューリングを行う。その際、処理部のプロセッサに対してはプロセス指令に先行してデータを転送する必要がある。

この例では、データをハードディスクから読みだし、フレームメモリ部に書き込む。次に、転送バッファに転送した後、処理部が演算、演算結果を再びハードディスクに格納するという処理である。ハードディスクアクセスによるオーバーヘッドが最も大きい例である。ただし、この演算時間内に処理プロセッサは、受信バッファからデータを読みだし、演算結果を送信バッファに書き込む。

● 演算時間が、ハードディスクアクセスより短い場合
スケジュール例を図8に示す。この例では、ハードディスクのアクセス時間を中心にスケジュールするため、フレームメモリ-転送バッファ間の転送時間が現れる。ただし、処理プロセッサの演算時間が64転送同期(約2112msec)よりも極端に小さくても、ハードディスクアクセスによるオーバーヘッドのため、全体の処理周期は変化しない。

● 演算時間が、ハードディスクアクセスより長い場合
スケジュール例を図9に示す。この場合、演算時間を中心にスケジュールできる。このため、次の演算に必要なデータは転送バッファの異なったバンクに既に用意されており、さらに送信用バス・受信用バスが用意されているため、1転送同期分のウェイトであっても、フレームメモリ-転送バッファ間の転送時間は隠蔽される。

ちなみに、処理部からのアクセス時間を200nsecとすると、1MBのデータをすべてアクセスするのに必要な最小時間は単純計算で、約52.42msecとなる。このことより、処理プロセッサ-転送バッファ間のアクセスにも高速性が要求され、通常アクセスとバーストアクセスをサポートしなければならない。またこれらのことより、大抵の処理は、演算時間が、ハードディスクアクセスより長い場合に当てはまると予想される。

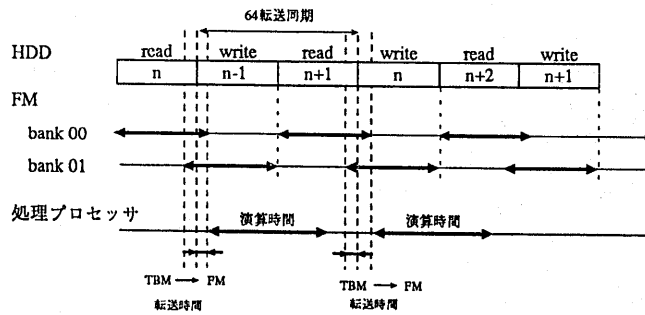


図8 スケジューリングの一例(ウエイトなし)
Fig. 8 An example of scheduling without a wait

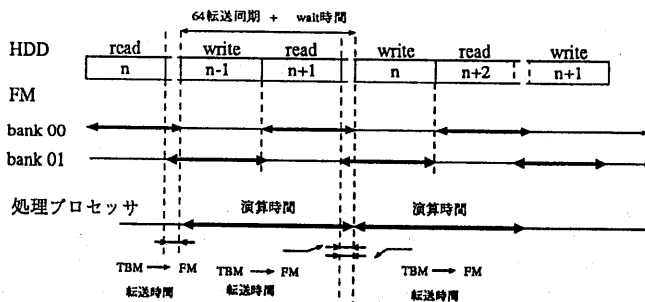


図9 スケジューリングの一例(ウエイトあり)
Fig. 9 An example of scheduling with a wait

5. おわりに

連続した画像を扱うことのできる並列画像処理システムの基本設計について述べてきた。主な特徴としては、

- (1) 一定時間の画像データを取り込むことができる。540MBのハードディスク使用時には、約10分。
 - (2) 転送単位をフレーム単位、転送速度を30MB/secとし、市販のVRAMを使用することによる回路の簡略化。
 - (3) フレームメモリ部・転送バッファ、各々のメモリバンクを複数バッファ構成にすることによる転送時間の隠蔽。
- が挙げられる。

現在解決されていない問題としては、

- 処理プロセッサ・転送バッファ間のバーストアクセスの実現方法、
 - 1フレームのデータを各処理部に分割した場合、データ回収時における転送単位までのダミーデータの付加の必要性。
- 等がある。

これら設計面・実装面の問題をクリアしつつシステム

の早期完成を進める。

謝辞 最後に、本システムの製作にあたり、援助を賜った(株)日立製作所半導体事業部ならびに同社応用技術本部大賀昌二氏に、感謝いたします。

参考文献

- 1) 井上倫夫, 小林康浩, 加納尚之, 井上公明: ALS 患者のためのコミュニケーションエイドの文章作成方法について, 情報処理学会論文誌, Vol. 33, No. 5, pp. 645-651 (1992).
- 2) 加納尚之, 井上倫夫, 小林康浩, 川上孝志, 井上公明: ニューラルネットワークによる「まばたき」の検出, 電気学会論文誌 C, Vol. 115, No. 3, pp. 367-372 (1995).
- 3) 荒川修, 橋本正巳, 井上倫夫, 小林康浩: 資源共有型並列計算機「砂丘」, 情報処理学会研究報告, CA-85-1, pp. 1-6 (1990).
- 4) 小畑正貴, 中條拓伯: 超並列計算機 JUMP-1 におけるハイビジョン画像表示システム, 情報処理学会研究報告, 94-ARC-108, Vol. 94, No. 91, pp. 17-23 (1994).
- 5) 株式会社 日立製作所 半導体事業部: SH7604 ハードウェアマニュアル。