

## PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>仕様に準拠したパイロット・チップ PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>256-4の開発

沖野 晃 一† 富田 裕 人†† 橋本 浩 二††  
山崎 雅 也†† 大澤 拓† 白川 暁†  
吉井 卓† 岩下 茂 信†  
宮嶋 浩 志† 村上 和 彰†††

本稿は、九州大学で現在開発中の PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>仕様に基づく最初の試作 LSI である PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>256-4 のハードウェア構成について述べている。計画では、0.25μm CMOS、2層金属配線を用いて、256M ビット (32M バイト) DRAM と “4” 個の汎用プロセッサを 1 チップに搭載する。各プロセッサのロジック規模は 50 万トランジスタ程度で、24K バイト・キャッシュを装備。プロセッサ当たりのローカル・メモリ容量は 8M バイトとなる。1998 年度中の完成を目指している。

### PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>256-4: A Pilot Chip Based on the PPRAM<sup>R</sup><sub>m<sub>f</sub></sub> Architecture

KOICHI OKINO,† HIROTO TOMITA,†† KOJI HASHIMOTO,††  
MASAYA YAMASAKI,†† TAKU OHSAWA,† SATORU SHIRAKAWA,†  
TAKASHI YOSHII,† SHIGENOBU IWASHITA,† HIROSHI MIYAJIMA,†  
and KAZUAKI MURAKAMI†††

This paper describes the hardware organization of the first prototype LSI chip based on the PPRAM<sup>R</sup><sub>m<sub>f</sub></sub> architecture, or PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>256-4, which is now under development at Kyushu University. The PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>256-4 will integrate 256Mb DRAM and four processors into a single chip with a 0.25μm CMOS technology. Each PE (Processing Element) will consist of a simple RISC processor of 500KTr, 24Kbyte cache memory, and 8Mb local DRAM memory. The development will complete by March, 1999.

#### 1. はじめに

本稿では、現在我々が開発している、PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>仕様に基づく最初の試作 LSI である PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>256-4 のハードウェア構成について述べる。

PPRAM<sup>R</sup><sub>m<sub>f</sub></sub>とは、メモリ・マルチプロセッサ一体型 ASSP (Application-Specific Standard Product) 「PPRAM」の推奨アーキテクチャ・フレームワークである PPRAM<sup>R</sup> (Reference PPRAM) \*\* に基づく

† 九州大学 大学院システム情報科学研究科 情報工学専攻  
Department of Computer Science, Kyushu University  
ppram@c.csce.kyushu-u.ac.jp  
http://kasuga.csce.kyushu-u.ac.jp/~ppram

†† 九州大学 工学部 情報工学科  
Kyushu University

††† PPRAM コンソーシアム設立準備会  
PPRAM Consortium: Launch Working Group

\* 以前の文献<sup>1),2)</sup>では、PPRAM<sub>m<sub>f</sub></sub>と表記していた。

\*\* 以前の文献<sup>1),2)</sup>では、この PPRAM<sup>R</sup>のことを PPRAM と呼んでいた。現在の PPRAM の定義は文献<sup>3)</sup>で述べられている。

アーキテクチャの1つである。PPRAM<sup>R</sup>が定めているフレームワークの概略は以下の通りである (詳細は文献<sup>1)</sup>を参照)。

- 大容量 DRAM + シンプル・マルチプロセッサ: まずその時代で入手可能な最大容量の DRAM を搭載、次にそれが提供するメモリ・バンド巾に見合っただけの性能 (単体性能×数) のプロセッサを搭載する。
- 分散メモリ型オンチップ・マルチプロセッサ: 本質的に非常に高いオンチップ・メモリ・バンド巾を活用するために DRAM を各プロセッサにローカル・メモリとして分散配置し、さらにローカル・メモリに行バッファを複数個設けてこれをキャッシュとして活用する。
- 共有グローバル・レジスタ型オンチップ・マルチプロセッサ: さらに、本質的に低いチップ内通信レイテンシを活用するために、共有グローバル・

る通り、より広義になっている。

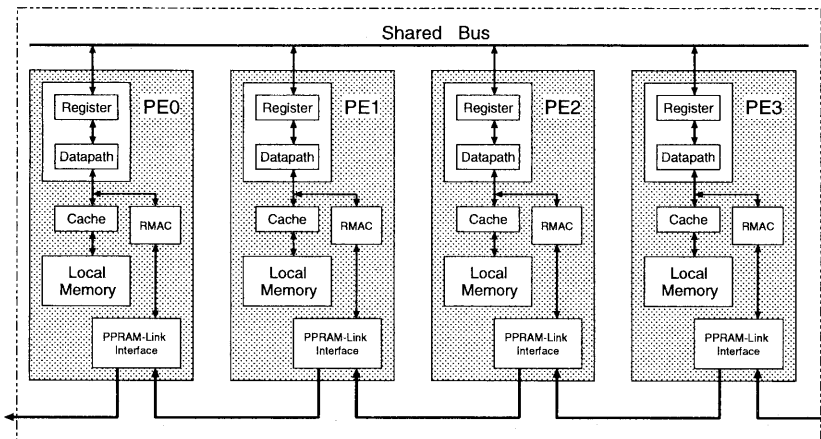


図1 全体構成

レジスタ・ファイルを設けてチップ内プロセッサ間通信/同期を行う。

PPRAM<sup>mf</sup>は、PPRAM<sup>R</sup>の定めるフレームワーク内で具現化された1つのアーキテクチャである。その設計思想は、以下の通り。

- PPRAM および PPRAM<sup>R</sup>の有効性を実証することを主目的に、PPRAM および PPRAM<sup>R</sup>として備えるべき必要最低限の機能 (*mf*: *minimal functionality*) のみを備える。
- PPRAM 標準通信インタフェース「PPRAM-Link」<sup>3)</sup>に完全に準拠。
- ロジック部は同一の汎用プロセッサから成るホモジニアス・マルチプロセッサとして、そのデータバスには特に凝らない。
- その代わりに、DRAM-ロジック混載LSIで最重要課題となるDRAM-プロセッサ間メモリバスに注力する。

PPRAM<sup>mf</sup>アーキテクチャについては、文献<sup>4)</sup>を参照されたい。

PPRAM<sup>mf</sup>256-4 は、PPRAM<sup>mf</sup>アーキテクチャに基づく最初の試作LSI (パイロット・チップ) である。1996-8年度の3ヶ年計画で開発を行なっている。計画では、0.25 $\mu$ m CMOS、2層金属配線を用いて、“256”Mビット (32Mバイト) DRAMと“4”個の汎用プロセッサを1チップに搭載する。各プロセッサのロジック規模は50万トランジスタ程度で、24Kバイト・キャッシュを装備。プロセッサ当たりのローカル・メモリ容量は8Mバイトとなる。

以下、まず2章でPPRAM<sup>mf</sup>256-4の全体構成について述べた後、3章でメモリバス (ローカル・メモリー・キャッシュ・メモリ)、4章でグローバル・レジスタ、そして、5章でPPRAM-Link インタフェース、それぞれのハードウェア構成について述べる。

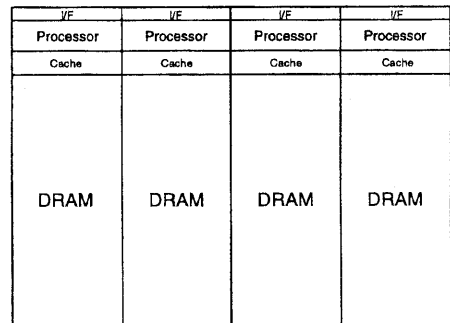


図2 フロアプラン

## 2. 全体構成

PPRAM<sup>mf</sup>256-4チップの全体構成およびフロアプランをそれぞれ図1および図2に示す。また、その予定諸元を表1に示す。

図1から分かるように、各PE (Processing Element) は以下のモジュール群に大きく分割される。

- (1) ローカル・メモリ
- (2) キャッシュ・メモリ
- (3) プロセッサ
- (4) リモート・メモリ・アクセス・コントローラ (RMAC)
- (5) PPRAM-Link インタフェース

## 3. メモリバス

図3に、ローカル・メモリおよびキャッシュ・メモリから成るメモリバスの論理構成を示す。

ローカル・メモリは、64M個の1トランジスタ型DRAMセルを構成要素とする、8Kビット/行 $\times$ 8K行

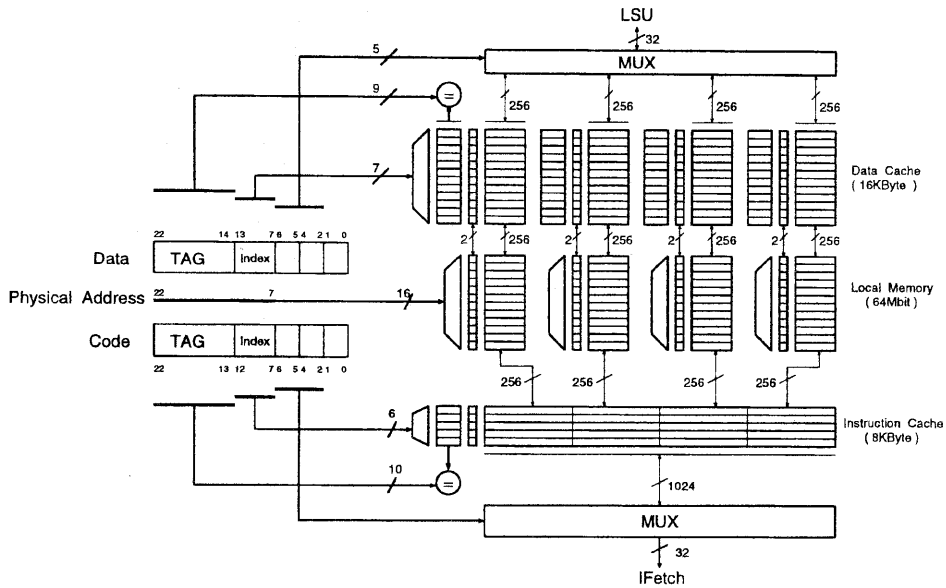


図3 メモリバスの論理構成

の2次元メモリ・セル・アレイである。このメモリ・セル・アレイはさらに8個のサブアレイ(1Kビット/行×8K行)に分割される。

図4に、その1サブアレイの回路構成を示す。DRAMセル・サブアレイは1K対のビット線から成る折返し型ビット対線配置を採り、1対のDRAMビット線( $DB_i$ と $\overline{DB}_i$ )が1個のセンス・アンプ(S/A)を共有する。1K対のビット線はセンス・アンプで増幅された後、8-to-1のマルチプレクサを介して128対のSRAMビット線( $SB_j^I$ と $\overline{SB}_j^I$ )2組( $SB_j^I$ と $SB_j^D$ )に接続される。

(1)  $SB_j^I$ : それぞれのビット線( $SB_j^I$ と $\overline{SB}_j^I$ )上に64個のSRAMセル(高抵抗負荷型)を配置してSRAMセル・サブアレイを構成し、これを命令キャッシュとする。1サブアレイ当りの容量は、64ビット/線×128線=8Kビット。128対のビット線は4-to-1のマルチプレクサを介して32ビットの命令バス( $I_k$ )に接続される。

(2)  $SB_j^D$ : それぞれのビット線( $SB_j^D$ と $\overline{SB}_j^D$ )上に128個のSRAMセル(高抵抗負荷型)を配置してSRAMセル・サブアレイを構成し、これをデータ・キャッシュとする。1サブアレイ当りの容量は、128ビット/線×128線=16Kビット。128対のビット線は4-to-1のマルチプレクサを介して32ビットのデータ・バス( $D_k$ )に接続される。

命令キャッシュ、データ・キャッシュともに、物理アドレス・インデックス方式のダイレクト・マップ・キャッシュである。命令キャッシュのライン・サイズ

はSRAMセル・アレイ1行の大きさに等しい。すなわち、1Kビット(=128ビット/サブアレイ×8サブアレイ=128バイト)である。

一方、データ・キャッシュのライン・サイズは、最大サイズをSRAMセル・アレイ1行の大きさ(1Kビット=128ビット/サブアレイ×8サブアレイ=128バイト)に等しくして、以下の3段階で変更可能としている。

- 最大サイズ: 128バイト(1Kビット)
- 中間サイズ: 64バイト(512ビット)
- 最小サイズ: 32バイト(256ビット)

このようなキャッシュを「可変ライン・サイズ・キャッシュ」と呼ぶ<sup>4)</sup>。図3に示すように、総数1K本のSRAMビット線を4分割する(256ビット/分割)。この1分割は2個のサブアレイから成り(256ビット/分割=128ビット/サブアレイ×2サブアレイ/分割)、これを以下「スーパーサブアレイ」と呼ぶ。データ・キャッシュには、スーパーサブアレイ毎にキャッシュ・ディレクトリを設ける。また、ローカル・メモリ(DRAMセル・アレイ)の方には、スーパーサブアレイ毎に行アドレス・デコーダを設ける。

可変ライン・サイズ・キャッシュの動作は以下の通り。なお、ライン・サイズはデータ・キャッシュ全体のモードしてステータス・レジスタ(SR)により指定されている。

(1) ビット/ミスビット判定: 現在のライン・サイズ・モードに関わらず、通常のダイレクト・マップ・キャッシュと同様の方法でディレクトリを

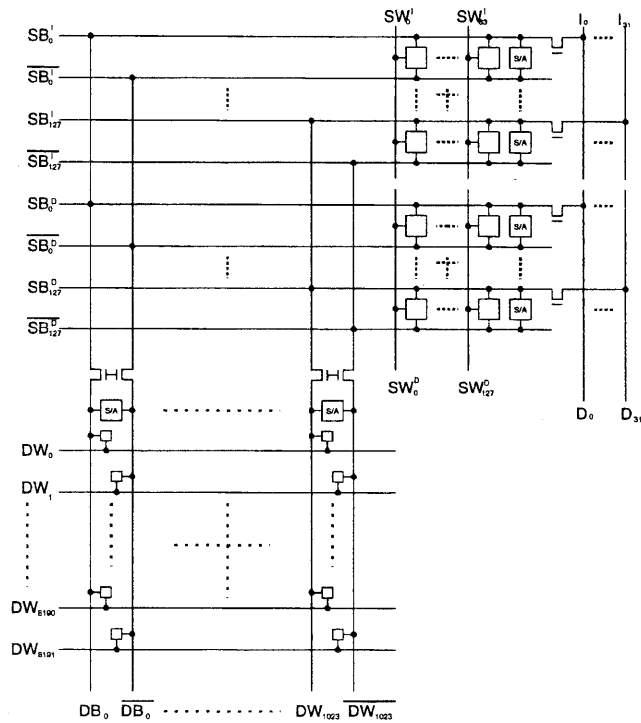


図4 メモリ・セル・サブアレイの回路構成

検査する。すなわち、物理アドレスのインデックス部9ビットにより1個のディレクトリ・エントリを読み出す。なお、インデックス部の下位2ビットはスーパーサブアレイ(4個)の選択に、上位7ビットは行(128行)の選択に使用する。

- (2) ヒット時：ディレクトリ検査の結果ヒットした場合は、現在のライン・サイズ・モードに関わらず、通常のダイレクト・マップ・キャッシュと同様の方法でキャッシュ・ラインに対して読み書きする。キャッシュ・ラインの選択方法は上記と同じ。
- (3) ミスヒット時：ミスヒットの場合は、ライン・リプレースを行なう。この時、現在のライン・サイズ・モードで、リプレースすべきラインのサイズが次のように決まる。
  - 128バイト・モード：1行すべて、つまり、32バイト・ライン換算で4ライン分。
  - 64バイト・モード：32バイト・ライン換算で2ライン分。
  - 32バイト・モード：32バイト・ライン換

算で1ライン分。

まず、リプレース・アウトすべきラインのうちdirtyなものをすべて、ローカル・メモリにライト・バックする。次に、リプレース・インすべきラインをローカル・メモリからキャッシュにリフィルする。この時、現在のライン・サイズ・モードに従って、所定数(上記の32バイト・ライン換算のライン数に等しい)のディレクトリ・エントリに対してディレクトリ情報を設定する。

命令キャッシュ、データ・キャッシュともにローカル・メモリと1K本のSRAMビット線で接続されており、キャッシュ・リフィルは1メモリ・アクセス・サイクルで完了する。DRAMセル・アレイの行アクセス時間(RASレイテンシ)として40ns程度を想定しているので、PE当りのピーク・メモリ・バンド巾は、 $\frac{1K \text{ ビット}}{40ns} = 25G \text{ ビット/秒} \approx 3G \text{ バイト/秒}$ となる。

また、DRAMのリフレッシュはすべてのサブアレイで同時に行なうことができ、リフレッシュ・サイク

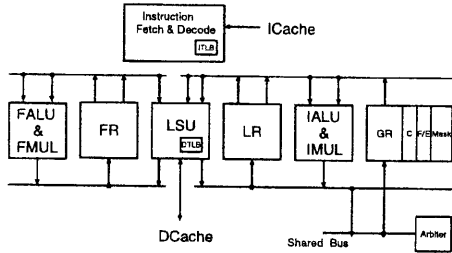


図5 プロセッサ・ブロック図

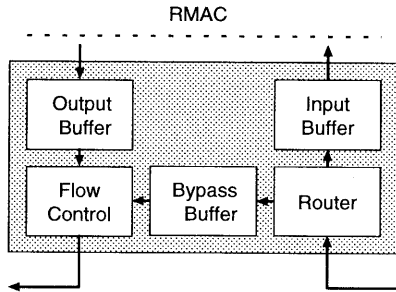


図6 チップ内 PPRAM-Link インタフェース

ル長をサブレイの行数である 8K に抑えている。

#### 4. プロセッサ

図5に、プロセッサの構成を示す。非スーパースカラ方式の極めてシンプルな命令パイプライン・プロセッサである。データパスも図から分かる通り、標準的な機能ユニットしか備えていない。

プロセッサ・モジュールの中で最も特徴的な存在は、グローバル・レジスタ (GR) である。GR は物理的には図5に示すように、各 PE にその完全なコピーを分散配置している。しかし、これらを論理的には1組の GR のように見せる必要がある<sup>4)</sup>。そのため、すべての GR を1本の共有バスで相互結合し、GR への書込みの度にその書込み内容を全 GR にブロードキャストして、内容の一貫性を保証するようにしている<sup>1)</sup>。

#### 5. PPRAM-Link インタフェース

PPRAM 標準通信規格「PPRAM-Link」<sup>3)</sup>に準拠する。規格では、チップ内物理レイヤはベンダ依存ということで標準化の対象にしていない。そこで、PPRAM<sub>m,f</sub><sup>R</sup>256-4では、図6および図7に示すように、チップ内リンクとチップ間リンクとで異なるインタフェース回路を設ける。これは、以下の理由による。

- チップ間では信号間のスキューおよび位相のずれが問題となるので、デスキュー (deskew) 回路およびエラスティック・バッファ (elastic buffer) が

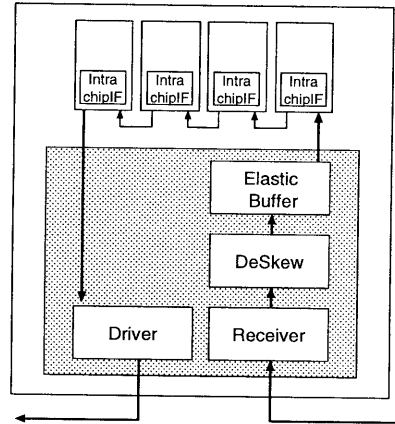


図7 チップ間 PPRAM-Link インタフェース

必要である。

- 一方、チップ内部は単一のグローバルなクロックに同期しており、位相のずれや信号間のスキューはほとんど問題ない程度に抑えることが出来る。したがって、チップ間のようにデスキュー回路やエラスティック・バッファを設けるほどのことはない。

したがって、図から分かるように、チップ間 PPRAM-Link インタフェースにはデスキュー回路およびエラスティック・バッファを設けているが、チップ内 PPRAM-Link インタフェースの方ではそれらを省略している。

#### 6. おわりに

以上、現在我々が開発している、PPRAM<sub>m,f</sub><sup>R</sup>仕様に基づく最初の試作 LSI である PPRAM<sub>m,f</sub><sup>R</sup>256-4 のハードウェア構成について述べた。特に、DRAM-ロジック混載 LSI で最重要課題となる DRAM-プロセッサ間メモリバスを中心に紹介した。

PPRAM<sub>m,f</sub><sup>R</sup>256-4 の最終的な諸元は表1に示した通りで、1998年度の完成時期を考慮に入れたものである。この「最終的」な PPRAM<sub>m,f</sub><sup>R</sup>256-4 の詳細設計に先立ち、今年度、異なるプロセス技術 (0.5μm CMOS) ではあるが、PPRAM<sub>m,f</sub><sup>R</sup>256-4 のプロセッサ部および PPRAM-Link インタフェース部を試作する予定である。この試作結果については別途報告する。

謝辞 日頃から御討論頂く、九州大学 大学院システム情報科学研究科 安浦寛人教授、岩井原瑞穂 助教授、安浦・村上・岩井原研究室の諸氏、ならびに、PPRAM コンソーシアム設立準備会の会員諸氏に感謝致します。

#### 参考文献

- 1) 岩下茂信, 宮嶋浩志, 村上和彰, “次々世代汎用マイクロプロセッサ・アーキテクチャ PPRAM の概

表 1 予定諸元

プロセス技術		0.25 $\mu$ m CMOS 2層金属配線
内部動作周波数		100MHz 以上 (目標)
PE 数		4
ローカル ・メモリ	記憶素子	DRAM(1トランジスタ型)
	PE 当り容量	8M バイト (64M ビット) (8K ビット/行 $\times$ 8K 行)
	全体容量	32M バイト (256M ビット)
	行アクセス時間	40ns 以下 (目標)
	PE 当りバンド巾	25G ビット/秒
	全体バンド巾	100G ビット/秒
キャッシュ	記憶素子	SRAM(高抵抗負荷型)
	構成	ダイレクト・マップ 物理アドレス・インデックス
	PE 当り容量	命令: 8K バイト (128B/ライン $\times$ 64 ライン) データ: 16K バイト (32B/ライン $\times$ 512 ライン =64B/ライン $\times$ 256 ライン =128B/ライン $\times$ 128 ライン)
	全体容量	命令: 32K バイト データ: 64K バイト
プロセッサ	基本語長	32 ビット
	レジスタ	汎用: 32 個 浮動小数点: 32 個 グローバル: 32 個
	論理規模	50 万トランジスタ以下
PPRAM-Link インタフェース	構成	開放型リングレット
	外部信号線	36 ビット (18b/リンク $\times$ 2 リンク)
	リンク当り 通信バンド巾	1G バイト/秒 (目標) (2 バイト $\times$ 500MHz)
完成時期		1998 年度中 (目標)

要,” 情処研報, ARC-113-1, 1995 年 8 月.

- 2) 村上和彰, 岩下茂信, 宮嶋浩志, 白川 暁, 吉井 卓, “メモリ-マルチプロセッサ一体型 ASSP (Application-Specific Standard Product) アーキテクチャ: PPRAM,” 信学技報, ICD96-13, CPSY96-13, FTS96-13, 1996 年 4 月.
- 3) 村上和彰, 岩下茂信, 宮嶋浩志, “メモリ-マルチプロセッサ一体型 ASSP 「PPRAM」用標準通信インタフェース「PPRAM-Link Standard」Draft 0.0 の概要,” 情処研報, ARC-119-27, 1996 年 8 月.
- 4) 岩下茂信, 宮嶋浩志, 村上和彰, “リファレンス PPRAM 「PPRAM<sup>rc</sup>」に基づく「PPRAM<sup>rc</sup><sub>m,f</sub>」アーキテクチャの概要,” 情処研報, ARC-119-28, 1996 年 8 月.