

ReVoluer/C40 の設計及び実装

吉谷直樹[†] 重田大助^{††} 藤原雅宏[†]
五島正裕[†] 森 眞一郎[†]
中島 浩^{†††} 富田眞治[†]

ReVoluer/C40 は、3つのステージによるマクロパイプライン構成、各ステージにおける様々な並列処理、バンクコンフリクトのないメモリ構成、サンプリング方法の単純化、レイキャスティング法の採用などの特徴をもったポリウムレンダリング専用並列計算機である。本論文では *ReVoluer/C40* の設計及び実装ならびに、すでに動作しているユニットを用いた評価の結果を示す。そして、1フレームを 128^2 pixel、ポリウム空間を 128^3 voxel、システム周波数を 16MHz とした場合の画像生成速度の評価を行った結果、23.84 フレーム/秒の性能が得られることがわかった。

Design and Implementation of *ReVoluer/C40*

NAOKI YOSHITANI,[†] DAISUKE SHIGETA,^{††} MASAHIRO FUJIHARA,[†]
MASAHITO GOSHIMA,[†] SHIN-ICHIRO MORI,[†] HIROSHI NAKASHIMA^{†††}
and SHINJI TOMITA[†]

ReVoluer/C40 is a parallel machine designed specially for volume rendering. The features of this machine are three stages macro-pipeline structure, various kind of parallelism in each stage, conflict free volume memory, the simplification of the way to sampling and adoption of the ray-casting algorithm. We have designed and implemented *ReVoluer/C40*. As a result of this implementation, we find that *ReVoluer/C40* can generate images of 128^2 pixels from 128^3 voxels volume in 23.84 frames/s under system frequency of 16 MHz.

1. はじめに

ポリウムレンダリングは、3次元空間を単位立方体(ボクセルと呼ぶ)で構成されていると考え、この空間を2次元のスクリーンに投影する技法である。この技法は、従来医療画像分野において人体内部の可視化を行う上で重要であった。さらに近年では、スーパーコンピュータなどの高速な計算機を利用した科学技術計算の結果の可視化による解析手法としても重要視されてきている。そのため我々は医療画像生成だけでなく、科学技術計算の結果の可視化も行えるような新しい専用並列計算機 *ReVoluer/C40* を開発している。

この目的を達成するためには、半透明ポリウムの

表示、遠近法による画像生成、高速描画という3つの要件を満足する必要があり、*ReVoluer/C40* ではそれぞれに対して以下に示すアプローチをとった。

半透明ポリウムの表示 科学技術計算の可視化に利用するために、*ReVoluer/C40* はポリウムを半透明な物体として扱うことで、ポリウム全体の様子を把握することを可能にした。

遠近法による画像生成 視点の位置や視線の方向に制限がなく、遠近法による奥行きのある画像表示を可能にした。

高速描画 ポリウムレンダリングは膨大な記憶容量と計算量が必要である。この際、最も計算時間を要するピクセル値計算を最大限並列化することを念頭においた。そのために、1) レイキャスティングアルゴリズムを採用し、2) 主軸等間隔サンプリングアルゴリズム¹⁾に基づいた、3) バンクコンフリクトのない3次元メモリを開発した。

本稿では第2章において *ReVoluer/C40* の概要について述べ、第3章ではレイキャスティングステージ(RCS)、第4章ではピクセル値計算ステージ(PCS)、第5章ではシェーディングステージ(SS)について述べ、第6章で *ReVoluer/C40* の評価を述べる。そして

[†] 京都大学大学院工学研究科情報工学専攻
Division of Information Science, Graduate School of Engineering, Kyoto University

^{††} 京都大学工学部情報工学科
Department of Information Science, Faculty of Engineering, Kyoto University

^{†††} 豊橋技術科学大学情報工学系
Department of Information and Computer Science, Toyohashi University of Technology

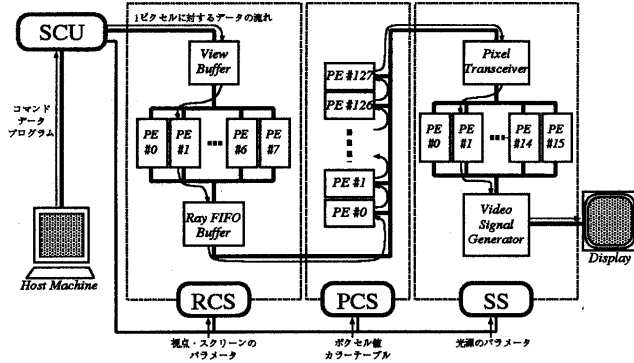


図1 ReVolver/C40の全体構成

第7章でまとめる。

2. ReVolver/C40の概要

2.1 ReVolver/C40の構成

ReVolver/C40は図1に示すように、以下に示す3つのステージと、これらの3つのステージをまとめてシステム全体の制御を行い、ホストマシンからの指示にしたがって、他の構成要素に対してコマンド/データを転送するSystem Control Unit(以下SCU)で構成される。

Ray Casting Stage(RCS) RCSはSCUから視点とスクリーンに関するパラメータ(ビューデータ)を受け取り、これらのデータと各ピクセルのスクリーン座標から視線ベクトルを求め、PCSにおけるボクセルサンプリング及びSSにおけるシェーディングに必要なデータ(視線データ)を出力する。RCSにおけるこれらの処理を総称して視線生成処理と呼ぶ。

Pixel Calculation Stage(PCS) PCSはボリュームデータを保持しているステージであり、RCSからの視線データを受け取り、これらのデータに基づいてその視線上にあるボクセル値を読み出す。ボクセル値は1byteのインデックス値なので、これを用いて属性テーブル¹⁾を参照し、ボクセルの色や透明度を求めてピクセル値計算を行う。そしてそのピクセル値をSSへ送る。

Shading Stage(SS) SSは、PCSから送られてくるピクセル値を、視線データに基づき適切な順序に並び替え、1フレーム分のデータが揃った段階でシェーディングを行い、その結果をCRTに出力する。

2.2 ReVolver/C40での並列処理

ReVolver/C40は、画像生成、シェーディング、画像出力の3つの処理をフレームごとにパイプライン処理することで高速化を図っている(図2参照)。このな

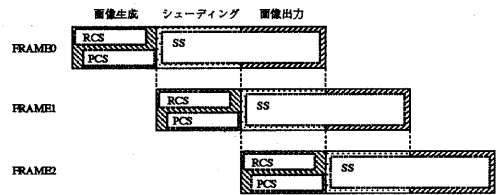


図2 ReVolver/C40のパイプライン構成

かで、画像生成はRCSとPCSが担当し、シェーディングと画像出力はSSが担当しており、それぞれが独立に処理を行っている。さらに、RCSとPCS内ではピクセル単位のパイプライン処理が行われている。また、各ステージでも以下に示すような様々な並列処理を行っている。

RCSでの並列処理 PCSの速度に見合った速度で視線データを生成するため、フレームをスキャンライン単位に分割して、8台のPEで並列処理を行っている。

PCSでの並列処理 PCSはパイプライン構成になっており、それぞれのPEは視点に近いボクセルから順にピクセル値を計算し、自分の処理が終わると次のPEに計算結果を渡す。プロトタイプではPEは128台使用する。

SSでの並列処理 SSでは、1)PCSから逐次的に送られてくるデータの受取りとそれを16台のPEで処理するための分配、2)シェーディング、3)シェーディングされたデータの収集と画像出力、という3段のパイプライン処理を行っている。またスクリーンを16個の2次元ブロックに分割し、それぞれを一つのPEに割り当て、シェーディング処理を並列に行う。

上述の通りRCSとSSは、処理すべきデータに対して、空間的な並列処理を、またPCSは、時間的な並列処理をそれぞれ行っている。このようにRCSと

PCS、PCSとSSとの間では、並列処理の形態が異なるため、RCSならびにSSでは、並列処理効率を低下させずにこれらの差異を吸収するための措置が講じられている。

3. レイキャスティングステージ (RCS)

3.1 RCSの構成

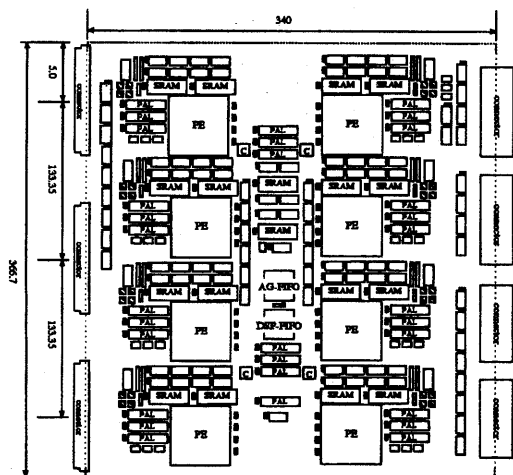


図3 RCS基板のレイアウト

RCSの基板上の構成を図3に示す。RCSの構成要素は主に以下の3つである。

View Buffer 全PEで共有されるメモリで、SCUからのビューデータ、DSPのプログラムなどを保持する。View Bufferは64Kwordsの容量をもつSRAMで構成され、シングルポート構成である。

Processing Element(PE) *ReVolver/C40*ではPEでのDSPには、TI社のTMS320C40を使用している。TMS320C40はGLOBAL BUSおよびLOCAL BUSと名付けられた2つのバスをもつ。RCSでは、GLOBAL BUS側にView Buffer、LOCAL BUS側にRay FIFO Bufferが接続される。これにより、ビューデータの読み出しバスと視線データの転送バスが分離され、PE間でのバス競合を軽減する。

Ray FIFO Buffer PEの生成した視線データを受け取るFIFO(First-In First-Out)メモリで、AG-FIFO Bufferと、DSP-FIFO Bufferの2種類が存在する。視線データを、視線そのものに関する情報と、ピクセル値に関する情報に分割、それぞれAG-FIFOならびにDSP-FIFOへ格納する。これにより、後述するPCSでのピクセル値計算とアドレス計算の並列処理が可能となる。

3.2 RCSの実装

RCSのソフトウェアを含めた実装の特徴をまとめると、以下のようになる。

- (1) スキャンライン単位での並列処理: 同一スキャンライン上のピクセルに対する処理を、すべて同一のPEで行うと、視線生成処理が単純化され、高速化が可能となる。そこで、RCSでの並列処理の単位は、スキャンライン単位とした。
- (2) サイクリック分割による静的負荷分散: 1スキャンライン分の視線生成処理時間は、そのスキャンライン上の視線が、ボクセルを通過する割合に応じて変化する。しかしながら、隣接するスキャンライン内では負荷の急変が少なく、かつ、動的負荷分散を行っても、そのコストに見合う性能向上が得られない。そこでRCSでは、スキャンライン単位のサイクリック分割による静的負荷分散方式を採用した。
- (3) 視線データ転送の高速化: Ray FIFO Bufferは、RCS内の全PEの共有資源であり、各PEで並列に処理された視線データを一旦逐次化してPCSへ供給する役割を担っている。したがって、この部分はシステムの性能を支配する要素の1つとなっている。視線データ転送の効率を上げるためには、1度に転送する視線データの数を増やせばよい。我々は、PCS内での視線生成処理時間、データ転送時間、PCSの処理速度のバランスを考慮して、64ピクセル単位で視線データ転送を行うことにした。

4. ピクセル値計算ステージ (PCS)

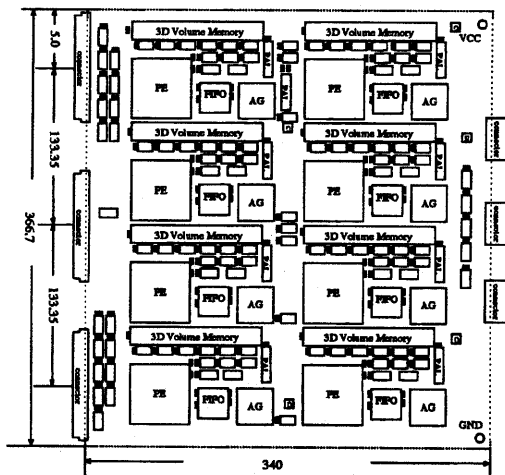


図4 PCS基板のレイアウト

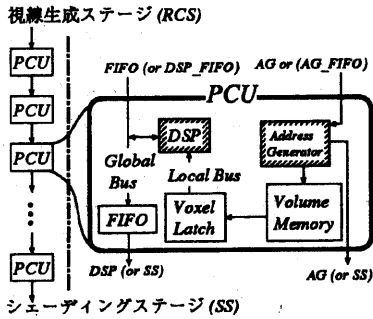


図5 PCUの構成図

4.1 PCSの構成

PCSはボクセル値計算ユニット(PCU)を1次元に接続させた構成となっている。1枚のPCS基板(図4参照)には、8台のPCUを搭載し、このPCS基板を直列接続することで、PCSを構成する。プロトタイプシステムは128台のPE(16枚のPCS基板)で構成する。

PCUの構成要素は主に以下の5つである(図5参照)。

Processing Element(PE) ボクセル値計算や、交差判定を行う。TI社のDSP(TMS320C40)を採用する。ボクセルデータアクセスをLocal Busで、ボクセル値情報の送受信をGlobal Busで行う。

Address Generator(AG) サンプリングするボクセルのアドレス計算、ボクセル値の読み出し、隣接するAddress Generator間の通信を行う。また通常のDRAM Controllerとしての処理や、DSPのLocal BusやVoxel Latchの制御も行う。AGは、Xilinx社のFPGA(XC4010D)を用いて実現する。

FIFO Buffer 次段のDSPへボクセル値情報の送信を行うためのバッファである。

3D Volume Memory データを格納しているDRAMである。ReVolver/C40は最大で 512^3 voxelのボリューム空間を扱い、1 voxelが1Byteなので、データの3重化¹⁾やプログラムの格納なども考慮して、4MBのDRAMを用いる。

Voxel Latch Address Generatorによってサンプリングされたボクセル値をDSPによって読み出されるまで保持しておく。

4.2 PCSの実装

PCSの実装の特徴をまとめると以下ようになる。

- (1) スケーラビリティ: PCSは、PCS基板を直列接続することで構成される。したがって、各PCUの3D Volume Memoryに格納すべきボリュームデータが4MB以下である限り、PCS基板の数に応じて、扱うボリュームデータのサイズを変化することができる。また、同一システムでも、1台のPCUが担当するボリュームデータの

サイズを増加することで、より大きなボリュームデータを処理することが可能である。ただし、この場合は、ボリュームサイズと処理時間のトレードオフが生じる。

- (2) PCU内での並列処理: 3D Volume Memoryとして使用するDRAMは、アクセス時間が比較的大きく、ボクセル値計算時間と比較して無視できない。そこでサンプリングするボクセル値のアドレス計算と読み出しを行う専用ハードウェア(AG)を設けて、ボクセル値のプリロードを行いVoxel Latchに格納する。DSPへのボクセル値の供給は、Voxel Latchが行う。これにより、メモリアクセスとボクセル値計算の並列実行が可能となり、ボクセル値の読み出し時間の隠蔽を図っている。

5. シェーディングステージ(SS)

5.1 SSの構成

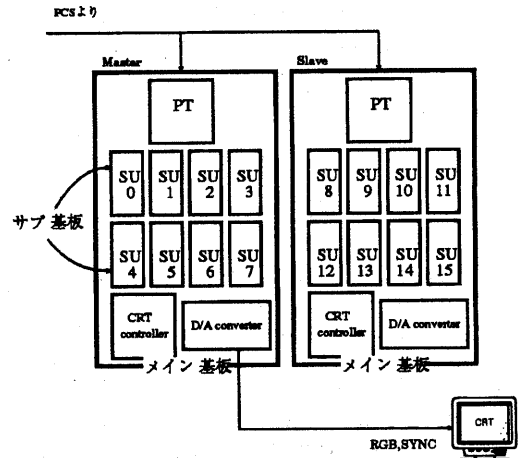


図6 SS基板の論理構成図

SSは、図6のようにメイン基板2枚からなる。1枚のメイン基板には、PEを1個持つサブ基板8枚が搭載されている。2枚のメイン基板は一方がMaster、もう一方がSlaveに設定される。SSの構成要素は主に次の3つである。

Pixel Transceiver(PT) 各ボクセルのデータを前のステージであるPCSから受けとり、その座標をもとにどのPEの担当であるかを計算し、そのPEの持つメモリにデータを書き込む。PTは、Xilinx社のFPGA(XC4010D)を用いて実現する。

Shading Unit(SU) 1個のSUはサブ基板1枚で構成されており、SSには16台のSUが搭載される。PTから受け取ったデータをもとに、depth

gradient shading によるシェーディング処理を施し、そのデータを書き込む処理を行っている。SUの構成については5.2節で詳しく述べる。

Video Signal Generator(VSG) SUでシェーディング処理を終え、VRAMからシリアルクロックに同期して送られてくるRGBデータをアナログ信号に変換し、CRTに出力する。VSGは、Xilinx社のFPGA(XC4010D)を用いて実現する。

5.2 SUの構成

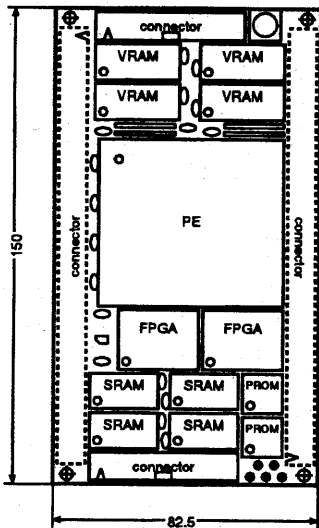


図7 SU基板のレイアウト

SUの基板上の構成を図7に示す。SUの構成要素は以下の5つである。

Receive Buffer(RB) PTがPCSから受け取ったピクセルデータを書き込むバッファであり、4MbitのSRAMを用いる。PTとDSPからのアクセスがあるため、物理的には1ポートであるが、時分割で仮想的に2ポートにしている。

RB Controller SRAMの制御と、PTとDSPからのアクセスの調停を行う。PTからのアクセスがあった場合はそちらを優先させる。RB Controllerは、Xilinx社のFPGA(XC4002A)を用いて実現する。

Processing Element(PE) シェーディングを行う。TI社のDSP(TMS320C40)を採用する。

Output Buffer(OB) シェーディングを終えたRGBデータを格納するバッファであり、CRTに出力するためのフレームバッファの役割もかねている。VSGとDSPからのアクセスがあるが、VSGがOBにアクセスする時間は長く、その間OBを占有してしまうとDSPが長い間OBに書き込むことができなくなる。よってOBではRAMポ

ートとSAMポートという2つのアクセスポートを持ったVRAMを使用している。DSPからの書き込みはRAMポートを使用し、VSGへのデータ転送は高速なシリアルアクセスが可能なSAMポートを使用する。VRAMは8Mbitの容量を持つ。

OB Controller VRAMの制御と、VSGとDSPからのアクセスの調停を行う。OB Controllerは、Xilinx社のFPGA(XC4002A)を用いて実現する。

6. ReVolver/C40の評価

ReVolver/C40の画像生成速度についての評価を行う。以下の評価は、現時点で動作しているRCS及び、PCSの一部を用いた実測値を用いた評価である。なお、ReVolver/C40の設計上のシステム周波数は25MHzであるが、現時点の実測値は16MHzで動作させた場合の値である。

6.1 RCSの評価

RCSの画面生成速度は、視線生成処理と視線データ転送のどちらかに律速される。7個のPEからのデータ転送時間(T_{trans})の和が視線生成処理時間(T_{calc})より長ければ($T_{calc} \leq 7T_{trans}$)、各PEの視線生成処理時間が視線データ転送時間に完全に隠蔽される。それ以外の場合は画面生成速度は視線生成速度に比例する。表1に、フレームサイズと視線がポリウム空間を通過する割合をパラメータとした、RCSの画面生成速度を示す。この値は、あるPEの視線生成プログラムの実行サイクル数(実測)をもとに、Ray FIFO Bufferの書き込みサイクルが5サイクルで、かつ、Bufferのあふれが生じないと仮定した場合の理論値である。表中の f_s はシステム周波数である。表中の()内の値は実測値であるが、実測値が理論値に比べやや速くなっているのは、実際のRay FIFO Bufferへの書き込みサイクルが4サイクルの場合が多かったためと考えられる。

6.2 PCSの評価

PCSの画面生成速度は、各PCUのDSPでのピクセル値計算時間とAddress Generatorがボクセル値を読み出す時間に依存する。実装の結果、ピクセル値計算時間がPCSの速度を決定し、Address Generatorがボクセル値を読み出す時間は隠蔽できることがわかった。ピクセル値計算プログラムの実行サイクル数内訳(実測)を表3に示す。よって、PCSの画面生成速度は、1台のPEが何枚の平面を担当するか、すなわちポリウム空間の大きさと、フレームの大きさによって決まる。またシステム周波数も速度に関係する。これらのことを考慮にいれて、実行サイクル数から算出したPCSの画面生成速度を表2に示す。表中の f_s はシステム周波数である。

表1 RCSの画面生成速度予測

| フレームの大きさ | 視線のボリューム空間通過の割合 | 画面生成速度 | |
|---------------------|-----------------|----------------------------|----------------------|
| | | $f_s = 16\text{MHz}$ | $f_s = 25\text{MHz}$ |
| 128^2pixel | 100% | 23.84frames/s | 37.12frames/s |
| 512^2pixel | 0% | 2.02frames/s(2.25frames/s) | 3.52frames/s |
| | 50% | 1.88frames/s(1.88frames/s) | 2.94frames/s |
| | 100% | 1.49frames/s(1.49frames/s) | 2.32frames/s |

表2 PCSの画面生成速度予測

| PCSの台数 | ボリューム空間の大きさ | フレームの大きさ | 画面生成速度 | |
|--------|---------------------|---------------------|----------------------|----------------------|
| | | | $f_s = 16\text{MHz}$ | $f_s = 25\text{MHz}$ |
| 128台 | 128^3voxel | 128^2pixel | 32.55frames/s | 50.86frames/s |
| | | 128^2pixel | 14.42frames/s | 22.44frames/s |
| | 512^3voxel | 512^2pixel | 0.90frames/s | 1.40frames/s |
| 512台 | 512^3voxel | 128^2pixel | 32.55frames/s | 50.86frames/s |
| | | 512^2pixel | 2.03frames/s | 3.18frames/s |

表3 ピクセル値計算プログラム実行サイクル数内訳(実測)

| 処理内容 | サイクル数 |
|--------------|-------|
| 主軸判定、主軸アーク送信 | 10 |
| ピクセル値計算処理 | 11 |
| ピクセル値送信処理 | 9 |
| 計 | 30 |

6.3 評価結果からの考察

これまでの評価は、RCS、PCS単体での評価であったが、実際の画像生成速度は、RCS、PCSいずれか遅い方に律速される。システムクロック周波数を16MHzで考えると、PE128台構成のプロトタイプPCSの場合、ボリューム空間が 512^3voxel の場合はPCSが律速し、フレームサイズ 512^2pixel の場合0.90frame/s、 128^3voxel の場合はRCSが律速し、フレームサイズ 128^2pixel の場合23.84frames/sであることがわかった。

ReVolver/C40は、ボリューム空間の一辺のサイズとPCS数が同じ場合に最大性能を発揮するので、プロトタイプシステムとしての有効性は示すことができたが、512台のPEでPCSを構成するフルシステムに対しては、RCSの改良が必要であることがわかった。

7. まとめ

本稿では、ボリュームレンダリング専用並列計算機ReVolver/C40の設計及び実装について述べ、また簡単な性能評価も行った。

現在PCSは基板のアバックを行っている最中であり、SSは基板の設計を行っている段階である。今後の課題としてはこれらの作業を終了させ、ReVolver/C40全体での性能評価を行う予定である。

謝 辞

メンター・グラフィックス・ジャパン株式会社のHigher Education Programの一環として製品とサービスをご提供頂き、また、日本テキサス・インスツルメント株式会社の加藤賢二氏には、DSPユニバーシティプログラムの一環としてDSP開発環境をご提供頂いたことに感謝します。また、プリント基板の作成にご協力頂いた、三精システム株式会社の藤代氏、森岡氏に感謝します。

なお本研究の一部は、文部省科学研究費補助金(一般研究(A)課題番号06402057、基盤研究(C)課題番号09680334ならびに奨励研究(A)課題番号09780268)による。

参 考 文 献

- 1) 對馬 雄次: ボリュームレンダリング専用並列計算機 ReVolver/C40, 並列処理シンポジウム JSPP '95 発表論文(1995)
- 2) 對馬 雄次: ボリュームレンダリング専用並列計算機 ReVolver/C40 のアーキテクチャ, 並列処理シンポジウム JSPP '94 発表論文(1994)
- 3) 鷲島 敬之, 西澤 貞次, 浅原 重夫 共著: 並列図形処理
- 4) 中嶋 正之, 川合 慧 共著: グラフィクスとマンマシンシステム
- 5) Texas Instruments: TMS320C4x User's Guide