

伝搬遅延による配線経路探索プロセッサ

佐野雅彦 高橋義造
徳島大学工学部知能情報工学科

迷路法ベースの専用回路化を前提とした経路探索法とその配線プロセッサのアーキテクチャを提案する。本手法では、配線コストを探索波の伝搬遅延として表現する事により、これまでの配線コストを用いた経路探索法よりも少ない通信量で経路探索が可能である。また、概略配線処理を用いることにより配線領域の分割処理を可能とするものである。本稿ではこれらの概要について述べる。

A Wire Routing Processor with Wave Propagation Delay

Masahiko SANO and Yoshizo TAKAHASHI
The department of Information Science and Intelligent Systems
Faculty of Engineering, Tokushima University

We propose a new wire routing method based on the maze router and its wire routing processor architecture. This method is able to decrease data size of inter processor communication using the wave propagation delay as the path finding cost. In this paper we describe a abstract of wire routing method and its processor architecture.

1. はじめに

プリント基板 (PCB) や VLSI の配線問題に対して多く処理方式が提案されてきた。配線問題は計算量が多く、アルゴリズムの高速化や専用計算機を含む並列処理による高速化が研究されてきた。近年では、配線問題の大規模化に伴う計算量の増加に対して、配線領域の分割処理により計算量を削減し、処理の高速化方法が研究されている。この分割処理は概略配線または階層配線処理などと呼ばれており、各種手法が提案されている。分割処理後の詳細配線には、従来から使用されている迷路法をベースとするもの、線分探索法をベースとするものなど幾つかの経路探索法[1]で処理されているが、最も計算量を消費し、かつ、局所的な配線品質の向上に直接影響する部分でもある。このため、専用計算機を用いた高品位な経路探索アルゴリズムの実装による研究成果も発表されている[3,4]。専用計算機で処理する場合、多数のプロセッサで処理するには迷路法ベースのものが構造も単純で、アレイ状に配置されることから集積化に向いており、拡張性も確保しやすい。このため、

迷路法をベースとする各種配線マシンが発表されてきた[2,3,4]。

迷路法をベースとする場合、探索開始点から周囲に探索波を伝搬させ、探索終了点までラベリングを実行し(前方探索)、探索終了点から逆方向に探索(後方探索)することで、経路探索が行われる。この場合、後方探索において直線方向を優先することにより、折れ曲がり数を少なくすることができるが、状況に応じた経路探索は難しい。このため、経路探索に配線コストを導入した経路探索法が提案され、状況に応じた経路探索が可能となった。配線コストを用いた経路探索法では、迷路法で伝搬されるラベリングの内容を距離でなく探索コストに置き換えたものであり、折れ曲がりだけでなく様々な要因の考慮した探索を可能にする。文献[4]では専用ハードウェアを用いて引き廻しがし再配線の反復処理によるインクリメンタルな品質改善を可能にしている。我々も同様な観点から配線コストを用いた経路探索法を汎用並列計算機上で処理する研究を行ってきた[5,6,7]。しかしこの様な経路探索法では、前進探索時において隣接グ

リッドとの差が迷路法のように固定値でないことから、コストを伝達するために多ビットの通信が必要となる（実際の通信線は通信時間とのトレードオフ）。このため、専用プロセッサの場合ではチップのピン数の不足招く問題がある。特に近年の実装密度の向上によりチップ上のゲート数は向上するが、ピン数はそれほど増加しないため、ゲート数は十分でも端子の不足による成約を受ける。

本研究では、SIMD型の専用プロセッサによる配線コストを用いた配線処理において、前述の問題点を解消する経路探索法について研究しており、以下の点を方針としている。

- ・LSIのピン数削減（ピンネックの緩和）
- ・単純な経路探索
- ・SIMD型並列処理を想定
- ・プロセッサ仮想化による大規模問題への対応

このような研究方針から検討した結果、本論文で提案する伝搬遅延による経路探索法を提案する。続く本文では提案する探索手法と、これをもとに専用プロセッサアーキテクチャおよびシステム構成について述べる。

2. 伝搬遅延による経路探索

2.1 探索波の伝搬方向

本手法では探索コストに応じた探索波伝搬の遅延を用いており、単層のXYルールに従う経路探索では、探索波の伝搬方向は図1に示すものとなる。時刻95で伝搬してきた探索波は、直進方向へは時刻96で出力され、折れ曲がり方向へは時刻100で出力される。出力側では入力側の方向を保存することで後述の後進探索のための情報として使用される。多層の場合は、探索方向を垂直方向に追加することにより実現される。この場合、ブラインド・ビアとするかどうかで探索方向の追加方法が異なるが、基本的には水平方向と同様な考え方である。

2.2 配線コスト

配線コストとして設定されるパラメータ、現在以下のものを想定している。経路探索はこれらコストを用いて探索し、グリッド毎にコストの計算を行った結果、最小コストの配線経路が

探索される。

直進コスト：配線経路が1グリッド当たりのコスト。各配線層の配線方向毎に設定

折れ曲がりコスト：配線経路の折れ曲がり

ビアコスト：各配線層間を接続するビア

間隔違反コスト：配線経路間などの間隔違反

接触コスト：他の配線経路と接触

交差コスト：他の配線経路と交差

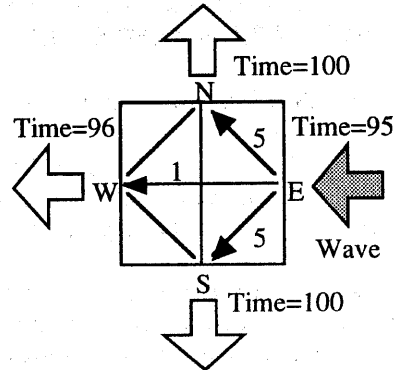


図1 探索波伝搬遅延の例

2.3 アルゴリズム

伝搬遅延による経路探索法のアルゴリズムを以下に述べる。

- ・セットアップ 経路探索可能配線領域および端子（ビア）配置可能領域を計算する。特に、間隔がグリッド以上に必要な場合に適用される。図2に示すように、経路探索可能領域は各配線経路や障害物から探索波を配線規則を満たすグリッド距離まで伝搬させ、伝搬されないグリッド（既配線や障害物などを除く）を配線可能領域とすることにより算出される。端子配置可能領域は、経路探索可能配線領域算出後、伝搬を継続して同様にして計算する。図2の例では、経路探索可能領域を配線経路、障害物等から1グリッド、端子配置可能領域は配線経路、障害物等から2グリッド離れた位置に設定するものと仮定している。領域の算出後、探索開始点、終了点を設定し、探索コストを設定するため、探索コストは各経路探索毎に変更可能である。

・前進探索 他のグリッドから伝搬してきた探索波は、出力方向に応じて配線コストから遅延時間が計算される。1回の探索ステップではこ

の遅延時間を1減らし、遅延時間が0となった探索波が存在する場合は出力する処理を行う。探索終了点に探索波が伝搬した時点で探索終了となる。このため、探索に要したステップ数の計測により探索コストが得られる。図3に示す単層の例で説明すると、この例では直進の探索遅延1、折れ曲がり探索遅延5とした場合、探索開始点Sから発した探索波は探索コストに応じた遅延で伝搬し、探索終了点Tでは遅延13で到達する。Tに探索波が到達した時点で前進探索は完了する。探索の結果、各グリッドの各辺には同グリッド内のどの方向からの探索波伝搬を示すフラグが残される。

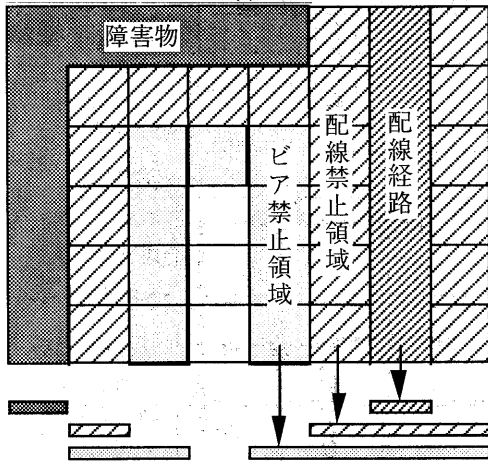
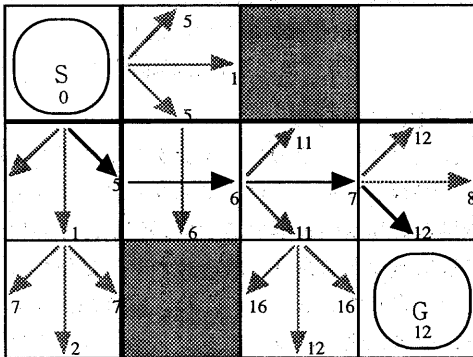


図2 セットアップ処理と、可能領域算出の例



直線方向を1、折れ曲がり方向を5のコストとする。図中の数値はスタートSからのコスト(遅延)の合計。

図3 経路探索例

・後進探索 前進探索で得られたフラグを用いて後進探索を行う。後進探索ではフラグを調べて伝搬処理するだけなので、伝搬遅延は常に1

であり、一般的な迷路法における後進探索と処理時間は同じである。このため、後進探索に要したステップを計測することにより経路長が算出される。図3の例では、探索終了点Gから太線矢印を逆に辿ることで探索開始点Sまでをステップ数5で後進探索が完了する。

・経路確定 後進探索時に唯一の経路しか見つからない場合は直ちに経路確定できるが、複数の経路が存在する場合、何れかの経路を選択する必要がある。例えば、図4に示すようにあるグリッドで異なる2つの探索波が同時に出力される場合、これらの探索波は同じ探索コストであるため、探索コストのみで判断する限りどちらを選択しても同じである。そこで、後進探索時では直進方向を優先し、常に唯一の経路とすることにより、経路確定の操作を単純化する。

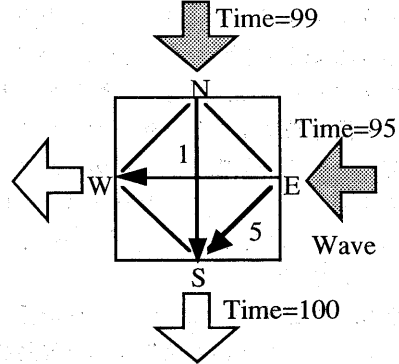


図4 異なる2つの探索波の同時出力例

3. 仮想化

2節のアルゴリズムでは配線領域のサイズを考慮していないが、実際には処理可能な物理的サイズの制約が存在するため、配線領域を適当に分割し、配線処理を行うプロセッサを仮想化する事により効率的に処理する必要がある。提案手法では、探索波の遅延を用いていることから従来の探索手法のように探索領域周囲のコスト値(ラベル値)を保存する方法の適用は困難である。このため本方式では、概略配線線処理と仮想端子を用いた階層配線処理により配線問題を各領域単位に分割することで、領域間での探索波の依存性を無くし、分割処理を可能にする。領域間の探索波の依存性が存在しないので、

配線プロセッサの仮想化が容易になる。

3.1 概略配線処理

概略配線処理では、与えられる配線問題を配線プロセッサが処理できる物理配線領域サイズに分割する。分割に際して物理配線領域の周囲に仮想端子を配置する。この例を図5に示す。仮想端子の配置は概略配線処理で行う。概略配線処理はホスト上で行うことを想定しており、配線プロセッサ上では特に処理しない。

3.2 多層配線処理

本方式の性質上、概略配線処理を用いずに配線領域の分割処理することは難しいが、多層配線処理を行う場合には、配線層間で個別に分割処理を行うのではなく、各探索波伝搬ステップ毎に各層を分割して処理することにより多層配線処理が可能となる。この場合、プロセッサ上のワーキングレジスタ（メモリ）が十分であれば処理可能な配線層数は実用上十分である。

別の方法としては、配線層に関して分割処理せず、各配線層にプロセッサを割り当てて処理する方法もある。配線層数に比例したプロセッサ数を必要とするが、プロセッサの構造はより単純になり、処理時間も短い利点もある。

3.3 入出力処理

仮想化した配線プロセッサ上で性能低下を押しさえるにはデータ入出力処理操作を経路探索処理をパイプライン的に並行処理することが必要である。もし、入出力が経路探索処理と比較して十分に高速ならば、入出力の隠蔽は不要で、入出力端子と経路探索で使用する端子が共用可能となり、端子数の節約に貢献する利点がある。しかしプロセッサを専用化した場合について考察すると、経路探索に要するサイクル数が専用化により短縮されるため、入出力時間も短縮しなければ性能は低下はする。このため、経路探索で必要なプロセッサ内部のワーキングレジスタのうち結果を保存する必要のあるもののみ二重化し、切り替えて使用する。使用されていない側のレジスタでは処理済みのデータの退避と新たなデータの読み込みを行うことにより実現する。この場合、経路探索に使用される端子は使用できない（入出力が十分に高速であれば共用

も可能）ため、別途入出力専用端子を設ける。

3.4 経路探索の平行処理

1つの探索ユニットは複数の探索プロセッサから構成されている。探索ユニットでは同時に複数経路を探索できないが、領域分割を行うことで、複数の探索ユニットによる経路探索の平行処理が可能となるが、複数ユニットに十分なデータ供給が可能なメモリ構成が必要である。

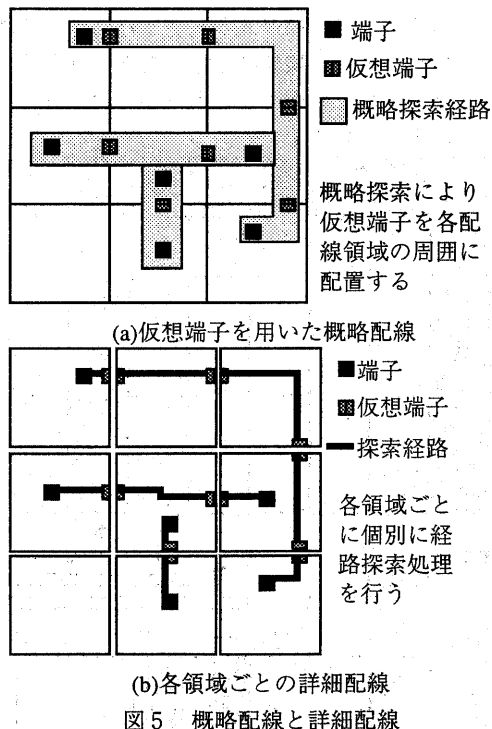


図5 概略配線と詳細配線

4. 配線プロセッサ

配線プロセッサのアーキテクチャを図6に示す。配線プロセッサは、前進探索および後進探索処理を専用演算器で高速に処理し、その他の処理は幾つかの命令を組み合わせることを想定している。このため、前進探索ユニット、後進探索ユニット、レジスタ、コントロールユニット、入出力ユニット等から構成される。

- ・前進探索ユニット 前進探索における探索波伝搬と遅延処理およびセットアップ時の領域計算処理を行う。伝搬遅延は図7示すような探索可能な方向に対応した遅延伝搬ネットワークを構成する。入力側から入力された探索波はネッ

トワーク上の各枝で遅延処理され、出力側では先着探索波の枝のみ記録する。

- ・後進探索ユニット 前進探索で得られた情報から後進探索処理を行う。

- ・コントロールユニット 全体を制御するコントローラからの命令を解析し、各ユニットの制御を行う。本研究では我々が研究中のSIMD制御方式[1]を採用する。プロセッサの制御はプロセッサ依存部分と共通部分に分けられ、依存部分のみプロセッサ内部に配置される。共通部分はチップ内部に1つ程度配置する。

- ・レジスタ 経路探索に一時的に使用されるテンポラリレジスタと結果保存の必要なレジスタで構成され、後者は2組のセットを持ち、データの入出力と経路探索の並行処理に切り替えて使用することにより対応する。

- ・入出力ユニット レジスタへのデータ入出力を行う。1プロセッサ当たり数ビット単位にスライスして処理される。データは図8に示すように隣接するプロセッサとカスケード接続され、順次入出力される。最終的に出力されたデータはメモリに格納される。また、入力と出力の同時処理も可能である。ただしこの場合、入力データを予め用意しておく必要がある。

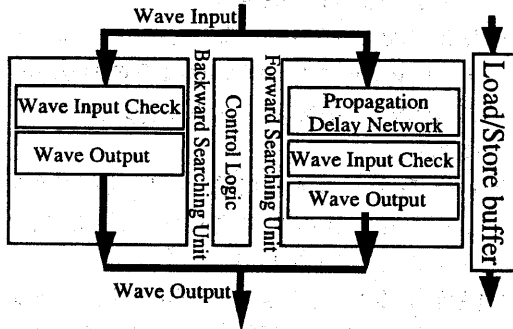


図6 配線プロセッサのアーキテクチャ

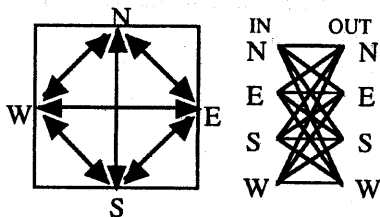


図7 遅延伝搬ネットワーク (単層の例)

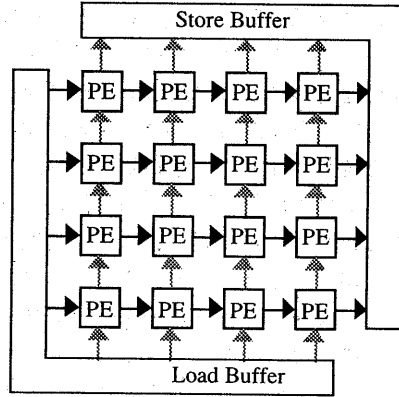


図8 データ入出力の流れ

5. システム構成

提案する配線プロセッサを用いて図9に示すシステム構成を提案する。以下に概要を述べる。

- ・探索ユニットの構成 配線プロセッサをアレイ状に配置する。探索ユニットにはコントローラが含まれており、探索ユニット単位の経路探索処理を行う。このコントローラにはプログラムメモリを持ち、探索ユニットのみで経路探索処理が可能である。また、データ集配部ではプロセッサアレイへのデータ分配・収集を行う。メモリシステムとのスループットを向上させるため、分配と収集の両側に、探索ユニットで必要な容量と同じ容量のバッファを設ける。

- ・メモリシステム 複数の探索ユニットに対するデータの転送が必要なため、メモリバスを多重化する。ブロック単位 (ブロックサイズは探索ユニットのデータサイズ) のリード・ライトにより、スループットの向上を図る。メモリのリード・ライト要求は各探索ユニットから発せられ、メモリシステム側では順次処理する。

- ・コントローラ 配線処理のスケジューリング、探索ユニットおよびメモリシステムなどの制御を行う。制御プログラムはローカルメモリに格納されており、ホストとは独立して動作する。また、ホストとの接続を制御し、コントローラのローカルメモリおよび探索ユニットが用いるメモリはホストから直接アクセス可能とする。

6. 考察

本節では入出力端子数と動作速度に関して考

察する。2層配線問題を仮定し、チップに2層分のプロセッサを実装すると、各グリッドの水平方向の通信線は双方向通信用いた場合、16本となり、チップ当たり8×8グリッド128プロセッサとした場合、周囲に必要な端子数は128本となる。この他に入出力用端子が64本、コントローラからの制御入力を考慮しても256本程度必要となる(入出力は1ビットと仮定)。一方、配線層に関して仮想化を行った場合、同グリッド構成で前者の半数の64プロセッサとなり、周囲に必要な端子数は64本となることから、入出力端子数も半数の32本で全体として160本程度になる。

動作速度について考察すると、配線層について仮想化を行わず、前進探索、後進探索ユニットをそれぞれ専用回路として実現した場合、探索波伝搬の1ステップは遅延数の変更、判定、出力および更新で3クロック程度で処理可能と考えられる。一方、ロード・ストアに対するサイクル数の見積りが必要であり、現在、プロセッサの詳細設計と併せて検討中である。

本方式に対して引き廻しがし再配線処理の適用について考察すると、既配線経路の引き廻しがし処理と、概略配線処理の再実行に要する計算量が高速化に対するボトルネックになると推測されるため、今後の検討が必要である。

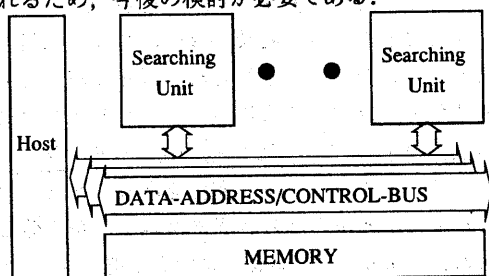


図9 配線システムの構成

7. おわりに

配線コストを用いた経路探索法において、探索波の伝搬遅延を用いた迷路法ベースの経路探索法を提案した。本提案手法では、探索波の有無のみを周囲のグリッドに伝搬するため、専用回路化した場合に要する端子数が少ないという特徴を持つ。また、概略配線処理を用いることにより配線プロセッサの仮想化および多層配線

処理に対応したプロセッサアーキテクチャの提案し、その概要について考察を行った。同時に複数の探索ユニットから構成される並列配線システムの概要を述べた。また、より配線品質を向上させる引き廻しがし再配線処理について考察を述べた。現在、これらに基づいて評価のためのプロトタイプ的设计を行っている。プロトタイプはFPGAで構成予定であり、1または2つ程度の探索ユニットを備えたものを想定している。

参考文献

- [1] Ohtsuki T.: "LAYOUT DESIGN AND VERIFICATION", Elsevier Science Publishers B.V. (North Holland), Chapter 3 "Maze-running and Line-search Algorithms, pp. 99-131 (1986).
- [2] M. A. Breuer and K. Shamsa, "A Hardware Router," J. Digital Syst., no. 4, pp. 393-408, 1981.
- [3] T. Watanabe, H. Kitazawa, Y. Sugiyama, "A Parallel Adaptable Routing Algorithm and its Implementation on a Two-Dimensional Array Processor," IEEE Trans. on Computer Aided Design, vol. 6, no. 2, 1987.
- [4] 河村, 進藤, 澁谷, 三渡, 大木, 土肥: 超並列配線マシンMAPLE-RP, 並列処理シンポジウム'91, pp. 373-379 (1991).
- [5] 佐野, 高橋: 分散メモリ型と共有メモリ型マルチプロセッサによる並列配線処理の性能評価, 情報処理学会論文誌, vol. 33, No. 3, pp. 369-377 (1992).
- [6] 佐野, 高橋: 並列配線問題における並列引き廻しがし再配線処理の品質改善効果, 情処学論, 33, 2, pp. 304-315, 1995.
- [7] 佐野, 高橋: 部分引き廻しがし再配線法による並列処理のための多端子ネットの経路探索法, 電子情報通信学会論文誌, Vol. J79-D-II, No. 7, pp. 1252-1260, 1996.