

1chipAVデコードを実現する 非均質マルチプロセッサアーキテクチャ

落合 利之[†] 吉岡 康介[†] 木村 浩三[†] 平井 誠[†]
法貴 光典[†] 貝田 邦尋[†] 清原 督三[†]

松下電器産業(株) マルチメディア開発センター[†] / 半導体開発本部[†]

マルチメディア処理をプロセッサで実現するには、マルチメディア処理専用命令を追加した汎用プロセッサの使用と、メディアプロセッサと呼ばれるマルチメディア処理に特化したアーキテクチャの使用の2つのアプローチがある。前者はAVデコードのフルフレームレートが保証できず、後者は、動作周波数向上等によりコストが増加し、いずれも民生機器には不向きである。我々は、マルチメディア処理の形態に応じて分類した3つの処理を各々担当するユニットを設け、負荷に応じて処理時間が均一になるようにユニットを最適化して、並列実行させる非均質マルチプロセッサアーキテクチャを考案し、低動作周波数(54MHz)でMPEG2のフルフレームデコードを実現した。

Heterogeneous Multi-Processor Architecture for AV Decoding by Single Chip

Toshiyuki Ochiai[†] Kousuke Yoshioka[†] Kouzo Kimura[†] Makoto Hirai[†]
Mitsunori Houki[†] Kunihiro Kaida[†] Tokuzo Kiyohara[†]

Multimedia Development Center[†] / Corporate Semiconductor Development Division[†],
Matsushita Electric Industrial Co.,Ltd.

Either a general purpose processor which has additional instructions for multimedia processing, or a media processor which architecture is specialized for it, is used to realize multimedia processing. they are not suitable for consumer multi-media products because we can not guarantee full-frame decoding by the first approach, and the cost is high by the second one. We propose heterogeneous multi-processor architecture that has three processing units which are optimized for media processing that includes different kind of characteristics, and work in parallel. This parallel execution scheme obtains high utilization of the units, and realizes MPEG2 full-frame decoding under 54 MHz operation frequency.

1 はじめに

近年、DVD プレーヤや Digital Set Top Box (STB) などデジタル動画を処理するオーディオ/ビデオ (AV) 機器が製品化されている。これらの民生機器では、AVデコード時のフルフレームレートの保証とともに、低コスト/低消費電力化が要求される。また、種々のマルチメディア分野のアプリケーションに短期間で対応するためには、ソフトウェアのみの追加によって新たな機能を実現できる機器が望まれている。

マルチメディア処理をプロセッサで実現するには、汎用プロセッサにマルチメディア処理専用の命令を追加実装するアプローチ [1][2] と、メディアプロセッサと呼ばれる、マルチメディア処理に特化したアーキテクチャを用いるアプローチ [3][4][5] がある。前者は、逆離散コサイン変換 (IDCT) や動き補償 (MC) などピクセル単位の処理を高速化するハードウェアを追加することにより、高性能 PC での MPEG デコードを可能にしているが、処理量が増加した場合にはコマ落ちや滑らかさに欠けるなどの問題がある。後者は、フルフレームデコードを実現しているものの、動作周波数が高いことや、高性能 CPU のサポートが必要なことなどから民生機器には向いていない。

これらの問題を解決するために、我々は民生機器向けのマルチプロセッシング方式メディアプロセッサ “Media Core ProcessorTM (MCP)” を開発した。MCP では、マルチメディア処理の形態やアルゴリズムに応じて分類した 3 つの処理を担当するユニットを設け、それらを並列実行させるマルチプロセッシング方式を採用した。さらに、負荷に応じて処理時間が均一となるように各ユニットを最適化することにより、演算器の稼働率を上げ、演算性能を向上させた。これにより動作周波数を低く (54MHz) 抑えつつ、AV デコードのフルフレームレートを保証でき、かつ内部プロセッサのマイクロコードのみの変更で、DVD プレーヤや STB など様々な AV 機器に応用可能とした。

2 章では、AV デコードに必要な処理の特徴について述べ、3 章では、MCP のアーキテクチャについて説明する。4 章では、MCP を使った 1 Chip AV デコーダの概要を述べる。

2 AV デコード 処理の特徴

MPEG2 ビデオ、Dolby DigitalTM (AC3) オーディオおよびサブピクチャ (圧縮された 2 次元グラフィックス) を含む符号化された DVD 規格のビットストリームをデコードする場合の処理の流れを図 1 に示す。入力されたビットストリームに対してシステムレベルのストリーム解析を行い、ビデオ、オーディオ、およびサブピクチャの 3 種類の符号化されたストリームに分離する。各々のストリームに対して、独立にデコードし (図 1 の 3 つのデコードの流れ参照)、出力画像と音声を得る。ビデオ出力処理部では、出力画像に対してフォーマット変換 (4:2:0 → 4:2:2) とサイズ変換を行い、さらに、サブピクチャおよび OSD (On Screen Display) データとのブレンド処理を行う。また、AV 同期やトリックプレイ (早送り再生、スロー再生など) を実現するために、上記各処理の全体制御を行う。

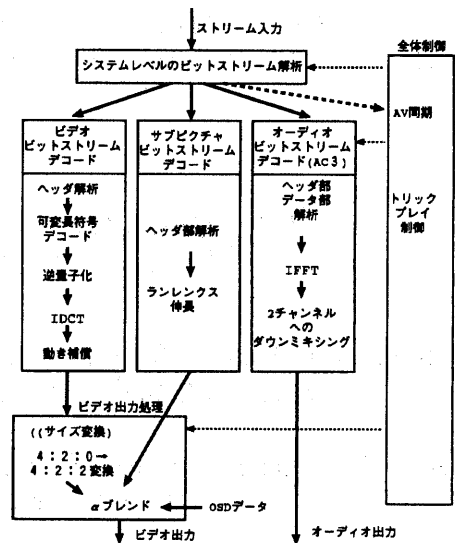


図 1: DVD における AV デコード 処理の流れ

上記デコード処理は、その形態とアルゴリズムによって以下の 3 つに分類できる。

1. 逐次処理

ビットストリーム解析、可変長符号デコード (VLD) など逐次実行が必要な処理。

2. 並列処理

逆量子化 (IQ), 逆離散コサイン変換 (IDCT), 動き補償 (MC) などピクセルレベルで並列実行可能な処理。

3. 非同期イベント処理

ストリーム入力, オーディオ/ビデオ出力に伴うデータ転送の起動や終了確認などの処理。個々の処理量は比較的少ないが, 複数の要因で非同期に発生するイベントを並行して処理する必要がある。

上記の処理は性質が異なるため, 単一のプロセッサで処理しようとする, 演算器の稼働率低下をまねいてしまう。

AV デコードのフルフレームレートを保証するには, 高い演算性能が必要とされる。演算量を必要とする部分は並列度が高く, 単純に演算器を増やすことによって性能向上が得られる。しかしながら, このような構成を採用した場合には, 上記 1 のような逐次処理を行う部分ではほとんどの演算器がアイドル状態となる。また, 非同期イベント処理においては, 複数の入出力処理を扱うためにコンテキストスイッチが必要であるが, 資源の退避復帰のためのオーバーヘッドが発生する。

3 Media Core Processor

3.1 システムアーキテクチャ

MCP では, 2 章で述べた 3 種類の性質が異なる処理に対して, その処理形態やアルゴリズムに適したプロセッサを用意し, その非均質なマルチプロセッサ構成において, プロセッサの稼働率を向上させるための最適な処理量の配分を行った。

まず, オーディオ/ビデオのビットストリームデコードを主に行うコア処理部と非同期イベント処理を含む間欠的な処理を主に扱う I/O 処理部に分割する。これより, 多種の非同期イベント発生によりコンテキストスイッチを必要とする処理の大部分は, I/O 処理部で処理されるため, コア処理部は, AV のデコード処理に専念することができる。

コア処理部で行うデコード処理のなかで, 演算量が最も多いのはビデオの IDCT, MC である。ただし演算に必要とされる精度は 16bit 程度と低い。また, MC では, 参照画像の読みだしや生成した画

像を書き戻すための広いメモリバンド幅 (60MB/s) も必要である。そこで IQ, IDCT 演算をピクセル単位で並列実行できる VLIW 型のプロセッサを設けることにより演算性能を確保し, 一方, MC はメモリアクセスの高速化のため, 専用ハードウェアを用いる。

ストリーム解析などの逐次処理は, 演算量が少なく, かつ並列実行できないので, DSP 型プロセッサを設けて実行する。ストリーム解析では, bit 判定命令の出現頻度が高いため, 条件付命令をサポートすることにより分岐ペナルティを削減した。

オーディオデコードの IFFT (逆高速フーリエ変換) は並列処理であるが, ビデオに比べて演算量が少なく, かつ 24bit 以上の演算精度が必要とされるためストリーム解析用の DSP 型プロセッサにより行う。さらに, ビデオの IDCT 演算を実行中に, DSP 型プロセッサでオーディオデコードの処理を行えるように, VLD を行う専用ハードウェアを追加する。

このような構成を取ることにより以下の利点が得られる。

- 逐次処理と並列処理を分離して, 別々のプロセッサで並列に処理させることにより演算器の稼働率を向上させることができる。
- 演算精度に対応した処理ユニットを用いることにより適切な演算器を選択することができる。
- ビデオの逐次処理の部分 (あるいは上流レベルの部分) とオーディオデコード処理をソフトウェアで処理することにより, メディア処理の展開に対して柔軟に対応できる。
- ビデオの並列処理部分を VLIW 型の処理ユニットを用いたスケラブルな構成にすることにより, 要求演算性能に対応した構成を比較的容易に実現できる。

3.2 ハードウェア構成

図 2 に MCP のハードウェア構成を示す。MCP は, AV のデコード処理を行うコア処理部とデータの入出力処理を行う I/O 処理部で構成されている。MCP では, AV のデコード結果や入力したビットストリームを格納するために, 外部にクロック同期型の DRAM (SDRAM) を使用する。

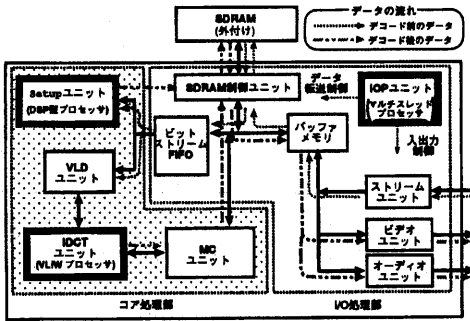


図2: MCP のハードウェア構成

コア処理部は、ビデオのストリーム解析とオーディオのデコード処理全般を行う DSP 型プロセッサ (Setup ユニット)、可変長符号の切り出しを行う専用回路 (VLD ユニット)、IDCT 演算を行う VLIW 型プロセッサ (IDCT ユニット)、および MC の処理を行う専用回路 (MC ユニット) の 4 つのユニットで構成されている。図 3 にビデオの 1 マクロブロック分のデコードを行った場合のコア処理部のパイプライン動作を示す。Setup ユニットは、最初に VLD ユニットとの協調動作によりストリーム解析を行い、その後はオーディオデコード処理を行う。VLD、IDCT、MC の 3 ユニットは、Setup ユニットでのストリーム解析が完了した後に、同期を取りながらブロック単位 (Y0, Y1, Y2, Y3, Cb, Cr) でパイプライン動作する。そして、1 マクロブロックの処理が完了したら Setup ユニットに通知する。Setup ユニットでオーディオデコードを実行するため、ストリーム解析後は、VLD ユニットが Setup ユニットと独立に動作できるようにした。

I/O 処理部は、入出力処理を制御する IOP ユニット、外部とのデータの入出力を行う周辺ユニット (ストリームユニット、ビデオユニット、オーディオユニット、SDRAM 制御ユニット)、および SDRAM と各ユニットとの間でデータ転送を行う場合に一時記憶用のバッファとして使用する内部メモリ (バッファメモリ、ビットストリーム FIFO) により構成される。IOP ユニットは、最大 6 つの処理タスクをオーバーヘッドなしに時分割多重実行できるマルチスレッド型のプロセッサであり、各処理タスクは、一定時間ごとに起動され、割り当てられた時間分の処理を実行するため、実時間動

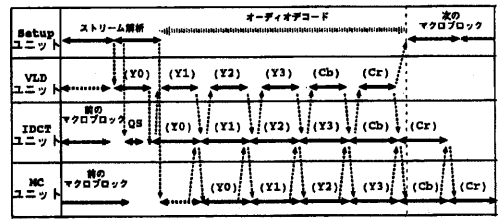


図3: コア処理部のパイプライン動作

作を保証できる。これにより、ストリーム入力処理、データバッファ間の転送処理、AV 出力処理、OSD (On Screen Display) 処理など間欠的な非同期イベントを高効率で実行できる。

AV デコード時のデータの流れるは以下の通りである。ストリームユニットが MPEG2 のシステムストリーム (複数ストリームが多重化されている) を入力するとともに、システムレベルのストリーム解析を行い、ビデオ/オーディオ/サブピクチャの 3 種類のビットストリームに分離し、バッファメモリを経由して外付けの SDRAM に格納する。バッファメモリを経由させるのは、ストリームユニットが間欠的に出力するデータを直接 SDRAM へ転送すると、SDRAM の転送効率が低下するためである。ビデオのビットストリームは、ビットストリーム FIFO を経由して VLD ユニットに供給された後、上記で説明したようにコア処理部の 4 つのユニットによるパイプライン処理によってデコードされ、MC ユニットがデコード結果を SDRAM に格納する。オーディオのビットストリームは、ビットストリーム FIFO を経由して Setup ユニットに供給され、Setup ユニットがデコードして、デコード結果を SDRAM に格納する。また、サブピクチャのビットストリームは、IOP ユニットがデコードする。SDRAM 上に格納されたデコード後のデータは、バッファメモリを経由して、ビデオユニットおよびオーディオユニットに転送され、フォーマット変換などの処理を行った後に外部へ出力される。

以下、MCP に設けた 3 つのプロセッサについてその処理内容と特徴を述べる。

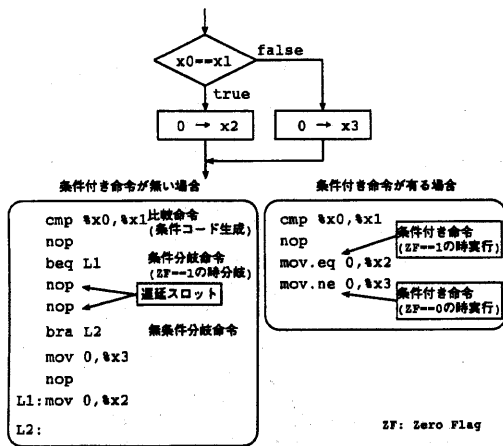


図4: 条件付き命令の使用例

3.2.1 Setup ユニット

ストリーム解析とオーディオデコードを行う。論理演算/制御レジスタアクセスなどの命令系と、内部メモリとレジスタ間の転送/条件分岐命令などの命令系の2命令を同時に実行可能なDSP型プロセッサである。

ストリーム解析で出現頻度が高い〈bit判定+分岐〉という処理における分岐ペナルティを減らすために、条件付き命令をサポートした。条件付き命令は、演算結果により生成されるコンディションコードが指定した値である時のみ実行するように制御可能な命令である。これにより、図4に示したように、条件分岐命令を条件付き命令に置き換えることが可能となり、分岐命令の遅延スロットに有効な命令が挿入できない時に発生する分岐ペナルティを無くすることができる。また、オーディオのデコードにおいて、演算精度が要求されるため、32bitのALU/乗算器を用意した。

3.2.2 IDCT ユニット

IQ/IDCT演算をピクセル単位で並列実行する。IQ/IDCT演算は、演算量は多いが、演算精度はそれほど要求されない。従って、乗算器とALUを1組有するブロックを4つ備えたVLIW型プロセッサとし、回路規模の増大を抑えるため、乗算器/ALUのビット数は18/20bitとした。

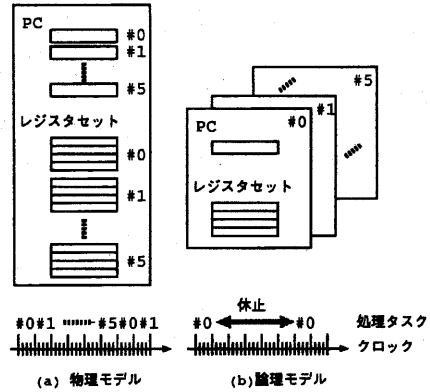


図5: IOPユニットのプログラミングモデル

また、IDCT演算では、各ブロックで異なる演算を行う部分があるため、その全ての組合せを命令ROMに格納すると、ROM容量が増大する。そこで、命令ROMと同一フォーマットの命令を保持する命令テーブルと、各ブロック毎に命令ポインタを設け、各ブロックで異なる演算を行う場合には、命令ポインタによって命令テーブルから命令を供給することにより、命令ROMの容量を1Kステップ以下に削減した。

3.2.3 IOP ユニット

I/O処理部で行う全ての入出力処理およびSDRAM-内部メモリ間の転送制御を行う。最大6つの処理タスクをオーバーヘッドなしに時分割多重実行するマルチスレッド型プロセッサである。図5(a)に示したように、物理的には、プログラムカウンタ(PC)とレジスタセットを6組備え、使用するPCとレジスタセットを4サイクル毎に切替えて複数の処理タスクを実行する。これを論理的に見ると、(b)のように、PCとレジスタセットを1組み持つプロセッサが6個存在し、各プロセッサが、システムクロックの1/6の速度で動作しているのと等価である。従って、各処理タスクのマイクロコードの独立性を高くすることが容易であり、入出力・周辺機能を柔軟に拡張することができる。また、各処理タスクは、一定時間ごとに起動され、割り当てられた時間分の処理を実行するため、実時間動作を保証できる。

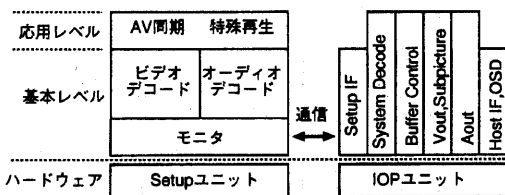


図6: MCPのソフトウェア構成

3.3 ソフトウェア構成

図6にMCPをDVDのAVデコードに応用した場合のソフトウェア構成を示す。ソフトウェアは、ハードウェアに対応して、Setup用マイクロコードとIOP用マイクロコードがある。

Setup用マイクロコードには、コンテキストスイッチと割り込み処理を行う“モニター”と呼ぶ階層が存在し、これにより、ビデオデコードとオーディオデコードの2つの処理を時分割で実行する。このため、ビデオデコード/オーディオのソフトウェアでは、VLDユニットとの同期制御や時分割実行制御を意識する必要がなく、各種メディア規格に対応したソフトウェアを容易に開発できる。

一方、IOP用マイクロコードは、6つのスレッドに対応して、図示した6つのタスクに分割されており、IOPユニットはこれらのタスクを時分割多重実行し、実時間動作を実現した。

4 AVデコーダMN67750

MCPにDVD用のマイクロコードをROMとして内蔵したAVデコーダ“MN67750”を開発した。表1にその概要を示す。MPEG2のAVデコードに加え、OSD(On Screen Display)に使用する2次元グラフィックス機能などを有する。また、NTSC/PALエンコーダ、DVD用アスクランブラ、Video用DAコンバータなどを内蔵し、SDRAMを外付けすることにより、1ChipでDVDの再生機能を実現する。

5 おわりに

AVデコードに含まれる逐次処理/並列処理/非同期イベント処理にそれぞれ最適なプロセッサ

表1: MN67750の概略仕様

ビデオデコード	MPEG2(MP@ML, SP@ML, MP@LL) MPEG1
オーディオデコード	MPEG, Dolby Digital TM , Linear PCM
ビデオ出力	NTSC/PALビデオエンコーダ内蔵 DAコンバータ内蔵 デジタル出力: ITU-R601, Y/C アナログ出力: Y/C, コンポジット Y/Cb/Cr
オーディオ出力	PCM出力, IEC958出力
その他	OSD(On Screen Display) DVD用アスクランブラ内蔵 コピーガード
外付けメモリ	シンクロナス DRAM バス幅: 16bit 容量: 16Mbit または (16+4)Mbit
半導体プロセス	0.35 μ CMOS, 3層メタル配線
動作周波数	54MHz (SDRAMは81MHz)
電源電圧	3.3V (LVTTL)
パッケージ	208ピン・プラスチック QFP

を設けた非均質なマルチプロセッサアーキテクチャにより、54MHzの低動作周波数でMPEG2のフルフレームデコードを実現した。また、マイクロコードの変更により、525Pのデコード(ビデオのみ)も実現し、応用展開容易であることを確認した。

今後は、525P/720P/1080Iなどの高画質対応のために、性能向上、機能追加を行う。

参考文献

- [1] Ruby B.L, “Real-Time Software MPEG Video Decoder on Multimedia-Enhanced PA 7100LC Processors,” April 1995 Hewlett-Packard Journal pp.60-68 (1995).
- [2] Alex P. et al. “MMX Technology extension to the INTEL architecture,” IEEE MICRO, Vol.17, No.2, pp.42-50 (1996).
- [3] Paul K. “Hardware-Software Interactions on Mpack,” IEEE MICRO, Vol.16, No.4, pp.20-26 (1997).
- [4] Slavenburg, G. et al. “The Trimedia TM-1 PCI VLIW Media Processor,” Hot chips VIII, pp. 171-177 (1996).
- [5] Yoshida T. et al. “A 2V 250MHz Multimedia Processor,” ISSCC Digest of Technical Papers, pp. 266-267 (1997).