

画像音声復号プロセッサにおけるメモリアーキテクチャ

西田 英志*¹ 落合 利之*¹ 木村 浩三*¹ 平井 誠*¹
 元濱 正之*² 田中 健志*² 上原 宏敏*³ 清原 督三*¹

松下電器産業(株)

マルチメディア開発センター*¹ / 半導体開発本部*² / AVC社 AVC商品開発研究所*³

民生応用をターゲットとしたメディア処理のトータルソリューションを提供するメディアプロセッサ Media Core ProcessorTM(MCP)を開発した。低周波数・低消費電力でフルフレームの MPEG Audio/Video, Dolby Digital Audio デコードが可能である。AV デコードでは高いメモリバンド幅が必要となるため、外部メモリとして一般的に SDRAM が用いられるが、アクセスあたりのオーバーヘッドが大きく、転送効率の低下が問題となる。我々は、アクセス順の最適化やバッファ機構を実装したメモリアーキテクチャにより、SDRAM の転送効率を向上し、低周波数(54MHz/81MHz)での動作を可能にした。

Memory Architecture for Audio / Video Decoding Processor

Hideshi Nishida*¹ Toshiyuki Ochiai*¹ Kozo Kimura*¹ Makoto Hirai*¹
 Masayuki Motohama*² Takeshi Tanaka*² Hirotohi Uehara*³ Tokuzo Kiyohara*¹

Multimedia Development Center*¹ / Corporate Semiconductor Development Division*² /
 AVC Products Development Lab., AVC Company*³,
 Matsushita Electric Industrial Co.,Ltd.

We developed a Media Processor called Media Core ProcessorTM(MCP) which targets a system solution for consumer multimedia products. This processor can decode full frame MPEG Audio / Video & Dolby Digital Audio with lower operating frequency and less power. In general, SDRAM is used to get a large bandwidth for Audio/Video decoding. However, it has a large overhead for one access and causes memory access efficiency to get worse. It is a memory architecture including memory access order optimization and memory buffering that makes working with lower operating frequency(54MHz/81MHz) possible.

1 はじめに

従来、マルチメディア処理における Audio/Video デコードなどの処理には、専用 LSI が用いられてきた。特定の規格に対して専用のハードウェアを組むため、実行速度の観点からは有利であるが、規格の追加・変更や、DVD や STB などの各種応用への対応は困難である。一方、高性能な汎用 CPU においてもマルチメディア処理専用の命令を追加実装し [1]、Audio/Video デコードをソフトウェア処理する方式が用いられている。各処理をソフトウェアで記述するため、規格の追加・変更や、各種応用への展開は容易ではあるが、現状では、高性能

CPU を用いても、フルフレームデコードの性能要求を満たすことはできない。さらに、民生機器ではデコード処理のみではなく、Video や Audio の入出力処理も必要となり、そのための付加的なハードウェアがコストと消費電力の増大を招く。

このため、近年、ソフトウェア処理の柔軟性と、高い要求性能の実現を目指して、メディア処理に特化した特定用途向け信号処理プロセッサとして位置づけられるメディアプロセッサ [2][3] の開発が行われている。メディアプロセッサはメディア処理に適したアーキテクチャを採用し、コストパフォーマンスに優れている。さらに、プログラムを変更することにより様々なメディア処理を実現できるため、

開発期間の短縮が可能である。我々は、これらの要求を満たすメディアプロセッサとして Media Core ProcessorTM(MCP)を開発した。

第2章では、MCPの構成について、第3章では、DVDのデコードでのメモリアクセスについて、第4章では、DVDデコードが抱えるSDRAMメモリバンド幅の実効効率低下における課題について、第5章では、そのメモリバンド幅の課題を解決するメモリアーキテクチャについて述べ、第6章において外部メモリに必要なバンド幅の評価する。

2 Media Core Processor

Media Core ProcessorTM(MCP)[4]は民生応用をターゲットとし、マルチメディア処理に対するトータルシステムソリューションを提供するチップである。民生応用では低コスト・低消費電力での実現が重要な要因となり、合わせて開発期間の短縮も高い優先度を持つ。

これらの要求に対してMCPでは、AVデコードに含まれる逐次処理、並列処理、非同期イベント処理の3種類の性質が異なる処理に対して、その処理形態やアルゴリズムに適したプロセッサを用意し、非均質なマルチプロセッサ構成[5]において、プロセッサの稼働率を向上させるための最適な処理量の配分を行っている。この方法により動作周波数の増加を抑えながらマルチメディア処理に対して柔軟かつ効率的な対応を実現している。図1に

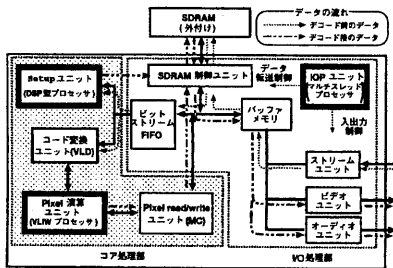


図1: MCPのハードウェア構成

MCPのハードウェア構成を示す。MCPは、コア処理部とI/O処理部で構成されている。コア処理部はAudio/Videoのビットストリームデコードを主に行い、DSP型プロセッサ(Setupユニット)、可変長符号の切り出しを行う専用回路(コード変換ユニット:VLD)、逆離散コサイン変換(IDCT)を行うVLIW型プロセッサ(Pixel演算ユニット)、および動き補償(MC)の処理を行うPixel read/writeユニットの4つのユニットで構成されている。

I/O処理部は非同期イベント処理を含む間欠的な処理を主に扱い、入出力処理を制御するI/O Processor(IOP)ユニット、外部とのデータの入出力を行う周辺ユニット(ストリームユニット、ビデオユニット、オーディオユニット、SDRAM制御ユニット)により構成される。IOPユニットは、各処理タスクをオーバーヘッドなしに時分割多重実行できるマルチスレッド型のプロセッサであり、ストリーム入力処理、データバッファ間の転送処理、Audio/Video出力処理、OSD(On Screen Display)処理など間欠的な非同期イベントを高効率で実行できる。

Audio/Videoのデコード結果や入力したビットストリームを格納する手段として、MCPではコストとメモリバンド幅の点から外部にクロック同期型のDRAM(SDRAM)を使用している。

3 DVDにおけるメモリアクセス

DVD再生において、外部メモリにアクセスする内容は以下の通りである。但し、ここに挙げた値は転送時のオーバーヘッドを除いたデータのみの転送レートであり、実際には、オーバーヘッド分を加えた値となる。

- エレメンタリーストリーム書き込み (1.3MB/s): 外部から入力されたA/V混在のプログラムストリームをストリームID毎に分離して、Audio, Video, サブピクチャのエレメンタリーストリームとして外部メモリに保存する。
- Videoエレメンタリーストリーム読み込み (平均:1.2MB/s, ピーク:24.7MB/s): Videoデコード用に外部メモリに置かれたVideoのエレメンタリーストリームを読み込む。
- 参照画像読み込み (39.4MB/s): 動き補償の処理用に外部メモリに置かれた参照画像を読み込む。
- 生成画像書き込み (15.5MB/s): 動き補償後に生成した画像を外部メモリに保存する。
- Video出力表示 (15.5MB/s): 外部メモリに置かれたVideoデコードにより生成した画像をVideo出力表示のために読み込む。
- Audioデコード & Audio出力 (8.3MB/s): Audioエレメンタリーストリームの読み込みとAudioデコード時のデコード結果の保存、再生時に出力するフレームの読み込み。
- サブピクチャのデコード (3.0MB/s): サブピクチャのデコード結果の外部メモリへの保存。

- OSD 書き込み/描画 (10.6MB/s): On Screen Display に使用するために必要となる外部メモリへの保存と読み込み。

以上より参照画像の読み込みと生成画像の書き込みを含めた動き補償に関係するメモリアクセスが最も高頻度であることが明らかである。また、平均の転送レートとピーク時の転送レートは、特に Video エレメンタリーストリームの読み込みにおいて大きく異なる。

4 メモリバンド幅における課題

MCP で使用する SDRAM の特性と DVD 再生におけるメモリアクセス (ライン単位で転送するメモリアクセスと動き補償時のメモリアクセス) について述べ、メモリバンド幅の実効効率における課題をまとめる。

4.1 SDRAM の特性

SDRAM はクロック同期型の DRAM で、連続領域へのバーストアクセスでは高い性能を示す。その反面アクセスアドレスが非連続となる場合のオーバーヘッドが大きいため、バースト長が短い場合には、SDRAM の効果を十分に発揮することができない。図 2 に SDRAM の同一バンクに連続して read/write アクセスした場合のタイミングの例 (CAS レイテンシ=3 の場合) を示す。この場合のオーバーヘッドは転送するデータ量にかかわらず、read/write ともに 7 クロック必要である。

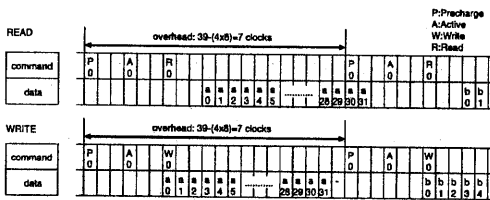


図 2: SDRAM read/write アクセスタイミング

2 バンク構成の SDRAM はデータ転送中に他方のバンクの Precharge, Activate 命令を先行的に発行することが可能である。この特性を利用すると、1 アクセスあたりの見かけ上のオーバーヘッドを軽減することができる。転送効率を上げるためには、2 バンク構成の SDRAM の特性を考慮したシステムの設計が必要である。

4.2 ライン単位のメモリアクセス

Video 出力, Audio 出力, ビットストリーム供給, Audio デコードによる SDRAM へのアクセスは、連続のアドレスをアクセスするライン単位のアクセスであるが、一回のバースト長が長いものや短いものも含め様々である。基本的には一定時間ごとに発生する連続した少量のデータ転送であり、SDRAM にアクセスする領域も予め確定している。このようなアクセスをする処理は種類が多く存在する。図 3 にライン単位のアクセスパターンを示す。

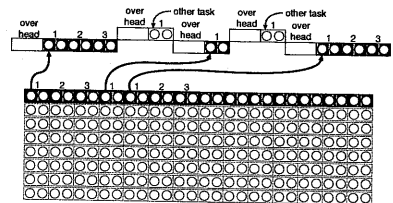


図 3: ライン単位の SDRAM アクセス

4.3 動き補償時のメモリアクセス

外部メモリへのアクセス頻度が最も高い動き補償では、ブロックでのアクセスの場合、1 アクセスあたり最大でも 9 画素分のデータを転送するだけである。16bit I/F (データバス幅が 16bit) SDRAM であれば、1 回のアクセスのバースト長は最大でも 5 と短く、アクセスが連続して 8,9 回と繰り返されるため、転送量の割にオーバーヘッドの割合が大きくなり、転送効率が悪くなる。そのうえ、アクセスの合計の転送量も多いため問題である。図 4 に 9x8 画素の領域を転送する際のアクセスパターンを示す。

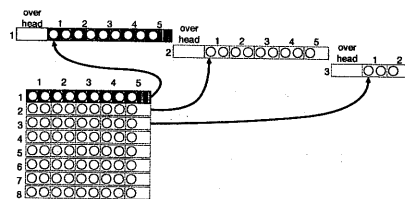


図 4: 動き補償時の SDRAM アクセス

ブロック内にページ境界が存在する場合には、バースト長はさらに短くなりアクセス回数が増えるため、効率が低下する。

4.4 SDRAMバンド幅における課題

以上より AV デコーダの外部メモリとして SDRAM を用いる場合には、

- SDRAM は 1 アクセスあたりのオーバーヘッドが大きい
- ライン単位のアクセスでは、SDRAM にアクセスする処理の種類が数多く存在する
- 動き補償のアクセスでは、SDRAM へアクセスする頻度が高く、1 アクセスあたりのバースト長も短い

という問題がある。これらは内部回路と外部メモリの高速化を必要とし、コストと消費電力の増大を招く。したがって民生機器に応用する上では、外部メモリへのアクセス効率の向上が必要である。

5 メモリアーキテクチャ

5.1 ライン単位のメモリアccessの対策

Video 出力、Audio 出力、ビットストリーム供給、Audio デコードによる SDRAM へのアクセスは、ライン単位のアクセスパターンをとる。ライン単位のアクセスはバースト長が様々であるが、連続アクセスが可能であるため read/write のバッファを設けることにより、SDRAM から一度にまとめてバッファに取り込み、内部では、使用する単位毎に少量ずつバッファから取り出すことで、SDRAM の稼働効率を高めることが可能である。MCP では内部にバッファメモリ・ビットストリーム FIFO・シェアードメモリの 3 つの SDRAM バッファメモリを設け、ライン単位の SDRAM アクセスの稼働効率を高めている。それぞれのメモリの用途は以下の通りである。

- バッファメモリ

画面表示のために SDRAM 上に置かれたデコード画像を Video 出力ユニットへ転送するためのバッファリング機能、音声出力のために SDRAM 上に置かれたデコードされたフレームを Audio 出力ユニットへ転送するためのバッファリング機能、ビットストリーム入力ユニットから SDRAM へストリームを書き込むためのバッファリング機能、MCP 外部から SDRAM へ書き込むためのバッファリング機能を 1 つのメモリで実現した。

- ビットストリーム FIFO

SDRAM から読み出した Audio / Video のビットストリームを Setup ユニットとコード変換ユニット (VLD) に転送する前に一時的に保持するメモリ。ビットストリームをバッファリングすることにより、SDRAM のアクセス効率を高めている。

- シェアードメモリ

Audio デコードの際の中間データの読み書きやデコード結果の SDRAM への書き込みをバッファリングするメモリ。Video デコードでは量子化スケール、量子化マトリックスを保持するメモリも兼ねる。

5.2 動き補償時のメモリアccessの対策

Pixel read/write ユニットは Video デコードにおいてフレーム間の動き補償 (Motion Compensation: MC) を行なうユニットである。Pixel 演算ユニットで IDCT 演算することにより再現された差分画像と SDRAM 上に置かれた前後 2 枚の参照画像の平均を加算して 1 枚の画像を生成する。再現した画像は SDRAM 上に保存される。参照画像の読み出し、再現画像の書き込みをブロック単位で SDRAM に対して頻繁に行なうため、ユニット自体の性能は SDRAM のアクセス性能により制約を受ける。Pixel read/write ユニットを設計する上で、SDRAM への効率的なアクセスが必要である。そこで MCP では、以下の手法で動き補償時の SDRAM へのアクセス効率の向上を図っている。

1. SDRAM のキャッシング機構

SDRAM のバンド幅を有効に活用するため、Pixel read/write ユニットは内部にブロックの内容をキャッシングする前方向・後方向の 2 系統の Pixel Buffer を持つ。動きベクトルが前方向・後方向に 2 本存在する場合には、それぞれのベクトルが Pixel Buffer の半分を使用する。2 系統の Pixel Buffer のうち一方は Pixel 演算ユニットから転送された差分画像と参照画像とを加算した生成画像を SDRAM に書き込むためのキャッシュとしても使用する。

2. バースト長の確保

SDRAM のアクセス効率を上げるためにバースト長を確保する目的で、2 ブロック単位の SDRAM アクセスを用いている。Y0/Y1 のブ

ロックと Y2/Y3 ブロック, Cb/Cr ブロックの単位で SDRAM にアクセスを行う (図 5(a)).

3. アクセスオーバーラップ

2 ブロックアクセスオーバーラップ

2 ブロックアクセスの read と write の間には SDRAM アクセスの空き状態が存在するため, 次の 2 ブロックの read を先行して行なう 2 ブロックオーバーラップ処理を行なっている (図 5(b)).

マクロブロックオーバーラップ

Cb/Cr の演算結果を SDRAM に書き込む前のタイミングで SDRAM が Pixel read/write ユニットから SDRAM へのアクセスがないタイミングが存在する. このタイミングに Video 出力などの他のアクセスも存在しない場合には, SDRAM が空き状態となるため, 次のマクロブロックが実行可能であれば, Y0/Y1 ブロックの参照画像の読み込みのアクセスを行ない, SDRAM アクセスの空きタイミングを埋める (図 5(c)). これによりアクセス効率を高めることが可能である.

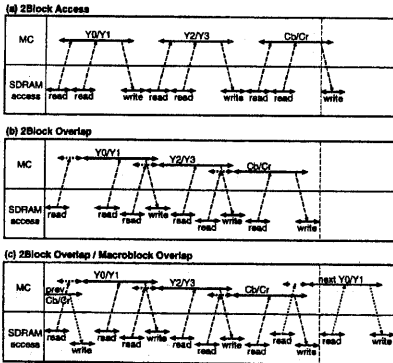


図 5: 2 ブロック/マクロブロックオーバーラップ

4. アクセス回数の削減

MPEG においては動き予測は水平方向・垂直方向ともに 1/2 画素精度で行われるため, 動きベクトルが画素と画素の間 (1/2 画素) を指し示す場合には, 取り込んだ参照画像に対してハーフペル処理を施すことが必要となる. 水平方向・垂直方向の一方のみ動きベクトルが 1/2 画素を指し示す場合には, その方向の隣接 2 画素の値を平均して間の画素を作り出す. 水平方向・垂直方向ともに動きベクトルが 1/2 画素を指し示す場合には, 水平/垂直の隣接 4 点で同様に行う (図 6).

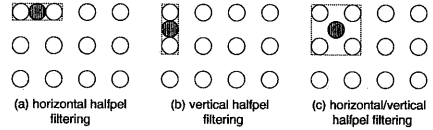


図 6: ハーフペル処理

この処理のため, 動きベクトルが 1/2 画素を指し示す場合とそうでない場合で必要となる参照画像の領域が変化する. 水平/垂直ともに,

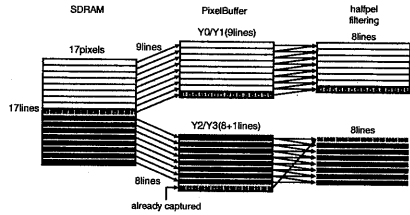


図 7: Y2/Y3 ブロックのアクセス量削減

ハーフペル処理を行う場合には, 水平に 1 画素, 垂直に 1 ライン余分に必要となる (図 7). Y2/Y3 ブロックで必要となる参照画像の先頭の 1 ラインは Y0/Y1 ブロックで既に取り込まれているため, Y2/Y3 ブロックで使用できるように PixelBuffer に残す制御を行い, Y2/Y3 ブロックのメモリアccessの際には, その続きのラインから取り込むようにする. これにより, 1 ライン分のメモリアccessを削減することができる. B ピクチャの双方向予測とともにハーフペル処理が必要な場合には特に効果的である.

5. 見かけ上のオーバーヘッドの削減

動き補償の際に取り込む参照画像の領域は, 動きベクトルの値により参照画像内の任意の領域となるため, ブロック内にページ境界を含むアクセスが頻繁に発生する. ページ境界を越える度に SDRAM に対して命令 (Precharge+Activate) を発行する必要があるため, 同一ページ内の場合と比べて大きなオーバーヘッドが発生する.

そこでオーバーヘッドをできるだけ小さくするために, 隣り合うマクロブロックが常に異なるバンクとなるように SDRAM 上に配置して, データ転送中に次の命令を発行できるようにしている.

またブロック内にページ境界が存在する場合には, 各バンクのアクセスの順によりアクセス効率が異なる. アクセス順を最適化することにより, 見かけ上のオーバーヘッドを軽減す

ることができる。図8にバンクのアクセス順によるアクセス効率の違いの例を示す。この場合にはバンクのバースト長が短-長-長-短となるように(case(A))でアクセスを行うと効率が高くなる。

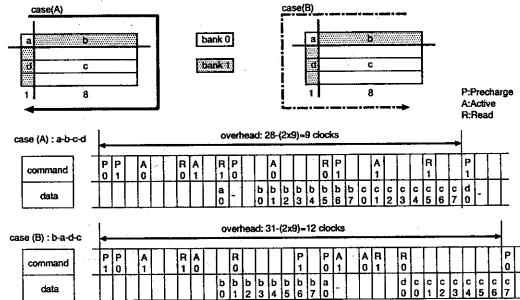


図8: バンクのアクセス順による効率の違い

6 評価

DVD再生機能を含めたMCPのSDRAMに対するアクセス量を評価した。本評価では、Audio/Videoのデコード再生に関わるプログラムストリーム入力、Audio/Videoデコード、Audio/Video出力に加えてDVD再生機能として必要となるサブピクチャデコード、OSD(On Screen Display)に使用する2次元グラフィックス機能を含む。

図9に16bit I/F SDRAMと32bit I/F SDRAMを用いた場合のSDRAMアクセスに必要なクロック数を各処理別に分類しグラフで示す。

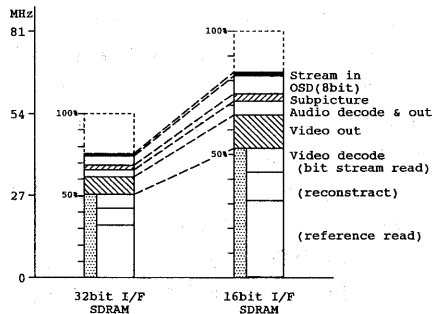


図9: 32bit/16bit I/F SDRAM のバス占有率

Audio/Videoデコード処理において、16bit I/F SDRAMで81MHz、32bit I/F SDRAMで54MHzで動作可能である。16bit/32bit I/F SDRAMともに性能の約半分をVideoデコードが占有している。その内の80%はPixel read/writeユニットのアクセスである。16bit I/F SDRAMは本来32bit I/F

SDRAMの2倍の動作クロックで稼働効率は同等であるが、データバス幅が半分であるためにバースト長が長くなる。結果として16bit I/F SDRAMの効率は32bit I/F SDRAMの約4/3倍となり、16bit I/F SDRAMの方が効率的である。

また16bit I/F SDRAMで81MHz動作であれば18%、32bit I/F SDRAMで54MHz動作であれば23%のSDRAMアクセスに対するマージンが存在する。

7 おわりに

本報告ではメディア処理に特化したメディアプロセッサのメモリアーキテクチャについて述べた。Video出力、Audio出力、Stream入力、AudioデコードのSDRAMのアクセスにバッファリングするメモリを導入し、Videoデコードにおいてはpixel read/writeユニットにSDRAMのキャッシング、バースト長の確保、アクセスのオーバーラップ、アクセス回数の削減、見かけ上のオーバーヘッドの削減の手法を用いることにより必要なSDRAMのバンド幅を減少させた。Audio/Videoデコードを32bit I/F SDRAMで54MHz、16bit I/F SDRAMで81MHzで実現した。

参考文献

- [1] Alex P. et al. "MMX Technology extension to the INTEL architecture," IEEE MICRO, Vol.17, No.2, pp.42-50 (1996).
- [2] 吉田 豊彦 "VLIW型メディアプロセッサ" 情報処理, Vol.38, No.6, pp.499-506 (1997)
- [3] Paul K. "Hardware-Software Interactions on Mpact," IEEE MICRO, Vol.16, No.4, pp.20-26 (1997).
- [4] 清原 督三 "LSIデコーダとシステム化技術" 電子情報通信学会総合大会, TC-1-8, pp.347-348 (1998)
- [5] 落合 利之 他 "1chipAVデコードを実現する非均質マルチプロセッサアーキテクチャ" 情報処理学会研究報告, 97-ARC-127, pp.871-878 (1997)