

Hardwareでの動画処理における動的再構成の有意性について

関山 守^{††} 野村 真義[†] 平木 敬[†]

動画処理に於いて高速性が求められる場合、Hardwareによる処理の実装は有効であり、Hardware回路量の増大により処理の高速化が容易に可能となる。回路の量を簡易に増加できない場合、Hardwareを動的に再構成することにより仮想的に回路量を増加させることにより、少ない資源量を有効に利用した高速化が可能になる。本稿では動画処理に於いて動的再構成がいかほど有意であるかについて述べる。またそれに基づいて我々が作成した動的再構成可能な動画処理用 Hardware Testbed 基板について述べる。

Validity of Run-time Reconfigure at Treatment of Animation with Hardware

MAMORU SEKIYAMA,^{††} MASAYOSHI NOMURA[†] and KEI HIRAKI[†]

In a management of animation, when high speed execution is requested, a method like implement with an exclusive hardware is valid. And to increase a quantity of hardware circuit makes management speed high easily. If to make quantity big statically is not permitted, to make quantity big virtually, that is realized to reconfigure a hardware on run-time, makes execution time short with utilizing less-resources. In this paper, we describe about a validity of Run-time Reconfigure, when we implement a treatment of animation on hardware. We also describe about our hardware testbed board treating animation, that has an ability of run-time reconfigure.

1. 序

圧縮・伸長といった動画に関する処理の実装を考えた場合、一般のプロセッサ上でプログラムを走らせるといった Software での実装だけでは高速化できない場合が存在する。これは処理対象となるデータが連続的でありデータサイズが大きいということと、データに施す処理が複雑かつ行列演算の様な高速化が難しい場合が多いということに起因する。専用 Chip などを用いた Hardware による支援回路を実装に組み込むことにより上記処理実装の高速化が可能となる。そのような手法による高速化を考えた場合、Hardware の回路量の増減が直接速度の高低にかかわってくる。なぜならば画像処理のように複数のデータに対して全く同一の処理を施すことが可能な場合、同一回路を複数実装して並列的に回路を動かすことによって高速に処理を進めることができるため、すなわち回路量が多いほど簡単に処理の高速化が計れるわけである。実際の Hardware 実装に於いては実装可能な回路量に制限が存在するため、必要とされる速度と必要となる回路量を的確に見究めた上で実装を行な

わなくてはならない。

動的再構成可能な Hardware を用いることにより、実装されている Hardware の回路の量を越えるような回路を仮想的にその Hardware 上に実装することができ、回路の量に対する制限をゆるめることができる。動的再構成可能な Hardware というのは、FPGA などに見られる再構成可能な Device を実行時に再構成可能とするような Hardware のことである。現在の Device 開発技術の進歩に伴い再構成可能な Device の能力は集積度（回路量）及び速度の面に於いて急激に上昇しており、これまで用いることの出来なかった高速性を求められる処理にも用いられることが多くなってきた。高速に稼働する再構成可能な Device を実行時に再構成することにより、Hardware の高速性を残しつつ Software の柔軟性を Hardware に持たせた新しい Hardware の実現が「動的再構成可能な Hardware」である。

動的再構成可能な Hardware を動画処理に用いることにより通常の Hardware を用いるよりも高速に処理を終了させることが出来ると考え、我々は動的再構成可能な動画画像処理用 Hardware Testbed 基板を設計した。本稿では Hardware による動画処理について、および動的再構成について解説した後、動画処理における動的再構成の有意性について述べる。また、我々の設計・実装した Hardware Testbed 基板について説明を行なう。

[†] 東京大学理学部
Faculty of Science, University of Tokyo

^{††} 電子技術総合研究所
Electrotechnical Laboratory, AIST, MITI

2. 動画処理の Hardware 実装

動画処理を一般的なプロセッサ上で行なうことは非常に困難である。なぜならば、動画処理を行なう場合はビデオ信号のデジタル化という処理が必要であるので Analog/Digital Converter (ADC) のような Hardware のサポートは必須となるため、またデジタル化したデータのサイズが非常に大きなものであり一時的に記憶することが難しいためである。さらに先にも述べたように処理自体が Software で実装するには複雑であること、処理の並列性に基づく高速化が Software で実現するには難しい、といったこともある為、高速な処理が必要な場合は Hardware による実装を考えるべきである。

一般的な動画のデジタル化によるデータの形式とその特徴については次の通りである。日本では NTSC ビデオ信号を用いている。この信号では毎秒 30 枚の画像を送受信している。1 枚当たりのピクセル数は横 910 ピクセル、縦 525 行であり、その内部に水平同期および垂直同期信号を含んでいる。これらの制御用信号を除いた実際の画像のサイズは 720 X 480, 640 X 480 というものが一般的である。これらの値から動画のデジタル化によって生成されるデータは毎秒 26MByte (1 ピクセルを 24bit でデータ化した場合) であり、あるピクセルを受けとってから次のピクセルを受けとるまでの時間は約 70 ナノ秒であることがわかる。

次に実際の処理について考えてみると、動画の圧縮においては、2 枚の画像間の差分をとる、といった手法を用いているものが多く、また生成するデータの一時的保存のためにもメモリの量のある程度は確保する必要がある。また、画面全体のピクセルに対して同一処理を行なうことが有効である場合が多いため、回路量が多いほど高速化が可能である。

さらに、動画処理では実際に適用する処理を多段に分割してパイプライン化することが可能かつ高速化に有効である場合が多いため、並列動作可能なブロック化の施された回路であると簡易に処理の高速化が計れると考えられる。

以上のことから動画処理を Hardware で実装する場合に必要なこととは次のようにまとめられる。

- ビデオ信号のデジタル化の為の ADC の実装
- 毎秒 26MByte のデータを処理可能な回路量
- 高速動作可能な回路
- 並列に動作する回路ブロック
- 大容量のメモリ

最も極端な場合では 70 ナノ秒ごとに一つの処理が行なえる程度の高速性と、24bit 幅のデータを処理できる程度の回路の大きさという相反する要求を同時に満たす必要がある。

3. 動的再構成

Hardware での「動的再構成」とは、回路 (Hardware) が動作を行なっている間にその回路自身を再構成して、Hardware の実行結果を変化させることを言う。この様な新しい Hardware の用法の基となったことに、FPGA, CPLD のような再構成可能な Device の存在がある。再構成可能な Device は回路の Prototyping によく用いられてきたが、その速度の遅さと回路規模の小ささから実際の処理には向かないとされてきた。しかしその高速化および大規模化が進み、実際の処理にも用いることが可能となった。これを受けて動的再構成可能な Hardware の実用化についての研究が行なわれている。Hardware を状況に応じて動的に変更することによって次のようなことが可能となる。

- 回路のサイズを越える処理の実装
基板面積や Chip のサイズなどから実装可能な回路の量に対して制限が存在する場合、その制限を越えるサイズの処理を実装を行なうことが可能となる。回路の動作中に使用していない部分の回路を必要となる新しい回路に書換えを行なうことによって、仮想的に実装可能な回路のサイズを大きくすることができるようになる為である。
- 適応型 Hardware の実現
状況の変化に応じて適用したい手法が変化する場合や、実際に実行を行わなくてはどのような手法が有効であるかわからないような状況の場合では回路の動作中に部分的に回路を変更して適応度の比較を行なうなどで有効な手法を探索するといったことが可能となる。

特に後者のように探索問題に Hardware を用いることは非常に有効である。一般的に探索問題の解法は複雑であるかサイズの的に「大きい」問題になることが多く、その実行には非常に時間がかかる。Hardware によって直接探索問題を解くことができることが動的再構成によって可能となり、Hardware の高速性を有効に活用できる。「進化するハードウェア」は Genetic Algorithm(GA) を Hardware 化したうえで高速に GA の実行を行ない、その結果を動的に Hardware に反映させるといった手法をとっており、動的再構成能力を有効に活用していると言える。

4. 動画処理における動的再構成の有意性

動画処理において動的再構成を用いることは以下のような二つの点から考えると有意であると言える。

4.1 仮想的 Hardware 実現による高速処理

ここまで述べてきたように動画処理に於いては回路量が多いほど処理の高速化を計ることが可能となる。しかし画像処理のために用いることの出来る基板面積および専用 Device の回路のサイズに対して制限が加えられる

ことは多く、簡単に回路量を増加することは難しい。このような場合には動的再構成可能な Device を用いていれば仮想的に回路量を増加することができ、処理を高速化することが可能となる。また動的に再構成できる部分をブロック化しておけば、処理手法の多段分割パイプライン化を実現する際にブロック単位で分割処理を実装/動的再構成を行なうことができることになる。すなわち動画処理の多段分割化とブロック単位動的再構成は親和性があり実装が容易と言える。

4.2 動画画像による処理手法の選択可能性

動画の種類によって処理手法が変化する場合が存在する。例えば動画圧縮の場合、画面上での「動きの少ない」動画と「動きの多い」動画では圧縮手法を変化させた方が高速に結果が得られるのみならず圧縮率を高くすることができるような場合が存在する。このように複数のアルゴリズムが存在する場合にそのアルゴリズムを点数化して比較、有効なアルゴリズムを選択するという作業を Hardware のみで実装することが可能となる。動画の内容（上の例では「動きの激しさ」）が動的に変わる場合には、このように状況に合わせて圧縮率の高いアルゴリズムを常に選択するといった適応型の動画処理が可能になる。

5. 動的再構成可能な動画処理用 Hardware Testbed 基板

上記の通り動画処理において動的再構成可能な Hardware は有効であると考えられる。そこで我々はそのような Hardware の開発・実験が可能な動画処理用 Hardware Testbed 基板を設計し、その実装をおこなった。

5.1 設計

- 動的再構成機構の実装
処理を実装するためのプロセッサにあたる部分に FPGA を使い、その FPGA を基板動作中にも再構成可能にすることにより動的再構成機構を実現する。
- 動画処理用機構の実装
ビデオ信号についての A/D, D/A Converter を実装したうえで、それらを FPGA を用いてコントロールする。Testbed であるので動画に関して多目的であるべきであり、そのためにはビデオ信号の入力のみならず出力のための機構を実装する。
- 並列処理を可能とするための複数 FPGA の実装
処理実装用の FPGA を複数基板上に実装して、動画処理の多段分割パイプライン化を複数 FPGA 間パイプライン化によって実現する。またブロック単位で動的に再構成を可能とするため、その複数 FPGA を個別任意に再構成可能のように実装を行なう。
- WorkStation 等との通信のための機構の実装

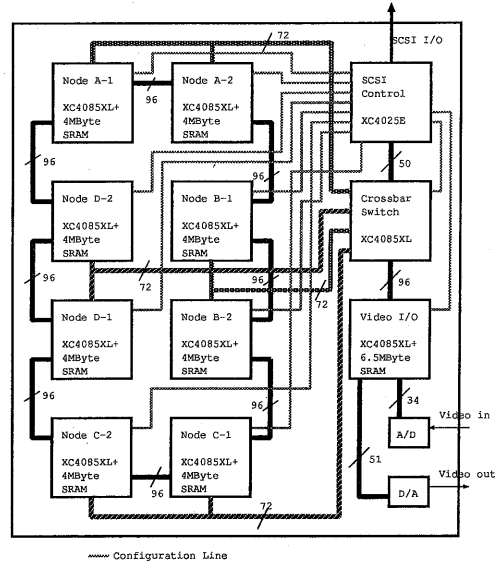


図1 Block-Diagram

動画圧縮結果のデータの出力、動画伸長のソースデータの入力などに用いる汎用的ポートとして SCSI とそのドライバを実装する。

5.2 実装

以下 Testbed である Hardware Algorithms Board - 2 (HAB2) の実際の実装について少々説明する。(図 1, 図 2)

- ((FPGA(85,000Gate) + 0.5MByte SRAM x 8) x 2) を 4 ブロック (8 Node-Block), Node-Block では RAM は 16bit Data x 19bit Address x 4 Bank として使用可能。
- Video Control FPGA(85,000Gate) + 0.5MByte SRAM x 13 + NTSC Video signal ADC (A/D Converter) + NTSC Video signal DAC (D/A Converter) (Video-Block) (図 4), Video-Block での RAM は 16bit Data x 19bit Address x 2 Bank + 24bit Data x 19bit Address x 3 Bank として使用可能。
- SCSI 用 FPGA(25,000Gate) + SCSI Controller (SCSI/Configure-Block)(図 3)
- CrossbarSwitch 用 FPGA(85,000Gate)
- 総資源量
 - ゲート数: 850,000
 - メモリ量: 38.5MByte

● Connection 幅

SCSI for WorkStation	8bit (32bit に拡張可能)
SCSI to Crossbar	50bit
Video to Crossbar	96bit
Node-block to Crossbar	72bit x 4 (Node-block 2 個 を 1 単位として個々に接続)
Node-block 間 Ring	96bit

5.3 特 徴

HAB2 の特徴は以下の通り

- ビデオ入出力と画像データ入出力専用の FPGA を持つ動画処理用 Testbed
- FPGA の Configuration Line を SCSI Port Control FPGA に個別に接続、SCSI/ 内部 memory を用いた動的再構成可能な Hardware Testbed

node 部の FPGA の再構成は最短で 1 個あたり 0.2 秒程度の時間で完了する。動的に再構成されている FPGA はその間は、基板全体から見た場合どうしても止まってしまう。そこで node block を 2 個 1 組にして再構成を行なっている場合は相補的に用いることにした。これによってその間のオーバーヘッドを隠し、動的な再構成の機構を実現した。

6. ま と め

高速な動画処理を Hardware のサポートなしに実現することは非常に難しく、高速性を持たせるための最も簡易な方法は Hardware の回路量を多くすることであると言える。実際には回路量を無制限に多くすることはできず、処理速度と回路量の間で適当なところでバランスをとって実装せざるをえなかった。しかし、動的に再構成可能な Device/Hardware が実現できる今日では、仮想的に回路量を増加させることが可能であり、また複数の手法からの選択によって効率の高い処理が得られるような場合に Hardware のみでのアルゴリズムの実装が可能である。これは動画処理に限った場合ではないが、高速性と巨大なサイズのデータを取り扱うことが必要となる動画処理においては非常に有効なアプローチであると我々は考える。

今後の研究は、今回の考察のもと我々が設計・実装を行なった動的再構成可能な動画処理用 Hardware Testbed 基板 HAB2 上で実際の動画処理を行ない、動的再構成の有効性を確かめることである。

参 考 文 献

1) 大島 龍之介, 松本 尚, 平木 敬 : 再構成可能な遺伝的算法エンジンの研究第 3 回 FPGA/PLD Design Conference and Exhibit 技術講座予稿集応用技術論文集 pp.541-548 (July 1995)

2) Greg J.Gent, Scott R.Smith, and Regina L.Haviland : An FPGA-based Custom Coprocessor for Automatic Image Segmentation Applications IEEE Workshop on FPGAs FOR CUSTOM COMPUTING MACHINES pp.172-179 (April 1994)

3) GünterKnittel : A PCI-compatible FPGA-Coprocessor for 2D/3D Image Processing IEEE Symposium on FPGAs FOR CUSTOM COMPUTING MACHINES pp.136-145 (April,1996)

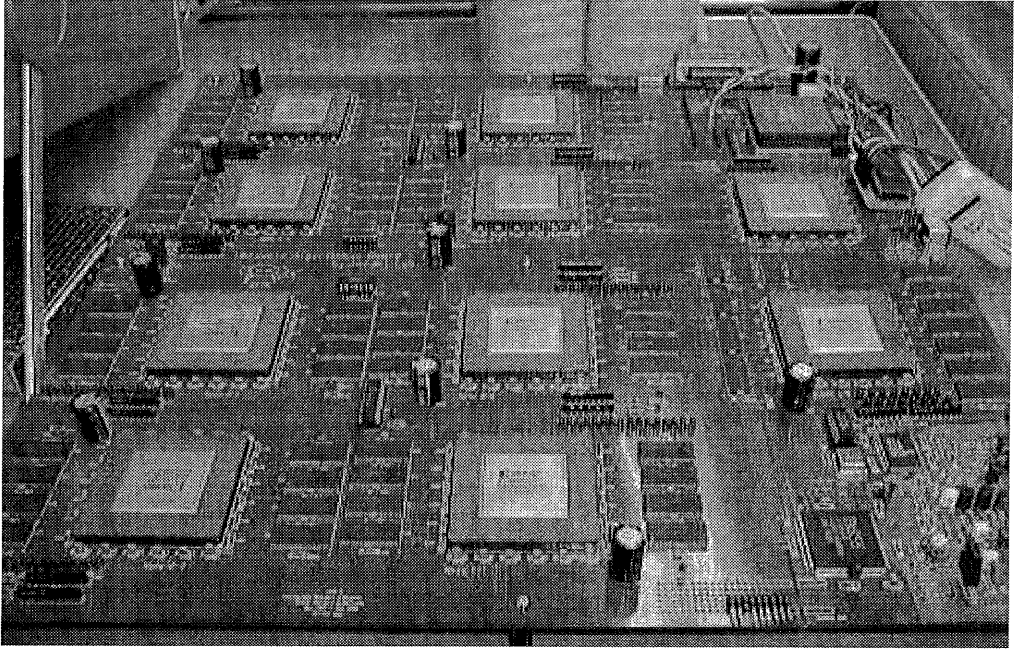


图 2 HAB2 全体

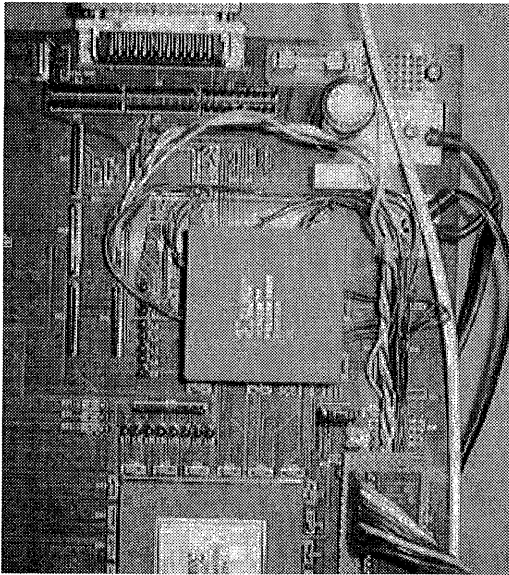


图 3 SCSI/Configure-Block

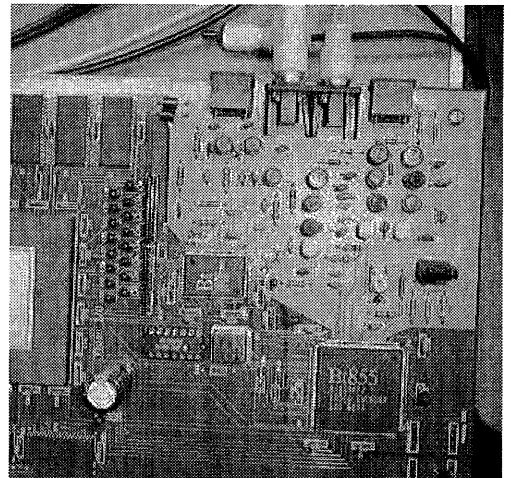


图 4 Video-Block