

プラスチックセルアーキテクチャにおけるオブジェクト間通信のための
メッセージ自己ルーティングアルゴリズム

中根 良樹† 松田 潤一† 永見 康一† 小栗 清† 中村 行宏†

†京都大学大学院情報学研究所通信情報システム教室

‡NTT 光ネットワークシステム研究所

E-mail:{nakane, jmatuda, nakamura}@kuee.kyoto-u.ac.jp

E-mail:{nagami, oguri}@exa.onlab.ntt.co.jp

概要 フォンノイマンアーキテクチャにかわる汎用計算機構として、プラスチックセルアーキテクチャ(PCA)というものの実現を目指している。PCAの組み込み機能のうちの重要なものの一つに、動的に配置される論理回路オブジェクト間の信号伝達機能がある。これは具体的には信号ストリームのワームホール方式によるメッセージ自己ルーティング動作になる。この自己ルーティングを行うためのアルゴリズムは、複数の信号ストリームが存在するときにデッドロックを生じないもので、かつPCAのセル総数が増加しても変化しないものであることが望まれる。本稿ではこの条件を満たすようなアルゴリズムと、信号伝達機能部の構造を提案する。

A cellular algorithm for message self-routing on Plastic Cell Architecture

Yoshiki NAKANE†

Jun-ichi MATSUDA†

Kouichi NAGAMI‡

Kiyoshi OGURI‡

Yukihiro NAKAMURA†

†Department of Communications and Computer Engineering, Graduate School of Kyoto University

E-mail:{nakane, jmatuda, nakamura}@kuee.kyoto-u.ac.jp

‡NTT Optical Network Systems Laboratories

E-mail:{nagami, oguri}@exa.onlab.ntt.co.jp

abstract We have proposed a new programmable logic device for general-purpose reconfigurable computing, which we call Plastic Cell Architecture(PCA). One of important functions on PCA is a message transportation mechanism among the circuits which are allocated at run-time. The message is transported as a signal stream by the wormhole self-routing mechanism. The wormhole self-routing algorithm should be deadlock-free and independent of the number of PCA cells. We propose a message self-routing algorithm with such properties, along with a layering structure for the message transportation mechanism.

1 はじめに

汎用情報処理に使われる計算機のアーキテクチャは現在ほとんどがCPUとメモリによるフォンノイマンアーキテクチャである。フォンノイマンアーキテクチャはその汎用性からめざましい発展をとげたが、一般的にはメモリアクセスが並列に行えないため、高い並列性を要求される処理は不得手である。またメモリ上にプログラムとデータを配置するため、メモリアクセスがボトルネックになり、高い速度を要求される処理も不得手である。これらの欠点は、フォンノイマンアーキテクチャが本質的に持つものであるため、我々は布線論理による汎用計算機構の実現を考えている。

布線論理での汎用計算機構の構築には、従来の布線論理が持つ以下の3つの問題点を解決する必要がある。それは、1. 装置の製造が必要であること 2. 機能からの回路構造の導出

が困難なこと 3. 構造変化が実装できないこと、である。我々はこれらの問題は次の技術を応用することで解決可能と考えた。すなわち、1、3の問題はFPGA(Field Programmable Gate Array)に代表される再構成可能素子(Programmable Logic Device; PLD)の技術を、2の問題はハードウェア記述言語(Hardware Description Language; HDL)と論理合成の技術を応用することで解決可能と考えた。この考えにもとづき、モジュール化されたHDLを汎用プログラム言語として、その動作をPLD上で直接実行するような汎用並列計算機構を我々は提案している。さらに、それを実現するための具体的な計算機構としてFPGAとセルラオートマトン(Cellular Automata; CA)を融合したプラスチックセルアーキテクチャ(Plastic Cell Architecture; PCA)を提案している[1]。

モジュール化されたHDLを汎用プログラム言語とし

て使用するには、HDLに論理モジュールインスタンスの動的な生成消滅のセマンティクスが不可欠である。このセマンティクスを直接 PLD 上で扱うには、1. 動作中再構成、2. 部分的再構成、3. 自律再構成の能力が PLD に必要である。ここで、自律再構成能力とは PLD 上に構成された回路が、その論理回路的動作によって PLD の他の部分に別の回路を構成する能力のことである。1、2 は現在の FPGA に備えているものがある [2]。しかし、3 の能力をもつ PLD は現時点では存在しない。PCA はこの 1、2、3 の能力を備える PLD として特徴づけられる。PCA は同一構造のセルがメッシュ状に配置される構造で、一つのセルは FPGA のように再構成を行って情報を処理する部分（一般情報処理部）と、その再構成部で動的に構築される複数の論理モジュールインスタンス（オブジェクト）の活動を担う部分（組み込み機能部）で構成される。

さて、PCA の組み込み機能のうち、重要なものの 1 つにオブジェクト間の信号（メッセージ）伝達機能がある。PCA の構造から、この信号伝達機能はメッシュ状の結合形態を持つ CA による信号ストリームの自己ルーティングになる。このような自己ルーティングの方法についてはマルチプロセッサシステムで多数の研究がされており、ストア・フォワード [3] やバーチャルカットスルー [4][5]、ウォームホール [6] などが提案されている。しかし、ストア・フォワードやバーチャルカットスルーはパケットの待避のためのバッファが必要であり、VLSI 内部でのルーティングである PCA のオブジェクト間通信には適さない。このため、PCA のオブジェクト間通信はウォームホールにより行うのが適当であるが、信号線数などが制限される VLSI 内部の通信でのこうした自己ルーティング動作を対象とした研究は [7] がある程度で、あまり研究されていない。

そこで、本稿では PCA のオブジェクト間の信号伝達のためのメッセージ自己ルーティングを実現する CA について述べ、信号伝達方向を制限した多層構造が有用であることと受信オブジェクトまでの位置を表すのに信号ストリームの長さを利用することが有用であることを示す。

以下、2 節では自己ルーティング動作と実現すべき機能を具体的に定義する。3 節では定義をふまえて自己ルーティングアルゴリズムを検討し、4 節で具体的なアルゴリズムとハードウェア構成について述べる。そして 5 節でその動作をシミュレーションした結果について述べ、6 節で本稿をまとめる。

2 自己ルーティング動作の定義

この節ではメッセージ自己ルーティングの目的を明らかにし、その後、自己ルーティング動作を具体的に定義する。

2.1 自己ルーティングの目的と概要

オブジェクトの動的な生成消滅を行うには、オブジェクトの配置が動作時に決定されることを前提とする必要がある。従って、固定的な配線では配線経路とその遅延時間の予測が不可能である。このため、新たな通信手段が必要になる。そこで PCA では組み込み機能部に信号伝達機能を取り入れ、この信号伝達機能部を介してオブジェクト間の通信を行うことにしている。この信号伝達に注目した PCA の概念図を図 1 に示す。図 1 では機能的な分離を行うために 2 層に分けて表示しているが実際のセルの物理構造を 2 層にすることは必ずしも意味しない。なお、図 1 のように機能的な分離を行った層のうち、一般情報処理部を可変論理層、信号伝達機能部を信号伝達層と定義し、

可変論理層の構成セルを論理セル、信号伝達層の構成セルを信号伝達セルと定義する。

オブジェクト間で通信を行う時は送信側のオブジェクトはメッセージの先頭に受信側のオブジェクトの位置情報を付加した信号ストリームをシリアルに信号伝達セルに送出する。信号伝達セルは信号ストリーム中の位置情報から受信側のオブジェクトの位置を特定し、受信側に信号ストリームを届ける。この概念も図 1 にしめす。

以下、2.2 では信号伝達層の構造について、2.3 では信号ストリームの構成について述べる。

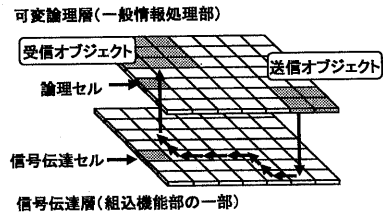


図 1: 信号伝達のイメージ

2.2 信号伝達層の構造

ここでは信号伝達層の構造が満たすべき条件について述べる。PCA の構造が同一構造セルのメッシュ結合なので、信号伝達層も同一構造セルのメッシュ結合となる (図 2)。さらに、各信号伝達セルは隣接する 4 辺の信号伝達セルと対応する論理セルだけに接続され、各辺の信号線の構成はすべて同一であるとする。

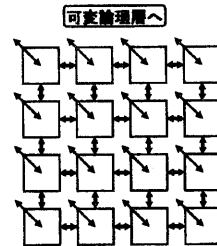


図 2: 信号伝達層の基本構成

2.3 信号ストリームの構成

次に、信号ストリームの構成を定義する。信号伝達は信号伝達層でのウォームホールルーティングによって行われるため、信号ストリームの先頭に受信オブジェクトの位置情報をおく。信号ストリームのうち、位置情報部分をアドレスストリーム、受信オブジェクトに送る情報部分をメッセージストリームと定義する。なお、信号ストリームはシリアルに伝送されるため、いくつかに分割される。この分割した信号ストリームを単位データと定義する。これらの概念を図 3 に示す。

2.4 自己ルーティング動作の定義

ここでは、2.2、2.3 をふまえて、具体的に自己ルーティング動作を定義する。

図 1 のように送信オブジェクトから受信オブジェクトへメッセージを送出するとする。送信オブジェクトは受信

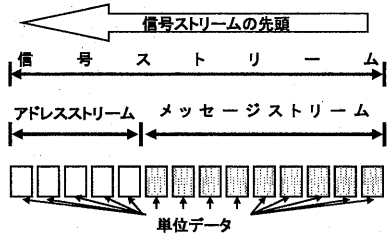


図 3: 信号ストリーム構成

オブジェクトの位置情報をアドレスストリームとし、信号ストリームを単位データに分割して信号伝達セルに送出する。アドレスストリームを受け取った信号伝達セルはその情報から受信オブジェクトの位置を判断し、隣接する信号伝達セルもしくは論理セルに単位データを送る。そしてその後、隣接セルと同じ隣接セルに送る。最後の単位データを送った後、他の信号ストリーム伝達に使用できるように信号伝達セルは初期状態に戻る。なお、信号伝達セルの接続は隣接 4 辺のセルと対応する論理セルだけに許されるので、単位データは 1 クロックでは隣接する信号伝達セルもしくは対応する論理セルだけに伝達できる。

以上が信号伝達セルの論理自己ルーティング動作の定義である。このような動作を行う信号伝達セル 1 つのアルゴリズムについて次節で検討を行う。

3 位置情報と信号伝達層の構造の検討

この節では 2 節で定義した自己ルーティング動作において、アルゴリズムが満たすべき条件をまず検討し、その後条件を満たすアドレスストリームの構成と信号伝達層の構造を提案する。

3.1 アルゴリズムの満たすべき条件

ここでは実用上アルゴリズムに要求される条件について検討する。まず、実際に PCA のチップを製造する際、PCA のセル総数の違いによってセルのハードウェア構成が変更されるのは非実用的である。そのため、信号伝達アルゴリズムはセル総数に独立であることが望ましい。次に、PCA ではオブジェクト間通信が並列に発生するので、図 4 のように信号伝達層内で信号ストリームが相互に信号伝達セルを要求し、デッドロック状態に陥ることがある。このため、信号伝達セルのアルゴリズムはデッドロックを起こさないものでなければならない。

3.2 ではアルゴリズムを総セル数に対して独立にする方式について、3.3 ではデッドロックを起こさないようにする方式について検討し、3.4 でそれらを総合して条件を満たすアルゴリズムと信号伝達層の構造を示す。

3.2 セル総数とアルゴリズムを独立にする方法

アドレスストリームはセルを一意に特定するものであるから、セル総数とアルゴリズムを独立にするにはアドレスストリームの構成を適切に定義しなければならない。

我々はこの問題を、ストリームの進行に伴ってアドレスストリームが消費されていく方式を導入することで解決した。すなわち、図 5 のようにある一定のセルだけストリームが進行すれば先頭の単位データを消費していく方式であ

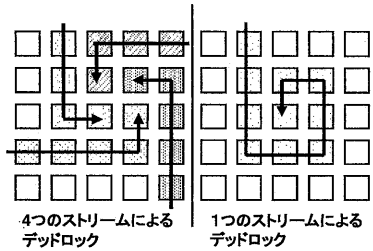


図 4: デッドロックの一例

る。図 5 では 1 つセルを進むごとに 1 つの単位データが消費されている。このようにすることで、セル総数が増加した場合に変化するのがアドレスストリームの長さになるので、信号伝達セルのアルゴリズムとハードウェアは同じものが使用できる。

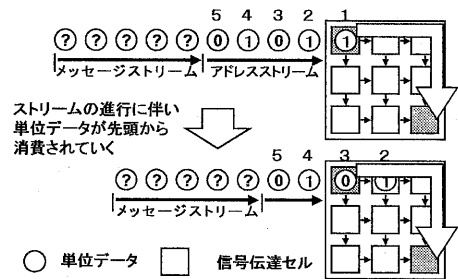


図 5: 単位データの消費

3.3 デッドロック回避方法

ここでは信号伝達層でのデッドロックを回避する方法を検討する。我々は適応的なルーティング (adaptive routing) によるデッドロック回避方法を検討した結果、隣接 4 辺のセルの情報しか得られない状態では適応的なルーティングで十分な性能を得るのは困難であるとの結論を得た [8]。そこで今回は決定的なルーティング (deterministic routing) でデッドロックを回避する方向で検討する。決定的なルーティングを行う場合、経路が正面から衝突してもデッドロックとなる。従って、デッドロック回避のためには反対方向に進行するストリームが衝突しないように信号伝達層を多層にする必要がある。しかし、単純に信号伝達層を多層化すると信号伝達セルの回路規模が大きく増大する。

そこで、信号伝達層を図 6 のような 4 層構造にすることにした。4 層はそれぞれ信号伝達方向が制限されており、E、S、W、N が図 6 のような方向を表しているとして定義すると、ES 層は E と S に、SW 層は S と W に、WN 層は W と N に、NE 層は N と E に信号伝達方向が制限されている。なお論理セルはどの層の信号伝達セルとも通信可能であるとする。送信側オブジェクトはこの 4 層のうち適当な 1 層を選択して信号伝達を行う。このように、多層構造にするかわりに 1 層の信号伝達方向を制限することで信号伝達層の 1 層のアルゴリズムが単純化され、回路規模を抑えられる。また 1 層の信号伝達がデッドロックを生じないことが証明でき [6]、そのような層が独立に 4 層あるので信号伝達層内ではデッドロックが生じないことも保証される。

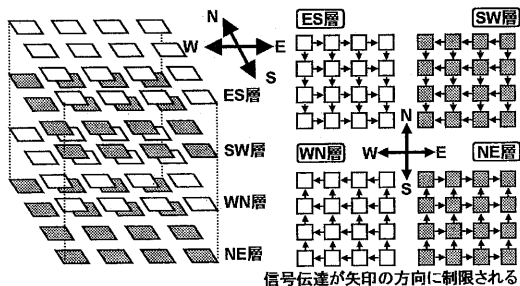


図 6: 新しい信号伝達層の構造

3.4 提案する信号伝達層の構造とアドレスストリームの構成

3.2 と 3.3 を総合し、3.1 で提示した条件を満足できる信号伝達層の構造とアドレスストリームの構成についてここで述べる。

まず、信号伝達層の構造は図 6 の多層構造を使用する。そして、アドレスストリームは 3.2 のアドレスストリームを消費していく方式を使用する。なお、1 つの単位データを一つのセルで消費するとする。

以下、アドレスストリームの具体的な構成を検討する。我々はアドレスストリームの構成として次の 2 種類を考えた。図 6 の ES 層を例にとってそれぞれの構成を述べる。

Type 1 ストリームを 1 ビットで送る。ストリームの先頭からの 1 の長さが受信オブジェクトまでの E 方向の直進距離を表す。ストリームの先頭から見て最初に現れる 0 が S 方向への進路変更を表す。そのあとの 1 の長さで S 方向の距離を表し、2 度めの 0 でアドレスストリームの終端を示す。

Type 2 ストリームを 1 ビットで送る。アドレスストリーム中の 0 の数で受信オブジェクトまでの E 方向の距離を表し、1 の数で S 方向の距離を表すとす。ストリームの先頭からの 0 と 1 の出現順序は任意である。アドレスストリームとメッセージストリームの境界識別用にもう 1 ビット信号線を設ける。

Type1 は信号線数、回路規模が小さくなるのが特長であり、Type2 は経路設定の自由度が特長である。これらの構成でのアドレスストリームの例を図 7 に示す。なお、ES 層以外でも同様に構成を定めることができる。これらの構成では、受信オブジェクトに到達した時点でアドレスストリームはすべて破棄されているので、受信オブジェクトにはメッセージストリームだけが送られるので都合が良い。双方検討の余地があるが、信号伝達層が多層になることを考慮すると、回路規模を抑えることが最優先であるので、本稿では Type1 の構成を使用することにする。

以上のような信号伝達層とアドレスストリームの構成を使用すれば、3.1 で述べた条件を満たすことができる。次節では、この節で提案した信号伝達層と Type1 のアドレスストリームの構成を使用した信号伝達セルの具体的なアルゴリズムについて述べていく。

4 アルゴリズムとハードウェア構成

この節では 3 節で提案した信号伝達層の構造とアドレスストリームの構成に基づいた、具体的な信号伝達セルのハードウェアアルゴリズムについて述べる。

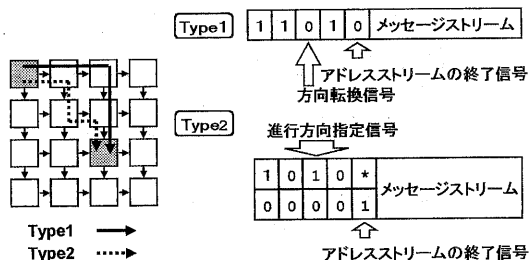


図 7: アドレスストリームの例
表 1: 各層と基本セルの方向の対応関係

層	第 1 方向	第 2 方向
ES	E	S
SW	S	W
WN	W	N
NE	N	E

4.1 信号伝達セルの分解

図 6 より、信号伝達層は図 8 のような基本構成層を 90° ずつ回転させたもので構成されている。図 8 のように第 1 方向、第 2 方向を定義すると、ES, SW, WN, NE の各層の信号伝達方向と基本構成層の方向は表 1 のように対応づけられる。従って、図 8 の基本構成層での一つのセルを基本セルと定義し、この基本セルの信号伝達アルゴリズムを考えれば、信号伝達セルはその組み合わせで表現できる。

そこで、まず基本セルの信号伝達アルゴリズムについて 4.2 で述べ、4.3 で統合した信号伝達セルのアルゴリズムについて述べる。

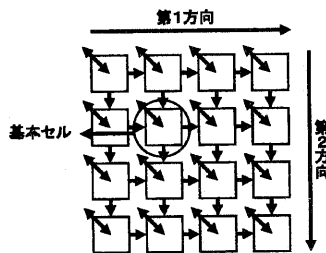


図 8: 基本構成層

4.2 基本構成層でのアルゴリズム

ここでは基本構成層でのアルゴリズムについて述べる。まず基本構成層での信号ストリーム制御に必要な機能と実現方法について 4.2.1 で述べ、4.2.2 で具体的なアルゴリズムを提示する。

4.2.1 必要な機能と実現方法

基本構成層上で並列に複数の信号ストリームが伝達されるので、基本セルには次の 2 つの機能が必要である。

1. 一時停止機能をもった単位データ転送機能
2. 同時に 1 つの基本セルに発生した経路設定要求の排他制御機能

まず1の実現方法について述べる。停止状態を判断するため、単位データの送受信の他に単位データの受信確認信号を隣接基本セル間で送受信する必要がある。この信号を Acknowledgement(ACK) と定義する。ACK を使用したときの信号伝達手順は図9のようになる。最初に単位データを送信し、次に ACK が受信するかを判断する。ACK を受信すれば単位データは伝達されたと判断し、その基本セルは新たな単位データを受信する。ACK を受信しなければ、隣接する基本セルはすでに他の単位データを保持していると判断し、その基本セルが解放されるまで単位データの転送を停止する。このような手順で一時停止機能をもった単位データ転送が可能である。

次に2であるが、これも ACK を利用する。同時に要求があった場合に、一方だけの単位データを受信し、ACK を送信する。そしてその他の方向には ACK を送信しなければ良い。基本セルでは第1方向、第2方向、論理セルと、最大3つの経路設定要求が同時に発生しうるが、受信の優先順位を1. 第1方向、2. 第2方向、3. 論理セルとしてアルゴリズムを考える。

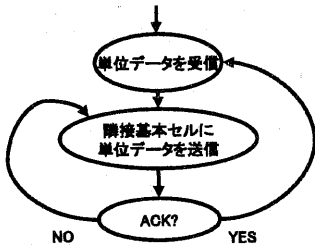


図9: 単位データ転送手順

4.2.2 基本セルのアルゴリズム

ここでは4.2.1の機能をもったハードウェアアルゴリズムを基本セルのオートマツンの状態遷移によって具体的に提示する。

図10に基本セルの構成を示し、図11にアルゴリズムを示す。以下、図11のアルゴリズムにおいて、4.2.1の機能を実現している部分について述べていく。

経路判断と排他制御 初期状態は状態 IDLE で、いずれかの方向から単位データが入力されると、基本セルは経路判断を行い、単位データの受信方向を FROM レジスタに、送信方向を TO レジスタにセットする。なお、複数の方向から単位データが送信されたときは優先順位に従って FROM レジスタと TO レジスタをセットする。そして基本セルは状態 RECV に遷移する。状態 RECV では FROM レジスタに基づいて ACK を送出し、単位データの受信を伝える。そして自身は状態 DATA_IN に遷移する。なお、IDLE 状態で単位データを受信すると、後続の同じ信号ストリームの単位データをすべて基本セルに伝送するまで基本セルは他の信号ストリームの伝達ができないようになる。

単位データの転送 ACK を状態 RECV で送信したので、状態 DATA_IN では次の単位データが送信されてくる。状態 DATA_IN、DATA_SEND1、DATA_SEND2 が図9の単位データ転送手順にあたる。

単位データの転送終了 状態 DATA_SEND2 で後続の単位データがなくなると単位データの送信のタイミングをと

る EI が 0 になる。このとき、ACK を送信することで、すでに状態 RELEASE にある隣接基本セルを解放し、自分自身が今度は状態 RELEASE に遷移し、ACK が受信されるまで待機する。そして ACK が受信されれば初期状態 IDLE に戻り、その基本セルは再び他の信号ストリームの伝達が可能になる。

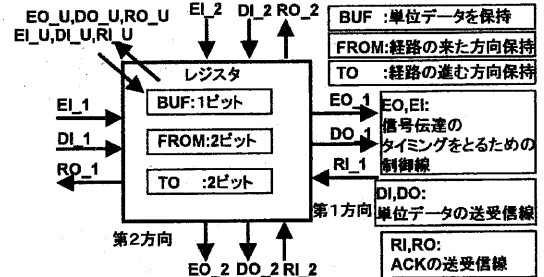
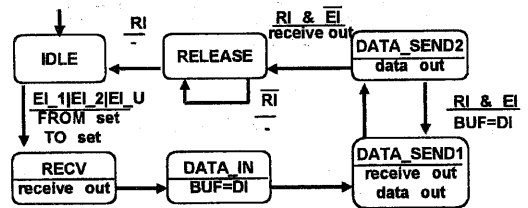


図10: 基本セルの構成



FROM set: EI_1=1ならばFROM=01 EI_2=1ならばFROM=00 EI_U=1ならばFROM=11	receive out: FROM=01ならばRO_1=1 FROM=00ならばRO_2=1 FROM=11ならばRO_U=1
TO set: EI_1=1 & DI_1=1ならばTO=01 EI_1=1 & DI_1=0ならばTO=00 EI_2=1 & DI_2=1ならばTO=00 EI_2=1 & DI_2=0ならばTO=11 EI_U=1 & DI_U=1ならばTO=01 EI_U=1 & DI_U=0ならばTO=00	data out: TO=01ならばEO_1=1,DO_1=BUF TO=00ならばEO_2=1,DO_2=BUF TO=11ならばEO_U=1,DO_U=BUF EI,DI,RI: FROM=01ならば EI=EI_1,RI=RI_1,DI=DI_1 FROM=00ならば EI=EI_2,RI=RI_2,DI=DI_2 FROM=11ならば EI=EI_U,RI=RI_U,DI=DI_U

*FROM set, TO set は EI_1,EI_2,EI_U の順で優先順位を持つ

図11: 基本セルのアルゴリズム

4.3 信号伝達セルのアルゴリズム

4.2.2で示した基本セルのハードウェアアルゴリズムの組み合わせで信号伝達セルのアルゴリズムができる。ES,SW,WN,NEの各層は完全に独立しているので、4.2.2のアルゴリズムを表1に従って組み合わせれば良い。

5 シミュレーションによる動作確認

4節で提案した信号伝達セルのアルゴリズムをシミュレーションし、動作確認を行った。この節ではその結果と、問題点について述べる。

5.1 シミュレーション方法

4節で述べたアルゴリズムの動作確認のために、アルゴリズムをハードウェア記述言語 SFL で記述して、総セル数 256(16×16) の場合についてシミュレーションを行なった。シミュレーションは PARTHENON システム [9] の

SFL シミュレータ SECONDS により行った。基本セルを SFL で記述し、その後それをサブモジュールとして持つ信号伝達セルを記述した。また、オブジェクトの送信、受信機能も SFL で記述し、これを擬似的に可変論理層での送受信機能とした。そしてこれらのモジュールの通信関係を記述したものをトップモジュールとしてシミュレーションを行った。このシミュレーションモデルを模式的に表したものを図 12 に示す。シミュレーション結果は、まず SECONDS でシミュレートして各時刻の状態をファイルに出力した後、そのファイルをもとに画面上で結果を表示するという形で確認した。

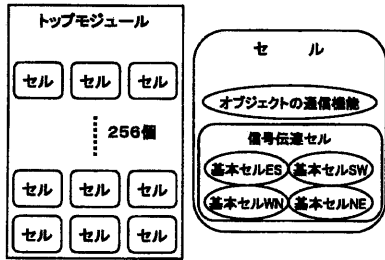


図 12: シミュレーションモデル

5.2 シミュレーション結果と問題点

5.1 で示したモデルで行ったシミュレーション結果の一例を図 13 に示す。

シミュレーションから、信号伝達セルの正常動作が確認できた。これにより、セル総数と独立、かつデッドロックの生じない信号伝達セルが出来たが、まだ以下のような問題を抱えている。

1. 受信オブジェクトまでの距離を信号の長さで送信するため、遠く離れた場所にメッセージを伝達するときにはアドレスストリームが非常に長くなる。
2. 信号伝達層内ではデッドロックが生じないことは保証されたが、依然としてオブジェクト間ではデッドロックが生じる可能性がある。

これらについては、オブジェクトの構成方法と深く関わるので、対策は構成方法とあわせて考える必要がある。

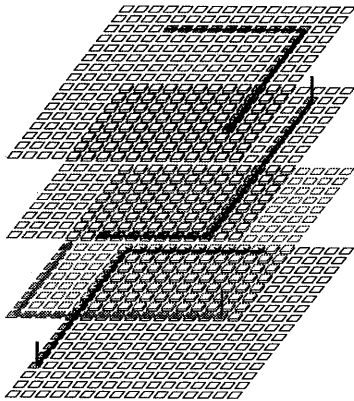


図 13: シミュレーション結果の例

6 まとめ

FPGA と CA を融合した PCA という汎用並列計算機構の実現を目指している。PCA では動的なオブジェクトの生成消滅動作が不可欠であるため、オブジェクト間通信をメッセージ自己ルーティングにより行う。自己ルーティングアルゴリズムには、セル総数と独立でかつデッドロックを生じないことが求められる。

本稿では、信号伝達層を信号伝達方向を制限した多層構造にし、相対的な位置関係を信号の長さで送る方法を提案し、所望の条件を満たす自己ルーティングアルゴリズムを提案した。

今後は提案したアルゴリズムの通信性能の評価、3.4 で述べた Type2 を初めとした別のアドレスストリームの構成の検討と、オブジェクト間通信を効率的に行うためのオブジェクトの構成方法について検討する予定である。

謝辞

日頃から有意義な討論をして頂いている NTT 光ネットワークシステム研究所プログラマブル通信処理研究グループの皆様と、京都大学中村研究室の皆様にご感謝致します。

参考文献

- [1] Kouichi Nagami, Kiyoshi Oguri, Tsunemichi Shiozawa, Hideyuki Ito, and Ryusuke Konishi. Plastic Cell Architecture: Towards reconfigurable computing for general-purpose. In *Preliminary Proc. of FCCM'98*. IEEE Computer Society Press, April 1998.
- [2] XILINX. *XC6200 Field Programmable Gate Arrays*, 1997.
- [3] David Gelerter. A dag-based algorithm for prevention of store-and-forward deadlock in packet networks. *IEEE Trans. Computers*, Vol. C-30, pp. 259-270, October 1981.
- [4] P. Kermani and L. Kleinrock. Virtual cut-through: A new computer communication switching technique. *Computer Networks*, Vol. 3, pp. 267-286, 1979.
- [5] Hyun Suk Lee, Ho Won Kim, Jong Kim, and Sunggu Lee. Adaptive virtual cut-through as an alternative to wormhole routing. In *1995 International Conference on Parallel Processing vol 1*, pp. 68-75, August 1995.
- [6] William J. Dally and Charles L. Seitz. Deadlock-free message routing in multiprocessor interconnection networks. *IEEE Trans. Computers*, Vol. C-36, No. 5, pp. 547-553, May 1987.
- [7] Ray Bittner and Peter Athanas. Wormhole run-time reconfiguration. In *FPGA '97*, pp. 79-84, February 1997.
- [8] 中根良樹, 永見康一, 小栗清, 中村行宏. 自律再構成可能 FPGA におけるメッセージ自己ルーティングのためのセルラー・アルゴリズム. 第 11 回回路とシステム (軽井沢) ワークショップ, pp. 199-204, April 1998.
- [9] PARTHENON web page. World-Wide Web at URL <http://www.kecl.ntt.co.jp/car/parthe/>, July 1996.