

動画像処理向け DRAM 混載 DSP「MSPM」

熊本 乃親 鶴田 徹 川勝 保博 田中 竜太 立松 律子
 白川 暁 北浦 智靖 栗田 昌徳 吉沢 英樹

株式会社富士通研究所

画像処理をソフトウェアにより効率よく実現できるDSP「MSPM」を提案する。画像処理は要求性能レンジが極めて広い
 ため、プロセッサ単体性能の向上とスケーラビリティを持ったアーキテクチャが求められている。そこで、画像処理に
 適した並列分散機構を搭載することでスケーラビリティを確保し、高速・高バンド幅メモリアクセスを可能にするDRAM
 混載技術を用い、プロセッサ単体性能を最大限に活用することを可能にしている。このような特徴を持ったDSP「MSP
 M」を0.35umDRAM混載プロセスにより試作し、その画像処理性能を評価する。

A Digital Signal Processor with embedded DRAM for Video Processing: MSPM

Norichika Kumamoto Tohru Tsuruta Yasuhiro Kawakatsu Ryuta Tanaka Ritsuko Tatematsu
 Satoru Shirakawa Tomoyasu Kitaura Masanori Kurita Hideki Yoshizawa

Fujitsu Laboratories Limited

A novel DSP "MSPM" is proposed. The DSP enables to efficiently implement video processing by software. Video
 processing applications have very wide performance range. Both scalable performance enhancement and high processor
 power are needed. To support scalability, MSPM has parallel and distributed processing mechanism applicable to video
 processing. We use embedded DRAM technique to realize high-speed and high-bandwidth memory access. This technique
 maximizes one processor performance. MSPM is implemented by using 0.35um embedded DRAM process. We evaluate
 MSPM for video processing performance.

1. はじめに

近年、動画像を記録できるデジタルカメラが出現
 するなど、動画像処理の小型・携帯化研究・開発が
 進められている[1, 2]。それに伴い、高性能の信号
 処理プロセッサを用いたソフトウェアによる画像処理
 技術や DRAM 混載等のシステム LSI 化技術[3]が
 注目され始めている。

一般に画像処理は音声等の信号処理アルゴリ
 ズムと比較して、処理データ量が膨大なため、大量デ
 ータの効率的取り扱いが重要となる。また、画像処理
 アルゴリズムは画素データの空間並列性を利用して
 並列分散処理することが可能なことが多い。従って、
 信号処理プロセッサ単体の高性能化とデータ転送の
 高バンド幅化を実現するとともに、画素サイズに応じ
 て並列分散処理できる機構を実現することが、効率
 的画像処理システム実現の解決策と言える。

汎用プロセッサで採用されている RISC、スーパ

ースカラ、VLIW といったアーキテクチャはレジスタ
 参照に基づく演算・処理を標準としているため、画
 像処理のような複雑なメモリアクセスにより生じる
 種々のオーバーヘッドについては殆ど考慮されて
 いない。そのため、高速・高バンド幅メモリを装備し
 ても無駄が多く、高速演算回路へのデータ供給が
 十分行なえず、潜在性能を活用できない。

一方 DSP(デジタル信号処理プロセッサ)は、こ
 の点に着目した研究・改良が重ねられ、効率的な演
 算器へのデータ供給を実現している。ところが最近に
 なって動画像処理への適用検討が進むにつれ、音声
 処理を中心として発展してきた従来のアーキテクチャ
 では、画素(8ビット)処理に対する16ビット演算器の
 適用や、2次元的な配列データに対するアドレス修飾
 機能の不足等、画像処理に対する最適化が不十分
 であることが分かってきた。

また、並列処理機構としてはバス接続型アーキテ

クチャが一般的であるが、汎用的で高機能である反面、画像処理のようなパイプライン的データ転送には不向きで、複数のバスで対応する等、無理に適用するとコヒーレンス制御の複雑さやバスアービトレーション損失等により、オーバースペックになりかねない。

このような背景から筆者らは、小型動画画像システムの本格的普及を前に、プロセッサ単体の画像処理性能向上と効率的並列分散処理を実現できるプロセッサ・アーキテクチャの研究と、そのアーキテクチャに基づく高性能・動画画像処理DSPとDRAM混載技術によって省電力・大容量のメモリを集積したシステムLSIを開発した。

本報告では、この DSP アーキテクチャと、0.35 μm DRAM 混載技術で実現された DSP チップ (MSPM: Multimedia Signal Processor with embedded Memory)の性能評価について述べる。

2. プロセッサによる動画画像処理実現の課題

1) 処理内容に応じた広い性能レンジの要求

画像サイズや処理アルゴリズムの複雑度によって、プロセッサ性能として広い性能レンジが求められる。

2) 規則的配置・大量データ処理の要求

規則的に配置された膨大な画素データの処理を定められた時間(フレームレート)内に高速処理できなければならない。

処理内容は、アルゴリズム依存で単純な演算要素の組み合わせを、画素単位で繰り返されるため、高度に縮退された命令/演算器が必要

3) 多次元的なデータアクセスの要求

データ格納は2次元的な広がりを持つため、従来の一次元的なアドレス生成に代わる高速生成機構が必要。

3. MSPM アーキテクチャ

以上のような課題を解決するためMSPMでは以下の3つの方法をとった。

1) システムアーキテクチャの工夫

・応用システム毎に異なる性能や機能要求に答えるため、DSP と DRAM、通信ユニットを1チップに集積し(図1)、複数チップを接続した並列分散システムを構築できることによって、広い性能レンジを同一アーキテクチャでカバーすることを可能にした。

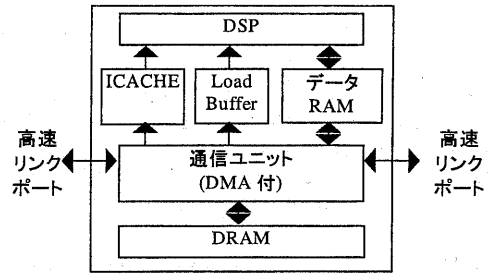


図1 MSPM のブロック図

2) 大量データ処理に対応する DSP アーキテクチャ

- ・プロセッサのレジスタ幅内にデータをパックして処理を実現する SIMD 型演算機構の装備。
- ・データ演算機構と分離された2次元アドレス生成機構の装備
- ・ME(動き検出)処理に必要な差分絶対値処理や DCT(離散コサイン変換)処理に必要な積・和/差処理等の複合機能を各1命令で実現
- ・条件分岐や繰り返し実行でのパイプラインオーバーヘッドを軽減する条件付き演算命令の装備

3) DRAM 混載による広いバス幅と高速転送の利用

- ・演算器内へのデータ供給時に、再配置やサイズ変更処理を発生させない、ロード/ストア機構の実現
- ・レジスタへのデータ転送オーバーヘッドを削減する、最大2並列のメモリ参照機能のサポート

これらの工夫を MSPM チップでは、図1に示すように通信ユニット、画像処理用 DSP、混載型 DRAM を搭載することで実現している。

以下に各部のアーキテクチャ的特徴を説明する。

3. 1 通信ユニットによる並列分散アーキテクチャ

- ・並列分散(MIMD)アーキテクチャをサポート

一つの命令流から得られる並列化性能を越える高性能化要求や機能拡張要求への対応として、並列分散(スケラブル)アーキテクチャによる解決策を提供する。

画像処理では大きな機能単位をパイプライン構造で連結して処理を実現できる場合が多い。また、画像サイズのバリエーションや必要機能もシステム毎に異なる傾向にある。

しかし、一つの命令流(スレッド)から抽出可能な演算並列度は2~4程度であることは、RISC プロセッサ等研究で明らかにされている[4]。そのため、DSP の演算器数を増やしても顕著な高速効果は得難い。そこで、1チップに高速リンクポート/DSP/主記憶となる DRAM を集積化し、相互接続可能な MIMDアーキテクチャをサポートした。

各チップ間の相互データ交換は、DMAにセマフォ付きデータ通信機能により実現した。

3. 2画像処理用 DSP

1) SIMD 型演算機構

MMX ライクの分割されたデータを同一命令で一括処理する SIMD 型演算機構を装備している。これにより、画像処理での処理単位(1バイト)で効率よく並列に演算することが可能になった。

[代表的な SIMD 演算機能]

- ・ 2並列積和演算(16bX16b+48b->48b)
- ・ 2並列比較・論理・算術演算&シフト処理
- ・ 4並列積和演算(8bX8b+24b->24b)
- ・ 4並列比較・論理・算術演算&シフト処理

2) 高度アドレス生成機構

画像処理で求められる2次元配列アクセス向けアドレス演算は複雑で、演算処理のパイプライン化を妨げていた。そのため MSPM では、独立したアドレス生成機構を装備し、命令から直接起動可能にすることによって、この種のオーバーヘッドを排除することを可能にし、パイプライン動作による飛躍的な演算性能改善を可能にした。

[主なアドレス生成機能]

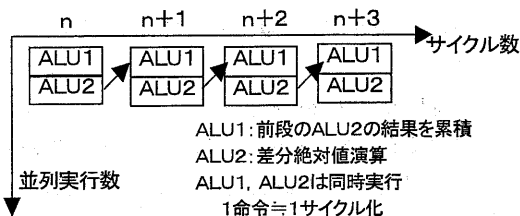


図2 差分絶対値処理のパイプライン化例

- ・ 2系統のアドレスオートインクリメント/デクリメント機構を装備
- ・ 2次元アドレス生成を可能にする動的アドレスオフセット修飾をサポート

3) ルックアップテーブル(LUT)を用いた複合演算の1命令化機能

画像処理では規則的な組み合わせ演算処理を、多数繰り返す場合が多い。そのため、この演算組み合わせをLUTに記憶させ、1命令化することにより、パイプラインの隙間を無くし(ベクトル)高速化を可能にした(図2)。

[主な特徴]

- ・ 複数演算器を任意構成で接続し、一つの命令としてパイプライン動作可能とする演算機構を装備。
- ・ 演算組み合わせをLUT上に定義し、動的接続制御と衝突回避を行なう制御方式を実現し、演算回路の稼働率が向上した。

4) 条件付き演算命令機構

パイプライン段数の増加に伴って生じる条件分岐制御時のオーバーヘッドを削減するため、直前の演算結果で演算の無効/有効を制御できる機能をサポート。これによって、一回の分岐処理で最大5サイクルの短縮が可能になった。

3. 3混載型 DRAM のメモリバスインターフェイス

1) ロード/ストア機構の高機能化

プログラムによる画素データの詰め替え処理を不要化し、演算器の稼働率向上を可能にした。

[主な機能]

- ・ 規則的に配置された画像(画素)データを、演算器レジスタのデータワード構成に合わせ、オ

オーバーヘッド無しにロード／ストアできる機能を装備。

2) 2並列のメモリ参照機能

メモリ参照の多い画像処理において、レジスタへの一時的なデータ転送を不要化し、命令数とオーバーヘッドサイクルを削減した。

[主な機能]

- ・2系統のメモリ参照を行なう演算命令の装備
- ・2系統のデータRAM装備

3) DSP アクセスと外部データ転送の並列化

DSP とDMAのデータRAMアクセスを分離・独立させたことにより、DSP とDMAのメモリアクセス競合を回避し、データ転送に掛かる種々のオーバーヘッドを軽減して演算処理の高速化を実現した。

4. MSPM アーキテクチャの評価

動画画像処理システムにおけるMSPMの性能改善効果を確認するため、以下の2種類の評価を行った。

1) 並列分散アーキテクチャ評価

画像処理では大量データ(画素データ)入出力が外部及びプロセッサ間で要求される。そこで、外部I/O及びプロセッサ間通信の評価を行った。

2) プロセッサ単体性能評価

画像CODEC処理等で広く使用される「動き検出

処理」を例にプロセッサ単体の性能評価を行った。

4. 1並列分散アーキテクチャ評価

スケーラブルなシステム実現に必要なMSPM複数接続や外部入出力のために採用したMSPMの並列分散アーキテクチャ(リンク接続型アーキテクチャ)の有効性を確かめるため、一般的なバス接続型アーキテクチャとの比較を行った。画像処理でよく行われる以下の処理を例として比較を行った。

[構成要素]

外部入力、プロセッサ 1,プロセッサ 2

[処理内容]

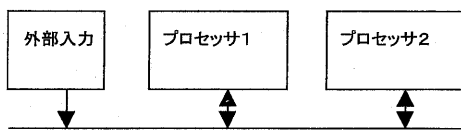
外部入力からそれぞれの接続方法に従ってある処理単位で入力され、プロセッサ1に転送されて処理される。結果をプロセッサ2に転送する。以上の処理を決まったタイミングでパイプライン的に連続して実行する。

①バス接続型アーキテクチャ

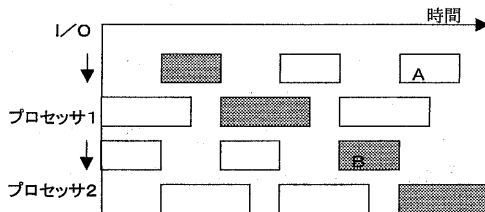
プロセッサ間を1本のバスで接続した図3(a)のようなアーキテクチャで処理した場合のデータ転送の様子を図3(b)に示す。

②リンク接続型アーキテクチャ(MSPM)

MSPMの持つ、2つのリンクポートを使って接続した図4(a)のようなアーキテクチャで処理した場合のデータ転送の様子を図4(b)に示す。

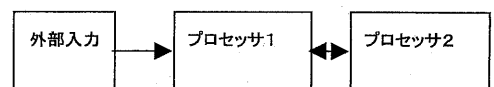


(a) アーキテクチャ

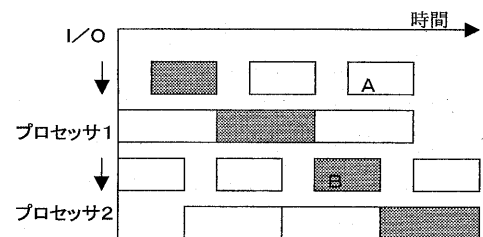


(b) データ転送スケジュール

図3 バス接続型



(a) アーキテクチャ



(b) データ転送スケジュール

図4 リンク接続型(MSPM)

図3から分かるように、バス接続型では外部入力からのデータ転送Aが、プロセッサ1からプロセッサ2への転送Bと競合しないように、プロセッサ1の演算が終了していても、プロセッサ2への転送が行えない。一方図4のリンク接続型では転送A、Bは競合せず、効率的にデータ転送が行われることがわかる。

4. 2プロセッサ単体性能評価

「動き検出処理」(1ブロック分の差分絶対値和の累積演算、但し、1ブロックサイズは 16 画素×16 ライン)を一般的な16ビットDSPで処理した場合とMSPMで処理した場合の演算量を表1に示す。

①16b. DSP アーキテクチャ

信号処理に適したアーキテクチャであるため、アドレス生成を含むメモリアクセス処理と演算処理とを個別に装備し並列実行することで、演算効率を改善している。この例ではアドレス生成、メモリアクセス、減算が並列実行により1サイクルで実現されている。

しかし、積和演算以外のベクトル化処理に対しては効果が殆ど見られず、画像系信号処理には適合し難いことが分かる。

②MSPM アーキテクチャ

MSPM は、画像処理を考慮した以下3点の改良により高性能化が実現した。

- 1) 8ビット4並列 SIMD 演算を装備
画素単位での演算並列化を可能にする8ビット・オリエンティッドな演算回路を装備
- 2) 複数の演算命令を1命令に縮退しベクトル化
複数の演算命令(減算、絶対値、加算)を1命令として再定義可能とすることにより、処理をベクトル化してスループットを1サイクルにした。
- 3) ハードアシストによる SIMD 演算用データパック機能の実現
ベクトル化を妨げるメモリアクセス/データパック処理を1サイクルで実現し、演算性能を最大限に発揮できる構造とした。

表1 1ブロック処理に要する命令数の比較

(1命令=1サイクル)

処理内容	プロセッサアーキテクチャタイプ	
	①DSP	②MSPM
アドレス生成	1	1*
メモリアクセス		
減算		
絶対値	1	
累積	1	
小計	3	1
繰り返し回数	256	64
その他	0	10
合計	768	74
演算速度比	1	10.3
必要バンド幅 @66. 7MHz	44.8MB/秒	461.5MB/秒

*: 複合命令のベクトル化により、スループットとして1命令≒1サイクルが実現

以上のようにプロセッサにおける一命令当たりのデータ処理効率において、MSPM アーキテクチャは一般的な16b. DSP に対し、下記の効果により約10倍の性能改善を実現できることが分かった。

- ・2演算器装備による並列効果(2倍)
- ・データ分割(画素単位)による並列効果(2倍)
- ・ハードアシスト型データ供給&命令縮退(2. 5倍)

さらに表1より、16b DSP では演算効率が低く100Mバイト/秒に満たないが、MSPM 相当の DSP では400Mバイト/秒を越える性能が要求されることがわかる。

今回の試作チップでは、128ビット幅 DRAM と直結されるデータ用SRAM(8KB)を装備し、DRAM部を含むメモリバンド幅を、最大1. 1Gバイト/秒、平均550Mバイト/秒@66. 7MHzを達成しており、これらの要求に十分対応できる。

表2 デバイス諸元

テクノロジー:	0.35 μ m CMOS, 3 metal layers, Embedded DRAM
供給電圧:	3.3V(DRAM & Logic)
消費電力:	1.5W
Logic ゲート数:	270K gates
SRAM 容量:	130K bits
SDRAM 容量:	16M bits (64bit \times 128K Word \times 2banks)
パッケージ:	208pin HQFP
最大周波数:	66.7MHz
最大性能:	800MOPS
DSP アーキテクチャ:	6 ステージパイプライン, 32bits-DSP、 SIMD 型演算(16bit2 並列/8bit4 並列) 2KB ICACHE (2way set associative) 8KB データRAM(2-Port-SRAM) 2KB Load Buffer (2-Port-SRAM)

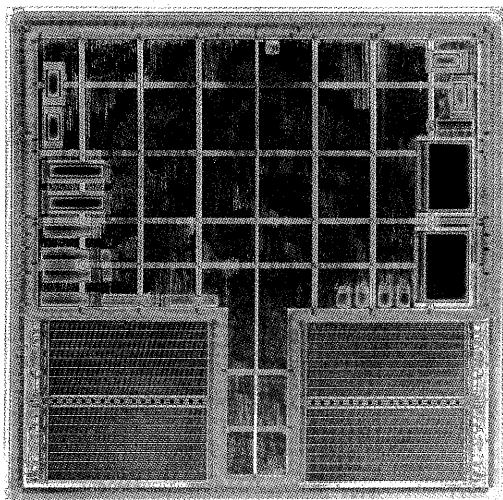


図5 MSPM のチップ内部写真

このように画像処理ではパイプライン的なデータ転送が多く、データの流れが固定的で予測可能であることから、バス接続のような密結合は必要なく、リンク接続のような疎結合でDMA 転送することで十分であるということがわかる。

デバイス諸元を表2に、チップ写真を図5示す。

5. まとめ

プロセッサ間リンク結合ポートによる並列分散アーキテクチャを装備することで、外部とのデータ通信の効率化とともに、画像処理アプリケーションのスケラビリティ実現を可能にした。

また、画像処理に適した演算機構と、それを最大限に活用可能な高バンド幅メモリアクセスを0.35 μ mDRAM 混載技術により実現し、プロセッサ単体性能を向上した。最大メモリバンド幅1.1Gバイト/秒、最大性能800MOPS@66.7MHzである。

謝辞

本デバイスの開発に御協力いただいた、富士通(株)第一システムLSI事業部の日野陽司氏、井上健之氏に深く感謝致します。

参考文献

- [1]T.Shimizu 他, "A Multimedia 32b RISC Microprocessor with 16Mb DRAM", ISSCC Dig. Tech. Papers, pp.302-303, Feb. 1995
- [2]M. C. Lewis, J. C. Del Rio, "VelaTXTM Innovative 3D Architecture Coupled with Embedded DRAM Architecture", Conference Record of HotChips10, pp.215-224, Aug. 1998
- [3]K.Murakami 他, "Parallel Processing RAM Chip with 256Mb DRAM and Quad Processors", ISSCC'97, FP14.3, Feb. 1997
- [4]マイク・ジョンソン, 村上和彰 監訳, "スーパースカラ・プロセッサ", ISBN 4-8227-1002-5, 日経BP, 1994