

並列計算機ノードプロセッサのFPGAを用いた実装と評価

佐谷野 健二[†], 児玉 祐悦[†], 坂根 広史^{†,††}, 山口 喜教^{†††}

[†]電子技術総合研究所 情報アーキテクチャ部
〒305-8568 茨城県つくば市梅園 1-1-4

^{††}電気通信大学大学院 情報システム学研究所
〒182-8585 東京都調布市調布ヶ丘 1-5-1

^{†††}筑波大学 電子・情報工学系
〒305-8577 茨城県つくば市天王台 1-1-1

あらまし 今日では、非常に大容量なFPGA (Field Programmable Gate Array)が利用可能となっており、ハードウェアプロトタイプ設計の有効な手段の一つとなっている。我々は、この様な大容量FPGAとメモリチップをプリント基板上に実装したテスト基板の開発を行った。更に、この基板を用いて、並列計算機EM-Xのノードプロセッサの実装を行った。本稿では、このプロセッサを、ゲートアレイを用いて実装した場合と、FPGAを用いて実装した場合の比較について述べる。

キーワード 並列計算機, ノードプロセッサ, 書換可能デバイス, テスト基板

Implementation and Evaluation of a Parallel Computer Node Processor on FPGA

K. Sayano[†], Y. Kodama[†], H. Sakane^{†,††}, and Y. Yamaguchi^{†††}

[†]Computer Science Division, Electrotechnical Laboratory
1-1-4 Umezono, Tsukuba, Ibaraki, 305-8568 Japan

^{††}Graduate School of Information Systems, University of Electro-Communications
1-5-1 Chofugaoka, Chofu, Tokyo, 182-8585 Japan

^{†††}Institute of Information Sciences and Electronics, University of Tsukuba
1-1-1 Tennoudai, Tsukuba, Ibaraki, 305-8577 Japan

Abstract Nowadays, very huge FPGA (Field Programmable Gate Array) is available, and it became to be one of efficient means for hardware prototyping. We developed a prototype board with FPGA and memory chips. By using this board, we implemented a node processor of the parallel computer EM-X on FPGA. In this report, we describe the difference of implementation between gate array and FPGA.

Key Words parallel computer, node processor, FPGA, prototype board

1. はじめに

今日では、非常に大容量なFPGA (Field Programmable Gate Array)が利用可能となっており、ハードウェアプロトタイプ設計の有効な手段の一つとなっている。現在利用可能なFPGAの中には、数十万ゲート規模のものもあり、比較的大きな規模のプロセッサ全体をFPGA上に実装することも可能となっている。この様なFPGAをプロセッサのプロトタイプ設計に利用すれば、プロセッサ開発を効率的に行うことが可能である。そこで我々は、FPGAとメモリを搭載したテスト基板を開発した。更に、この基板上に並列計算機のノードプロセッサを実装し、ゲートアレイを用いて実装した場合とFPGAを用いて実装した場合の、ゲート規模や遅延時間の比較を行った。

以降、2.ではFPGAとメモリチップを実装したテスト基板の概要を述べる。また、3.では並列計算機のノードプロセッサをFPGAに実装した場合の結果と、ゲートアレイを用いた場合との比較について述べる。

2. EMB の概要

Fig. 1に、FPGA 及びメモリチップを実装したテスト基板(以下 EMB)の構造を示す。EMB は、FPGA、SP(single-port)-SRAM、DP(dual-port)-SRAM、SDRAM、メモリコントローラから構成される。

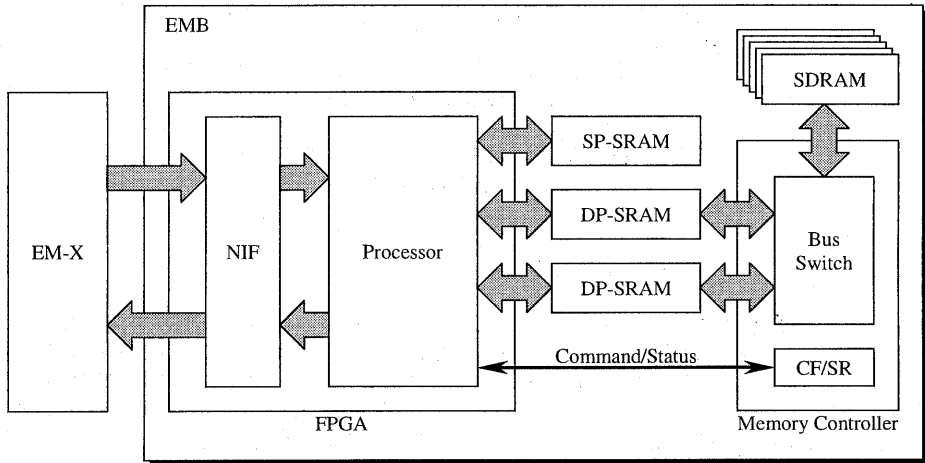


Fig. 1 Structure of EMB.

NIF: network interface, SP-SRAM: single-port SRAM, DP-SRAM: dual-port SRAM, SDRAM: synchronous DRAM, CF: command FIFO, SR: status register.

FPGA には、1 系統の SP-SRAM と、2 系統の DP-SRAM が、各々独立したバスで接続される。この内、2 系統の DP-SRAM には、基板上に実装されたメモリコントローラからもアクセスすることが可能である。このメモリコントローラには、更に SDRAM が接続され、FPGA からコマンドを送信することで、DP-SRAM と SDRAM の間でのデータ転送が行われる。この為、FPGA から SDRAM を利用する際には、メモリコントローラのデータ転送機能を用いて間接的にアクセスされる。メモリコントローラには FPGA からコマンドを受け取る為の FIFO と、FPGA からメモリ転送の状況を調べる為のステータスレジスタが用意されている。FPGA とメモリコントローラは、各々別々のバスを通して DP-SRAM に接続されている為、DP-SRAM と SDRAM の間のデータ転送は、FPGA から DP-SRAM へのアクセスを妨げる事無く行われる。

Fig. 2に、FPGA からメモリコントローラを操作する際のコマンドのフォーマットを示す。メモリコントローラに対するコマンドは 2 ワードの送信で 1 回の転送処理を指示する。コマンド中では、データの転送方向、転送するデータのサイズ、DP-SRAM のポート番号、DP-SRAM 上のアドレス、SDRAM 上のアドレス等が指定される。

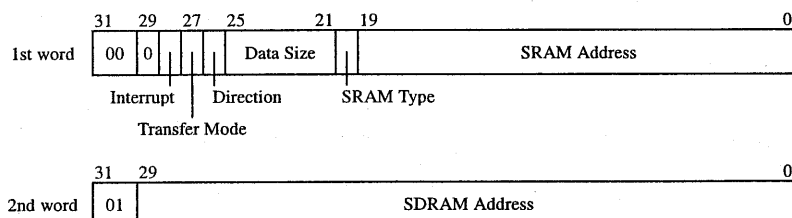


Fig. 2 Command format of memory controller.

EMB では、FPGA に Altera の EPF10K200E[1]を使用している。このデバイスの概要をTable 1に示す。

このデバイスは 0.25 μm プロセスで製造され、ロジック部分とメモリ部分を含めたゲートサイズは 200,000 ゲートである。各々の Logic Element (以下 LE) は 4 入力 1 出力のルックアップテーブルと 1 ビットのフリップフロップで構成され、LE の総数は 9,984 個である。また、主にメモリとして使用される Embedded Array Block (以下 EAB) は、各々が 4,096 ビットの容量を持つ。チップ全体の EAB の数は 24 個である為、トータルで 98,304 ビットの容量を持つ。また、ユーザが利用できる I/O ピンの数は 470 本となっている。尚、EMB では 599 ピン PGA パッケージのデバイスが使用されている。

Table 1 Specifications of Altera EPF10K200E.

Typical Gates	200,000
Logic Elements	9,984
Embedded Array Blocks	24
Total RAM Bits	98,304
Maximum User I/O Pins	470

EMB の写真を Fig. 3 に示す。基板の下の部分に配置されている最も大きなセラミックパッケージの LSI が FPGA である。FPGA の左側には、SP-SRAM と DP-SRAM が実装されている。基板上部の左側には、SD-RAM の DIMM モジュールが実装されている。このモジュールの下の部分の PLD がメモリコントローラを構成している。2 系統の DP-SRAM は各々が 320KB の容量を持ち、SP-SRAM は 5MB、SDRAM は 1GB である。また、DP-SRAM と SP-SRAM のデータバスの幅は 40 ビット、SDRAM のデータバス幅は 64 ビットである。

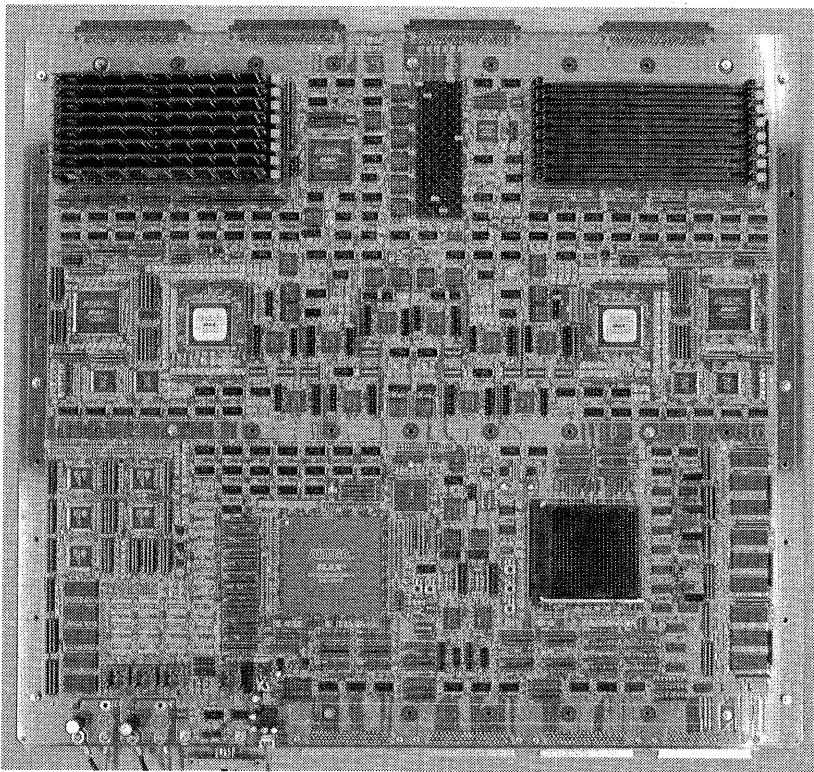


Fig. 3 Photograph of EMB.

3. 実験と評価

実験では、並列計算機 EM-X[2]のノードプロセッサ EMC-Y[3]を、EMB 上の FPGA に実装した。Fig. 4に EMC-Y の概要を示す。EMC-Y は、SU、IBU、MU、EXU、OBU、MCU、MAINT の7個のユニットで構成されている。SU は入出力各々2つの通信ポートを持ち、通信パケットのスイッチングを行う。IBU、OBU はパケットの受信と送信の為のバッファである。MU は他の PE (Processing Element) から送られてきたパケットの処理を行い、演算等の命令実行は EXU で行われる。MCU はメモリインタフェース、MAINT はバウンダリスキャン等の制御を行う為のインタフェースである。

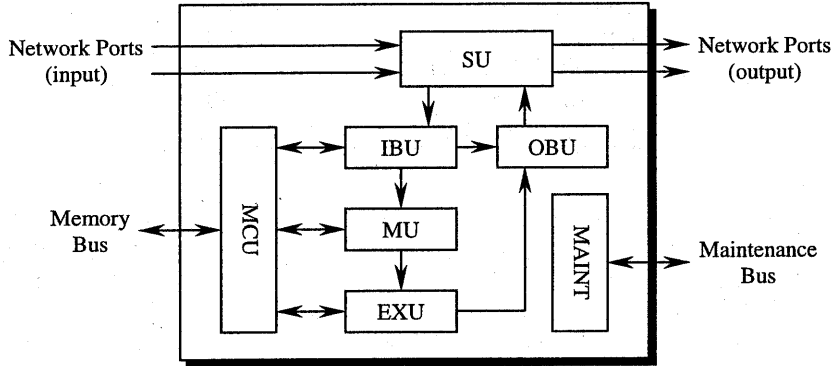


Fig. 4 Functional units of EMC-Y.

SU: switching unit, IBU: input buffer unit, MU: matching unit, EXU: execution unit, OBU: output buffer unit, MCU: memory control unit, MAINT: maintenance unit.

EMC-Y を、 $1.0\mu\text{m}$ プロセスのゲートアレイで実装した場合と、EMB 上の FPGA で実装した場合の、ゲート数と LAB/EAB 数の比較を Table 2 に示す。尚、EMC-Y を FPGA 上に実装する際には、FPGA の容量の都合から、EXU 内にある浮動小数点演算器と、MAINT の機能の一部を削除した。また、EMB 上のネットワーク通信ポートが入出力の各 1 ポートである為、SU の通信ポートも入出力各 1 ポートとした。

Table 2 Number of gates/LABs/EABs of each functional unit.

Functional Unit	Gate Array		FPGA		
	Number of Gates	Percentage	Number of LABs	Percentage	Number of EABs
SU	11,097	13.68%	1,214	15.22%	0
IBU	12,772	15.74%	671	8.41%	6
MU	3,171	3.91%	299	3.75%	0
EXU	44,741	55.14%	4,362	54.68%	6
OBU	4,674	5.76%	109	1.37%	5
MCU	2,352	2.90%	283	3.55%	0
MAINT	2,338	2.88%	1,039	13.02%	0
Total	81,145	100.00%	7,977	100.00%	17

EXU は浮動小数点演算器を削除したにも関わらず、ゲートアレイを用いた際のゲートの使用比率と、FPGA を用いた際の LAB の使用比率が殆ど変わっていない。FPGA では、EXU が持つレジスタファイルは EAB に割り当てられているので、整数演算器などの部分がゲートアレイの場合に比べてかなり大きな比率を占めていることになる。

IBU と OBU について見ると、ゲートアレイでのゲート使用比率が各々 15.74% と 5.76% であったのに対して、FPGA での LAB 使用比率は各々 8.41% と 1.37% となっている。これらのユニットは、その大部分がバッファであることから、FPGA 上での EAB への割り当てが効率良く行われたものと考えられる。

また、MAINTを見ると、FPGAでのLABの使用比率が、ゲートアレイでのゲートの使用比率に比べて大幅に増加している。MAINTはフリップフロップを多く含むユニットであることから、FPGAでフリップフロップを実装した場合のLABの使用効率があまり高くないものと考えられる。

EMC-Y全体のEABの使用数は、FPGA全体で24個ある内の17個であったが、メモリビット数では98,304ビット中4,264ビットしか使用されていない。EPF10K200Eの各EABは4,096ビットの容量を持っており、データバス16ビット、アドレスバス8ビット(256エン트리)といった構成が可能である。しかしながら、EMC-Yでは通信バッファが8段から16段、レジスタ数が27個と少ない為、EABのエントリ数を有効に利用することが出来なかった。

また、EMC-Yのクロックサイクルの最大値は、FPGA上では58.7nsであった。EMC-Yを1.0 μ mプロセスのゲートアレイで実装した場合の最大動作周波数は20MHzである為、この時のサイクルタイムは50nsとなる。FPGA上ではゲートアレイに比べて17.4%程ディレイが増加していることになるが、プロトタイプの動作検証には十分な動作速度が得られている。

4. おわりに

FPGAとメモリチップを実装した基板を開発し、並列計算機EM-Xのノードプロセッサを試験的に実装した。ゲートアレイ上で約80,000ゲートの大きさを持つプロセッサをFPGAに実装した場合、200,000ゲート規模のFPGAではその全ての機能を実装することは出来なかったが、浮動小数点演算器を削除し、規模を縮小することで実装可能であることが確認できた。今後は、より大規模なFPGAの製品化も予定されており、EMC-Yの全機能をFPGA上に実装することも可能になると考えられる。

以上の実験では、FPGAを用いたプロセッサ実装の可能性について検証することが出来た。今後は、EMBを利用して、ノードプロセッサの方式検討を行って行く予定である。

謝辞

今回のテスト基板の開発において、貴重なご意見を下さった電子技術総合研究所の同グループの皆様と、基板の実装を引き受けて下さった画像技研の方々に感謝致します。

文献

- [1] "FLEX 10KE Embedded Programmable Logic Family Data Sheet," Altera Corporation, 1999.
- [2] Y. Kodama, H. Sakane, M. Sato, H. Yamana, S. Sakai, and Y. Yamaguchi, "The EM-X Parallel Computer: Architecture and Basic Performance," Proceedings of International Symposium on Computer Architecture, pp. 14-23, 1995.
- [3] Y. Kodama, Y. Koumura, M. Sato, H. Sakane, S. Sakai, and Y. Yamaguchi, "EMC-Y: Parallel Processing Element Optimizing Communication and Computation," Proceedings of International Conference on Supercomputing, pp. 167-174, 1993.