

教育用 RISC プロセッサ MITEC-II について

平柳 和也 石川 知雄 宮内 新
武蔵工業大学 工学研究科

Abstract

近年コンピュータアーキテクチャは急速に発展しており、大学院・大学におけるコンピュータアーキテクチャ教育が重要になってきている。そこで本学では教育用の機能を持ったプロセッサ MITEC-I を開発した。しかし実際の使用において MITEC-I は教育用としての機能、そして性能の面でまだ不十分なものであり新たなプロセッサが望まれた。そこで新たな教育用のプロセッサ“MITEC-II”の開発に至った。MITEC-II は 32Bit の RISC プロセッサであり MITEC-I に対して性能面・教育的機能について多くの改良がなされている。本稿は MITEC-II プロセッサの利点、その利用法、応用について述べるものである。

About Educational RISC processor “MITEC-II”

Kazuya Hirayanagi Tomoo Ishikawa Arata Miyuchi
Research Division in Engineering, Musashi Institute of Technology

Abstract

Recently, education of computer architecture in university is becoming more important, as computer architecture technology is developing rapidly. A RISC processor “MITEC-I” that has educational functions has been developed for this purpose. However, it is found that educational function and performance of MITEC-I was insufficient in actual use and new processor has been developed. A new processor “MITEC-II” has been developed. is a 32-bit RISC processor and gives consideration for problems of and requests for MITEC-I. This paper described the advantage, the usage and application of MITEC-II processor .

1 はじめに

近年コンピュータアーキテクチャは急速に発展しており、大学院・大学におけるコンピュータアーキテクチャ教育が重要になってきている。本学での講義では既存のプロセッサやそのシミュレーションを用いた演習を中心に行ってきた。そこで L S I 設計を含めた総合的なハードウェア演習が行えることを目的として、本研究室では教育用 RISC プロセッサ“MITEC-I”の開発を行った。現在 MITEC-I プロセッサは完成し、大学院の演習で実際に使用されている。しかし実際の MITEC-I の使用において問題点が挙げられ、新たなプロセッサが望まれていた。このような背景から教育用 RISC プロセッサ“MITEC-II”を開発した。

MITEC-II プロセッサは MITEC-I プロセッ

サの問題点を考慮した教育用の 32Bit RISC プロセッサである。MITEC-I 同様に VHDL(ハードウェア記述言語)によって設計され、FPGA(Field Programmable Gate Array)デバイスを用いている。MITEC-II では VHDL 記述は機能毎の階層構造を形成させており、MITEC-I と比べ演習者に理解しやすいように配慮している。第 2 章では現在演習で用いられている MITEC-I プロセッサの概観とその問題点を述べる。第 3 章～第 4.6 章までは、MITEC-II プロセッサの改良点・新たに加えられた機能等について述べている。第 5 章では MITEC-II プロセッサを DSP 等の研究用としての利用について述べる。第 6 章では MITEC-II プロセッサを利用した考えられる演習について述べる。

2 MITEC-I プロセッサ

MITEC-Iは教育用として開発されたプロセッサで本研究室独自のアーキテクチャである。

2.1 特徴

- ・ 5段命令パイプラインを持つ16bitRISCプロセッサ
- ・ 16bit 固定長命令
- ・ 128Kbyte(64Kword) のメモリ空間
- ・ 1クロック 1命令の実行
- ・ 遅延分岐による分岐
- ・ 設計…VHDL, デバイス…FPGA

FPGA デバイスを用いる事によって内部論理の変更が可能で、演習で自由にプロセッサを改造することが出来る。MITEC-IプロセッサはRS232C, LCDディスプレイ, パラレルポートインターフェース及びDMAを装備した実験ボードに載せられ, BIOS, Monitor, アセンブラ, コンパイラ等の環境が整えられている。現在MITEC-Iは大学院での演習に使用されている。

2.2 問題点

MITEC-Iプロセッサについていくつかの問題点, 要望点が挙げられている。

- ・ 動作中の内部の信号を外部から実際に観測したい
- ・ キャッシュ, 仮想記憶等のメモリシステムに対応していない
- ・ 16bit 処理のため, 拡張性, メモリ空間の点で32bit化が望まれる
- ・ 割り込み等の機能が貧弱である

以上の事から新プロセッサの開発が必要となった。

3 MITEC-II プロセッサについて

MITEC-IIプロセッサはMITEC-Iプロセッサの基本アーキテクチャを継承しつつ, 上で述べた問題点を改善しより高機能で教育用にも適

したプロセッサを目指したものである。MITEC-IIプロセッサは次のような特徴を持っている。

- ・ 5段命令パイプラインを持つ32Bit RISCプロセッサ
- ・ 4GByte アドレス空間
- ・ 仮想記憶に対応 (MMU を外部に装備)
- ・ 命令キャッシュ・データキャッシュを独立に設けたハーバードアーキテクチャ
- ・ 1クロック 1命令の実行
- ・ 32Bit 固定命令長
- ・ 遅延分岐 (1 スロット)
- ・ VHDL・FPGA による開発

FPGA を用いているため, MITEC-I 同様にCPUの改造が可能である。更に, MITEC-Iプロセッサと比べ大容量 (MITEC-I…25,000gate MITEC-II…600,000gate) のFPGAを用いるため拡張性に非常に優れており, システムLSI等への応用が考えられる。

3.1 システム構成

図1にMITEC-IIプロセッサを利用したシステムを示す。MITEC-IIプロセッサでは, 図1のように命令バス・データバスの二つのバス線が出ている。これは, 命令キャッシュとデータキャッシュが独立であるハーバードアーキテクチャを採用している点, キャッシュとMMUを外部にしている点から命令及びデータの独立のバスを出している。

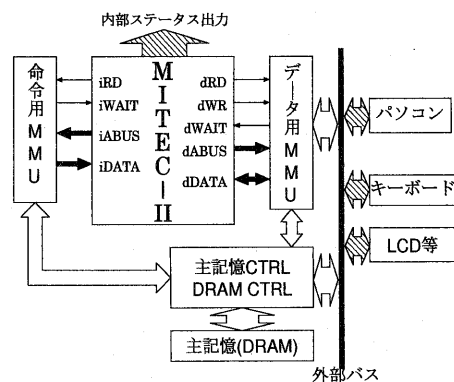


図1: システム構成

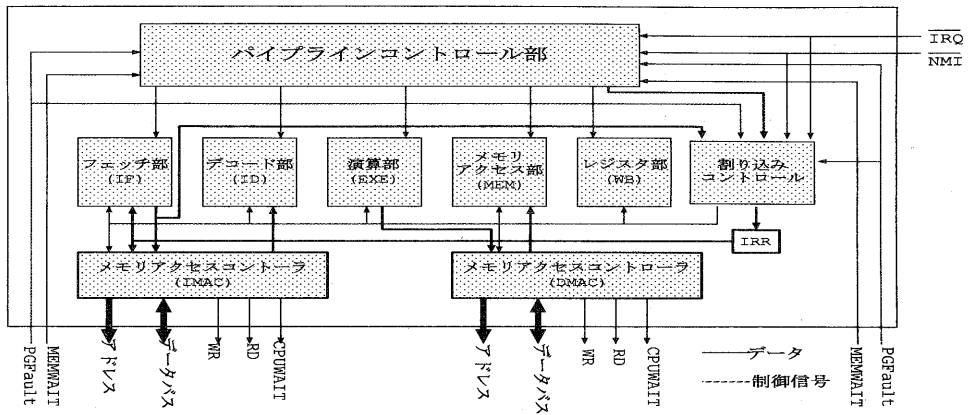


図 2: ブロック図

3.2 内部アーキテクチャ

図 2 に内部アーキテクチャを示す。内部アーキテクチャは IF, ID, EXE, MEM, WB の 5 ステージの命令パイプライン、パイプラインコントロール部、割込みコントロール、メモリアクセスコントロールで構成される。パイプラインコントロール部は、5 ステージの命令パイプライン及び全体の制御を行う。命令パイプラインの進行を図 3 に示す。命令パイプラインの IF ステージで命令キャッシュから命令コードを CPU から取り込む。この際メモリアクセスコントローラが実際に外部バスとのインターフェースを担当する。ID ステージで命令コードのデコードが行われ、EXE ステージで実際の演算及び外部メモリへのアドレス送出が行われる。EXE ステージでアドレスを送出するのは外部 MMU が仮想アドレスへの変換への時間をとるためである。その半クロック後に MMU への書き込みデータを出力する。MEM ステージでは、ロード命令の際のデータ取り込みが行われる。WB ステージで演算の結果がレジスタに格納される。

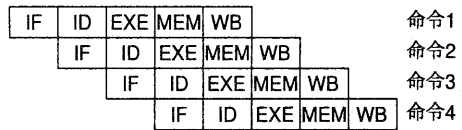


図 3: 命令パイプライン

4 教育的機能の追加及び改良

4.1 内部ステータス信号の出力

MITEC-I では動作中の CPU の内部状態を知ることは出来なかった。MITEC-II プロセッサは、CPU 内部の動作に関わる重要な信号を外部に出力している。この信号をロジックアナライザ等でモニタすることにより、実際に動作しているプロセッサ内部の状態を外部から詳細に観測する事が可能となる。この機能により、演習、プロセッサの性能評価、種々のアーキテクチャの動作の比較等の利用が考えられる。

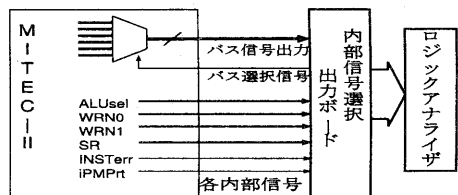


図 4: 内部ステータス信号出力

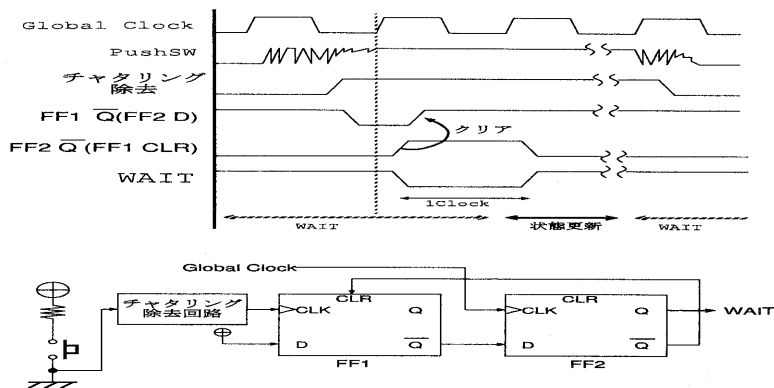


図 5: 手動クロック信号

4.2 手動クロック信号について

MITEC-I プロセッサボードでは手動クロック信号を設けていなかった。MITEC-II プロセッサボードでは手動クロック信号のシステムを設けることを考えている。しかしプロセッサに入力するクロック信号を直接手動クロックにすることは今回使用する FPGA では行う事ができない。そこで MITEC-II ボードでは CPU のウェイト信号を用いてこの手動クロック機能を疑似的に実現することを考えた (図 5)。これにより安定して手動クロック動作が実現し、外部ステータス機能と組合せ CPU の内部状態がリアルタイムに知ることが出来る。

4.3 32bit 化

MITEC-I プロセッサは 16bit 内部処理であったが、MITEC-II プロセッサは 32bit 処理と拡張されている。これにより、

- 命令コードが 32Bit となったことにより、命令コードの拡張性が増した
- 十分なメモリ容量 (4GByte) を確保出来る
- 計算が高速になり、DSP 等の組込みの相性が良い。

となり、プロセッサの改造や機能拡張が行い易くなった。現在、本プロセッサをコアにしたシ

ステム LSI (画像関係) の構想が研究室で提案されているが、上記の利点より対応が容易となる。

4.4 フォワーディングと遅延分岐

MITEC-II プロセッサでは命令パイプラインのデータハザードに対しデータフォワーディング機構を設けこれに対処している。また、分岐は遅延スロット 1 の遅延分岐である。遅延分岐及びフォワーディング機構は内部ステータス信号により外部より観測でき、命令パイプラインの演習に有効である。

4.5 メモリシステム

MITEC-II プロセッサは、特にメモリ関係について MITEC-I プロセッサに比べて大幅に改善がなされている。まず、記憶空間が大幅に拡張された点である。MITEC-I では 128Kbyte であったが、MITEC-II では 4Gbyte となっている。これにより大規模なプログラムを実行させる事ができる。図 system-zu ように命令キャッシュとデータキャッシュが独立であるハーバードアーキテクチャを用いているため、データアクセスと命令アクセスの衝突を起こさなくて済む。またメモリ管理ユニット (MMU) とキャッシュメモリが CPU 外部にあり、仮想アドレス変換やキャッシュタグ検査等は この MMU が行っ

ている。MMU・キャッシュを外部に設ける事で、仮想アドレスへの変換やキャッシュへのアクセスの動作を外部から観測できる。また、MMU自身も内部のステータス信号を外部に出力するためMMUの詳細な動作を観測可能である。

4.6 割り込み

MITEC-I プロセッサの割り込みは、外部機器の割り込み及びソフトウェアによる割り込みしか対応していない。MITEC-II では仮想記憶等の機能を有し、また後に述べるシステム LSI にも対応させるため、より割り込み機能を充実させている。MITEC-I プロセッサでは内部の割り込みがソフトウェア割り込みのみなので、割り込み処理に対して1つのパイプラインステージについてのみ注目すれば良い。(図6)容易に正確な割り込みが保証出来る。しかしMITEC-II プロセッサでは仮想記憶記憶機構を備えているため、これらの機能を実現させるため種々の割り込み機能が必要となる。これにより命令フェッチ段階、データアクセス時、記憶保護違反など各ステージで割り込みが生じる。図7その例を示すが、命令1がMEMステージで、命令2がIDステージで割り込みが発生した場合、後続命令が時間的に早く割り込みが発生する。もし割り込み処理を直ちに行うならば、次の後続命令の割り込み処理が早く処理され、正確な割り込みが保証出来ない。これに対処するため、MITEC-II プロセッサでは、すぐに割り込み処理を行うのではなく、割り込み発生以前の命令の実行が完了してから割り込み処理に移る。

図8にMITEC-II プロセッサの割り込みコントローラを示す。この割り込みコントローラは割り込みを検知するとすぐに命令のフェッチがストップされる。ここでシステムはパイプライン化されているため、割り込みが生じる前のステージにある命令は実行が続行される。しかし、実行中PCは更新されていくので各ステージにそのステージの命令のPCの値を保持する必要がある。(PC1 PC2 PC3)そして、MEMステージの後半で割り込み処理の判定が行われ、

割り込み処理に移る。MEMステージで行う理由はWBステージでプロセッサ内部の状態を更新するため、その前に割り込み処理に以降させるためである。このように全体の割り込み処理への以降がある1つのステージで判断されるため、命令順に割り込みを検知することが可能である。



図6: MITEC-I プロセッサの割り込み例

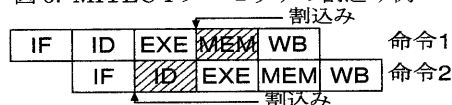


図7: MITEC-II プロセッサの割り込み例

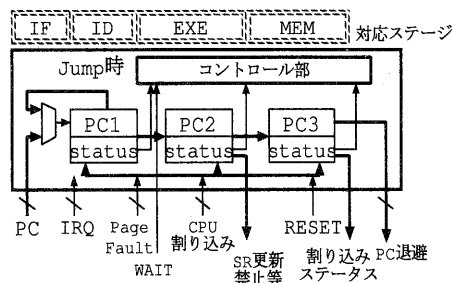


図8: MITEC-II の割り込みコントロール

5 MITEC-II プロセッサの応用

MITEC-II プロセッサは単純なアーキテクチャで拡張性が高いという特徴を持っており、FPGA を使用しているためプロセッサを自由に改造可能である。またMITEC-I プロセッサではFPGA にXILINX XC4025(2,500 Gate クラス)をもちいていたが、MITEC-II プロセッサではより大規模なXILINX XCV600(600,000 Gate クラス)のものを使用しており、現在リソースにして半分以上余裕がある。以上の点からMITEC-II コアを利用した応用が現在本研究室で提案されている。

- 画像用に適したプロセッサへの応用が考えられている。

図9に示す。座標計算用の演算装置を備

えたシステムが設計されている。

- MITEC-II のスーパースカラ化

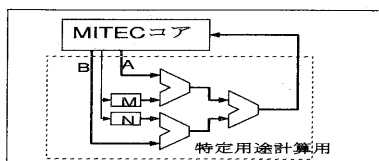


図 9: MITEC 応用例 1

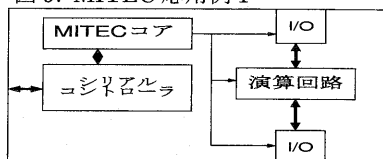


図 10: MITEC 応用例 2

6 MITEC-II プロセッサを用いた演習

MITEC-II プロセッサは教育用としての利用目的としたもので、演習等の利用に有効である。MITEC-II プロセッサを用いて、以下の演習が考えらる。

- VHDL によるデジタル回路の設計
HDL による VLSI 回路の設計の理解 (現在の大規模なデジタル回路は HDL を用いるのが一般的)
- 動作中のプロセッサの内部ステータス信号の解析
実動作中の内部状態を把握することにより、CPU の原理をより深く理解する
- パイプラインハザード対策を施したものと施さないものとの性能比較
実際のプロセッサ上で、どれだけの効果があるかを理解する
- キャッシュ容量に対する性能比較
- MITEC-II の改造演習者が現在のプロセッサの問題点及び改良したい点を考え、演習者が自由に CPU を再設計する。

7 おわりに

現在 MITEC-II プロセッサはプロトタイプ版の機能シミュレーション・論理合成・配置配線後のゲートシミュレーションが終了している。またプロトタイプボードの設計が終了し、現在基板を発注している段階である。配置配線後のタイミング解析では 28MHz となっており、当初の目標である 20MHz を達成している。現在、シミュレーションテストを繰り返している。プロセッサを載せるプロトタイプボードが完成次第、実装テストを行う。今後の方針を以下に述べる。

- MITEC-II システムボードの設計
- アセンブラ環境の整備
- BIOS・Monitor 等の整備

参考文献

- [1] 豊島 俊 他: 「教育用プロセッサ MITEC-I のサポートシステム」, 情報処理学会 第 53 回大会論文集, 4G-6 1996
- [2] Davit A.Patterson, John L.Hennessy (成田 光彰 訳): 「コンピュータの構成と設計 上巻 下巻」, 1996 日経 BP 社
- [3] Davit A.Patterson, John L.Hennessy : 「コンピュータ・アーキテクチャー設計・実現・評価の定量的アプローチ」, 1996 日経 BP 社