

大容量 FPGA の応用による マルチプロセッサエミュレーションシステムの評価

佐谷野 健二[†] 片下 敏宏^{††} 小池 汎平^{††} 児玉 祐悦^{††}
坂根 広史^{††} 甲村 康人^{†††}

本研究では、大容量 FPGA を応用したマルチプロセッサ向けエミュレーションシステムの開発を行った。本システムでは、プロセッサとネットワークルータを単一の FPGA チップ上に実装することで、高速なエミュレーション動作と高い柔軟性を実現している。また、独立した複数のメモリバスにより多様な構造の PE に対応し、高速な差動信号バスを用いることによりシステム全体の性能を考慮して設計が行われている。本稿では、エミュレーションシステムを構成する各コンポーネントの評価結果について述べる。

Evaluation of a Multiprocessor Emulation System by the Application of Large-scale FPGA

KENJI SAYANO,[†] TOSHIHIRO KATASHITA,^{††} HANPEI KOIKE,^{††} YUETSU KODAMA,^{††}
HIROFUMI SAKANE,^{††} and YASUHITO KOUMURA^{†††}

In this research, we developed a multiprocessor emulation system by the application of large-scale FPGA. This system realizes very high-speed emulation and high flexibility, since processors and network routers are implemented in a single FPGA chip. Furthermore, various PE structures can be implemented with the individual memory buses, and the system performance at multiprocessor emulation is enhanced with the high-speed differential I/O buses. In this paper, we describe the evaluation results on each component of the emulation system.

1. はじめに

従来、プログラマブルデバイスを用いてプロセッサの実装を行う場合には、デバイスの容量が十分では無い為に、プロセッサを機能ブロック毎に分割して複数のチップに割り当てる必要があった。このような実装方法では、機能ブロックが複数のチップに分割されてしまうことから、プロセッサ実装時の自由度が低く、プログラマブルデバイスを用いることの利点を十分に活かすことが困難であった。また、プロセッサ内部の配線がチップ間を渡る為、デバイスパッケージのピン数の制約から十分な配線数が得られない場合や、デバイス間の配線遅延が問題になる場合もある。

この一方で、近年では FPGA の大容量化が急速

に進行しており、単一の FPGA チップ上にプロセッサコアやネットワークルータを搭載することが十分可能な状況にある。我々は、このような大容量 FPGA に着目し、FPGA を応用してマルチプロセッサシステムを実装する研究を進めている。大容量 FPGA を利用して単一チップ内にプロセッサコアとネットワークルータを混載すれば、上記の様な問題は解消され、多様な構造のプロセッサやネットワークに対応しながら、高速なハードウェアエミュレーションを行うことが可能である。

これ迄の研究では、EM-X の要素プロセッサ¹⁾、²⁾ や MIPS アーキテクチャをベースとしたマルチスレッドプロセッサを対象として、単一 FPGA チップ上でのプロセッサの実装を行い、その検証を進めて来た^{3), 4)}。本稿では、これ迄の研究を踏まえて新たに開発を行ったマルチプロセッサ向けエミュレーションシステム REX (Reconfigurable Experimental Equipment)^{5), 6)} に関して、その概要とシステムを構成する各コンポーネントの評価結果を示す。

以降、2. では REX の概要について述べ、3. では REX を構成する各コンポーネントの評価結果

[†] 科学技術振興事業団 科学技術特別研究員
Domestic Research Fellow, Japan Science and Technology Corporation

^{††} 産業技術総合研究所 情報処理研究部門
Information Technology Research Institute, National Institute of Advanced Industrial Science and Technology

^{†††} 株式会社 創夢
SOUJ Corporation

について述べる。

2. REX の概要

REX では、複数の大容量 FPGA を用いて個々の FPGA 上に PE を構築し、これらをネットワークで接続することによりマルチプロセッサシステムが実現される。また、各々の FPGA には、独立したバスによって接続される複数のメモリを搭載することにより、多様な PE の構成にも対応している。さらには、FPGA 同士を高速な差動信号バスで接続することにより、システム全体のエミュレーション性能を高めている。

以下では、REX システムの構成と REX を構成するボードの構造について述べる。

2.1 REX システム

REX システムの全体構成を図 1 に示す。本システムは制御用の PC と FPGA を用いた装置本体から構成される。装置本体は 4 つのモジュールで構成され、各々のモジュールは 2 枚のボードを組み合わせる構成されている。モジュールを構成する 2 枚のボードは M-Link と書かれたバスによって接続される。また、S-Link と書かれた太い矢印は、モジュール間を繋ぐケーブルを表している。これらのケーブルは、エミュレーションの対象となるマルチプロセッサのネットワークトポロジに合わせて繋ぎ替えることが可能である。尚、REX システムは、モジュール数の増減や単一基板での運用も可能な設計となっている。

制御用 PC と装置本体との接続には IEEE1394 規格の I/F が使用されている。制御用 PC からは、この I/F を通して、装置上の FPGA のコンフィギュレーション、FPGA 上に実装された PE へのプ

ログラムの転送とデータの受け渡し、装置上のプログラムの実行制御等が行われる。

ボード上の C は C-Device、M はメモリ(SSRAM と SDRAM)、P は P-Device を、それぞれ表している。これらに関しては次節で詳しく説明する。

2.2 REX ボード

REX ボードの構造を図 2 に、REX ボード上の主要構成部品と諸元を表 1 に示す。REX ボードには、ボード全体の制御を行う FPGA (図中の C-Device)と、プロセッサやネットワークルータを実装する為の 2 つの FPGA (図中の P-Device)の、2 種類の FPGA が搭載されている。

C-Device には Xilinx の XCV300E が使用されている。C-Device は、電源の投入直後にボードに搭載された ROM によってコンフィギュレーションが行われ、ボード全体の制御を行う。また、C-Device には制御用 PC との通信を行う為の IEEE1394 I/F (400M bps)と、主にボードのデバッグの際に使用される RS232C I/F の 2 種類の I/F が用意されている。

1 枚のボードには 2 つの P-Device が搭載されている。P-Device には Xilinx の XCV2000E が使用されており、各々の P-Device には、主にキャッシュメモリとして使用される 4 系統の SSRAM と、メインメモリとして使用される 2 系統の SDRAM が接続されている。各々の P-Device と C-Device の間は、C-Link と呼ばれるバスで接続されている。

また、P-Device には M-Link と S-Link の 2 種類の通信ポートが用意されている。M-Link は、モジュール内でループ状のネットワークを構成する為の通信ポートで、双方向通信が可能となって

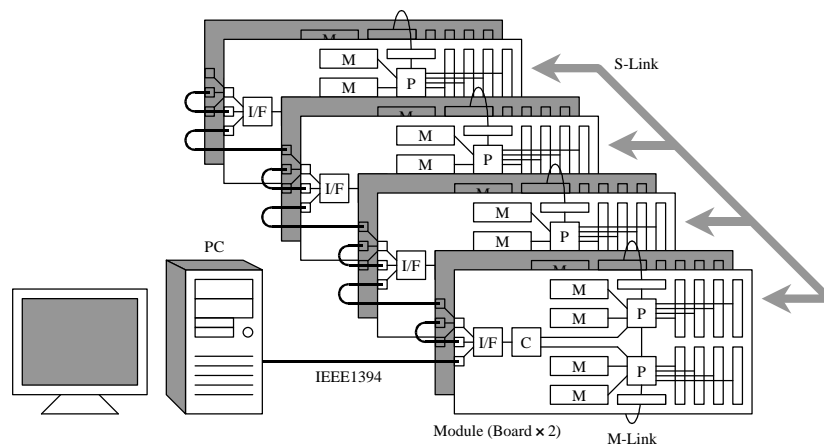


図 1 REX システムの全体構成。

I/F : IEEE1394 I/F , C : C-Device , M : SSRAM and SDRAM , P : P-Device , M-Link : モジュール内接続 , S-Link : モジュール間接続。

表 1 REX ボードの主要構成部品と諸元

	Specification	Per Chip or Module	System Total
P-Device (XCV2000E)	Number of Chips Logic + Memory Capacity Logic Capacity Memory Capacity User I/O	2.5M gates 0.5M gates 640K bits 804 pins	16 chips (2 chips × 8 boards) 40M gates 8M gates 10M bits
C-Device (XCV300E)	Number of Chips Logic + Memory Capacity Logic Capacity Memory Capacity User I/O	0.4M gates 0.08M gates 128K bits 312 pins	8 chips (1 chip × 8 boards) 3.2M gates 0.6M gates 1M bits
SSRAM (Flow-Through, ZBT)	Number of Chips Memory Capacity Word Width Maximum Clock Frequency	576K bytes 36 bits 100 MHz	64 chips (8 chips × 8 boards) 36M bytes
SDRAM (144-pin SO-DIMM)	Number of Modules Memory Capacity Word Width Maximum Clock Frequency	128M bytes 64 bits 100 MHz	32 modules (4 modules × 8 boards) 4G bytes (Upgradable)

いる .S-Link はモジュール間をケーブルで繋ぐ為のポートである .S-Link は単一方向の通信ポートである為 ,1 つの P-Device に繋がる 4 つの S-Link は ,それぞれ 2 ポートずつが出力専用と入力専用になっている .S-Link の信号フォーマットには差動信号規格の LVPECL を使用しており ,1 つのポートは ,正方向 16 ペア ,逆方向 4 ペア ,クロック 1 ペアで構成され ,合計で 21 の差動信号ペアを持つ .

2.3 クロック分配系

図 3 にボード内部のクロック系統図を示す . ボードの内部では ,8MHz のオシレータで生成される固定クロックと ,可変クロックジェネレータで生成される可変クロックの 2 種類のクロックが供給されている .8MHz の固定クロックはボード内部で常に供給されており ,可変クロックジェネレータ ,C-Device ,P-Device の各々のデバイス

に直接入力される .可変クロックジェネレータは ,固定クロックを基にして 1~200MHz の範囲で任意の周波数のクロックを生成することが可能である .可変クロックジェネレータの周波数は ,C-Device からの制御によって設定される .

エミュレーションシステムを構成する 8 枚のボードの内 1 枚がマスタとなって ,自分を含む全てのボードに可変クロックを供給する .マスタとなるボードでは ,可変クロックジェネレータで生成された可変クロックを同軸コネクタから出力し ,同軸ケーブルを使って可変クロックを供給する .ここで供給されるクロックは ,再び同軸コネクタから入力される .図 3 では ,マスタとなるボードから分配された可変クロックが ,再び自身にループバックして戻する場合の結線の例を表している .

同軸コネクタから入力された可変クロックは ,C-Device 内部の DLL (Delay Locked Loop)回路に

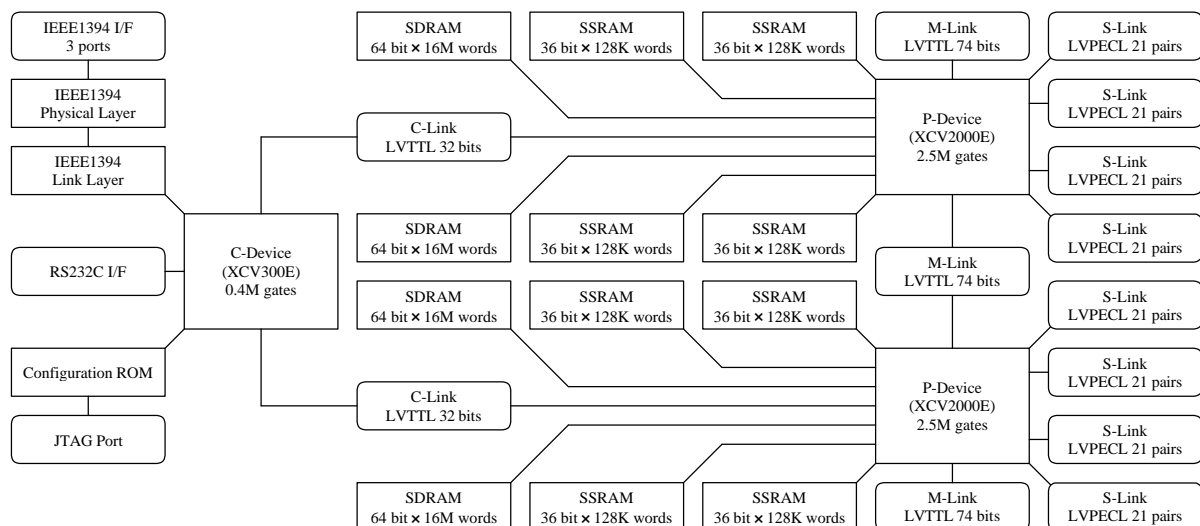


図 2 REX ボード内部のブロック図 .

C-Device : 制御用 FPGA デバイス , P-Device : プロセッサ用 FPGA デバイス , SSRAM : 同期 SRAM , SDRAM : 同期 DRAM , M-Link : モジュール内接続バス , S-Link : モジュール間接続バス .

入力され、その出力は P-Device 内部の DLL に入力される。P-Device の DLL から出力されたクロックは、SSRAM と SDRAM のクロック入力ピンに入力される。各々の DLL では、出力信号の一部をフィードバックすることによって、クロックスキューの調整が行われる。これにより、C-Device、P-Device、SSRAM、SDRAM の全てのクロック入力ピンに対して、位相の揃ったクロックが供給される。

2.4 S-Link を用いた伝送回路

モジュール間で FPGA 同士を接続する S-Link は、差動信号ペアを使った高速伝送動作に対応している。この場合の回路構成の例を図 4(a) に、高速伝送に用いるタイミング信号を図 4(b) にそれぞれ示す。この例は、X1 のクロックを基準として 2 倍(X2)と 4 倍(X4)のクロックを用いることにより、4 ビット幅のデータ(D0~D4)を、2 つの差動信号ペアで伝送する場合の回路を示している。

送信側の FPGA では、シフトレジスタと DDR (Double Data Rate)送信回路を構成している。シフトレジスタは、4 ビット幅のデータを 1 ビット幅のシリアルデータに変換する。DDR 送信回路の上側 2 つのフリップフロップでは、この 1 ビット幅のデータから正論理と不論理の信号ペアを構成している。また、下側 2 つのフリップフロップでは、2 倍クロックを 4 倍クロックの上がりエッジでサンプリングすることにより、伝送信号とは位相のずれた差動ペアのクロック信号を生成している。ここで生成されたデータの差動ペア信号とクロックの差動ペア信号は、ツイストペアケー

ブルを通して他の FPGA に伝送される。

受信側の FPGA では、DDR 受信回路を構成する。DDR 受信回路では受け取ったデータを伝送クロックの上がりエッジと下がりエッジでサンプリングすることにより SDR (Single Data Rate) の信号に変換している。さらに、これらをシフトすることにより、伝送信号は再び 4 ビット幅の信号に変換される。

各々の S-Link には 1 つのクロックペアと 16 の順方向信号ペアが含まれる為、これらを全て使用した場合は、X1 の 1 サイクル当り 64 ビット幅のデータ(request や enable 等の制御信号を含む)を転送することが可能である。尚、S-link に含まれる逆方向の信号ペアは、ready, busy, acknowledge 等の制御信号として使用される。

3. エミュレーションシステムの評価

本研究では、FPGA 上でのプロセッサの実装テスト、SSRAM、SDRAM の動作テスト、M-Link、S-Link の通信テストを行った。以下の各節では、各々の結果について述べる。

3.1 プロセッサの実装テスト

P-Device 内部に実際の回路を実装し、FPGA 上に論理回路を構成する際の基本単位であるスライスの使用率と動作速度を測定した。実験には、独自に設計した、32 ビット、5 段パイプラインのプロセッサを使用した。このプロセッサは、MIPS の命令セットに準拠し、乗除算器を含む整数演算機能が実装されている。尚、FPU、MCU、割り込み制御等の機能は含んでいない。

P-Device 上に、MIPS 互換プロセッサを実装し

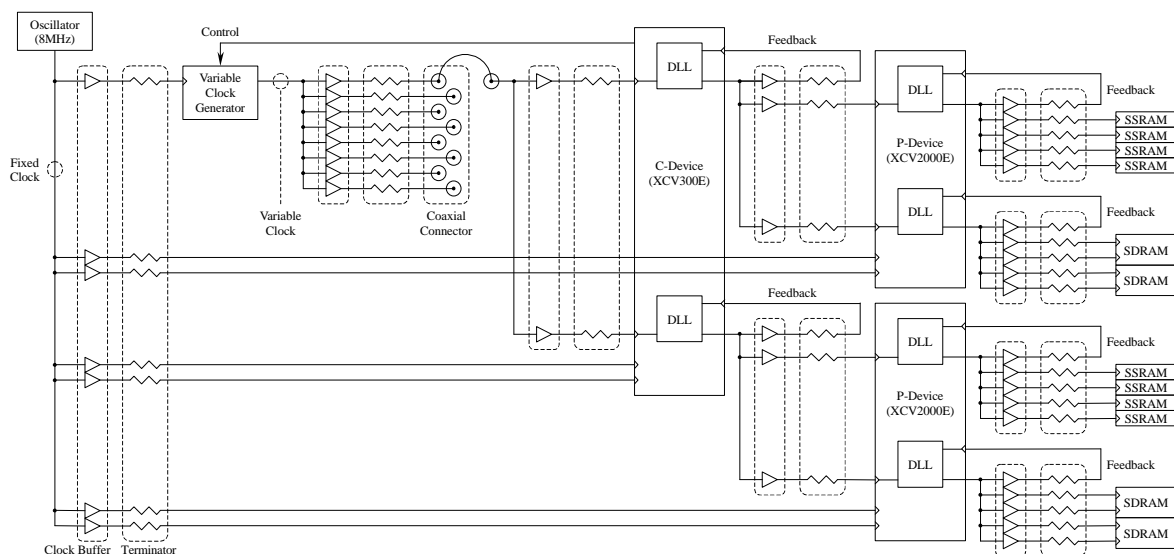


図 3 REX ボード内部のクロック系統図。

た場合の、実装するプロセッサ数の増加に対するスライス使用率と最大動作周波数の変化のグラフを図 5 に示す。

グラフの横軸は P-Device 上に実装したプロセッサの数を表しており、左側の縦軸は各々のプロセッサ数に対応するスライスの使用率、右側の縦軸は最大動作周波数をそれぞれ表している。この測定では、実装したプロセッサのレジスタファイルとメインメモリが P-Device の内蔵メモリセルに割り当てられており、プロセッサの命令バスは内蔵メモリと共に外部 I/O ピンにも接続されている。1 プロセッサ当りの外部 I/O ピンの使用数は、アドレス 32 ビット、データ 32 ビットの合計 64 ビットとなっており、プロセッサ数が 1 増加すると外部 I/O ピンの使用数は 64 増加している。

グラフでは、プロセッサ数の増加と共にスライスの使用率もほぼリニアに増加している、実装するプロセッサ数を 10 とした時のスライス使用率は 90% を超えており、P-Device に実装可能な回路規模の限界に近い値となっている。プロセッサの

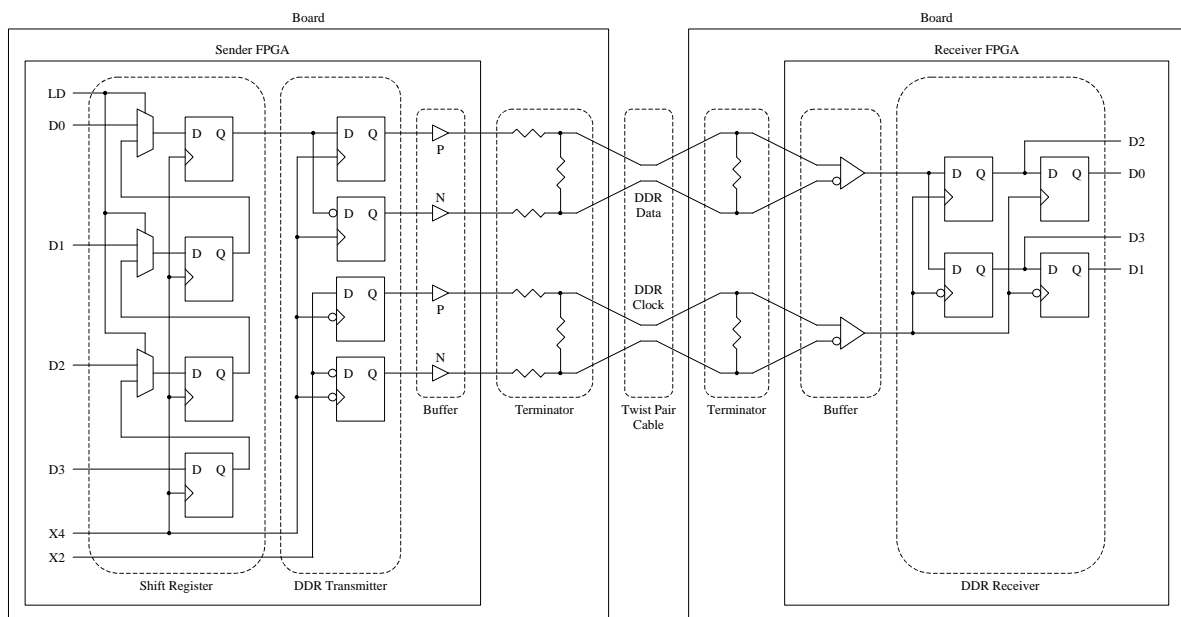
動作周波数は、実装するプロセッサの数が 2 の場合の 38.5MHz が最大となっており、プロセッサ数が 9 の場合には最小値の 33.4MHz となった。グラフには多少の起伏が見られるが、概ねプロセッサ数の増加に伴って動作周波数が低下する傾向が見られた。

3.2 メモリアクセスと通信ポートの性能

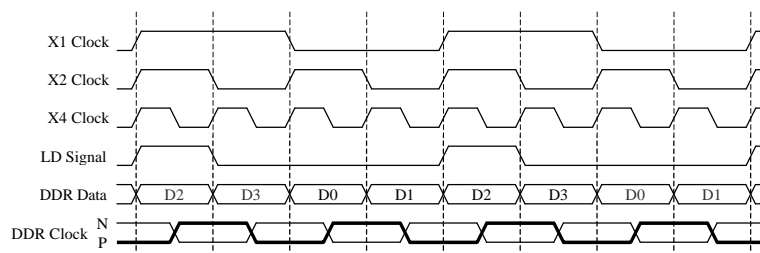
P-Device に接続されている SSRAM と SDRAM のリードライトテスト及び、M-Link と S-Link の伝送テストを行った。結果を表 2 に示す。

SSRAM と SDRAM の動作速度は、ボード上の可変クロックジェネレータを用いて 2MHz 単位で変化させ、リードライトが正しく行われる周波数の最大値を求めることで測定した。この実験では、SSRAM と SDRAM の何れの場合も、メモリ自体の動作周波数と同じ 100MHz で動作することが確認できた。

M-Link の動作周波数は、M-Link を通して FPGA 間でデータの受け渡しを行うことで測定



(a) 伝送回路



(b) Wave Form

図 4 S-Link を用いた高速伝送回路の例。

した。この測定ではクロックの変更単位を 1MHz としている。M-Link には、ボード上で P-Device 同士を接続しているバスと、ボード間でコネクタを通して P-Device 同士を接続しているバスの 2 種類のバスがあるが、何れの場合でも 110MHz で通信可能であることが確認された。

S-Link の測定は 図 4 に示した伝送回路の内、送信側の DDR Transmitter 部分と、受信側 DDR Receiver の初段のフリップフロップを実装して行った。この測定でのクロックの変更単位は 2MHz である。S-Link の通信テストでは、最大で 104MHz (DDR で 208MHz) の動作速度が確認された。

4. まとめ

以上、大容量 FPGA を応用したマルチプロセッサエミュレーションシステム REX の概要と、FPGA チップ上に回路を構成した場合の動作速度の測定結果について述べた。FPGA 上に回路を実装する実験では、1 つの FPGA チップに最大で 10 個の MIPS 互換プロセッサを実装して実験を行った。プロセッサを実装した際の動作速度はプロセッサ数の増加と共に低下したが、何れも 30 ~ 40MHz の範囲にあり高速なエミュレーション動作が可能であることが確認された。

SSRAM と SDRAM の動作速度の測定では、何れも 100MHz の動作速度が得られており、プロセッサの動作速度に対して十分な余裕があることが確認された。このため、例えば SSRAM の動作クロックをプロセッサクロックの 2 倍とすることによって、擬似的なデュアルポートメモリとして使用する等の応用も考えられる。M-Link と S-Link の動作テストでは、M-Link が 110MHz、S-Link が 104MHz (DDR で 208MHz) となり、これらについてもプロセッサの動作速度に対して十分な余裕が見られる。これらのバスに関しても、プロセッサ部分より高速なクロックで動作させ

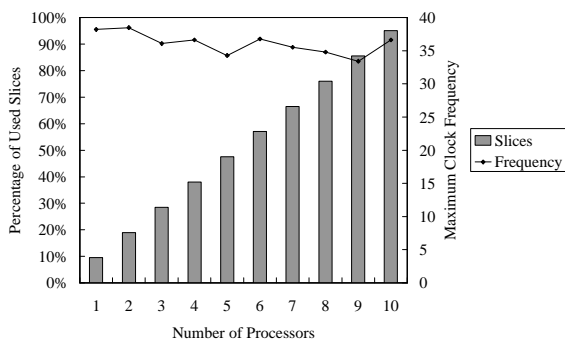


図 5 P-Device 上にプロセッサを実装した場合のスライス使用率と最大動作周波数の変化。

表 2 メモリ及び通信ポートの動作速度

Memory / Port	Maximum Clock Frequency
SSRAM	100MHz
SDRAM	100MHz
M-Link (LVTTTL)	110MHz
S-Link (LVPECL)	104MHz (DDR 208MHz)

ることにより、見かけ上のバス幅を広げるといった応用が可能である。

今後は、ネットワークルータ、メモリコントローラ、浮動小数点演算器等の機能を実装して、実際のマルチプロセッサを構成し、実験を行うことを予定している。

謝辞

本研究の立ち上げ当時から多大なご指導を頂いている筑波大学の山口喜教教授と、システムの実装にご協力下さった昭英電機株式会社の方々に感謝致します。

本研究は科学技術庁 COE プロジェクト「新情報処理パラダイムに基づく技術分野」及び、科学技術振興事業団の科学技術特別研究員制度によるものである。

参考文献

- 1) 児玉祐悦, 甲村康人, 佐藤三久, 坂井修一, 山口喜教, “高並列処理向け要素プロセッサ EMC-Y の設計,” 並列処理シンポジウム JSPP'92, pp. 329-336, 1992.
- 2) Y. Kodama, Y. Koumura, M. Sato, H. Sakane, S. Sakai, and Y. Yamaguchi, “EMC-Y: Parallel Processing Element Optimizing Communication and Computation,” ICS'93, pp. 167-174, 1993.
- 3) 佐谷野健二, 児玉祐悦, 坂根広史, 山口喜教, “並列計算機ノードプロセッサの FPGA を用いた実装と評価,” 情報処理学会研究報告, 99-ARC-134, pp. 49-53, 1999.
- 4) 佐谷野健二, 児玉祐悦, 坂根広史, 山口喜教, “MIPS ベースマルチスレッドプロセッサの FPGA による実装と評価,” 情報処理学会研究報告, 2000-ARC-139, pp. 151-156, 2000.
- 5) 佐谷野健二, 片下敏宏, 小池汎平, 児玉祐悦, 坂根広史, 甲村康人, “大容量 FPGA の応用によるマルチプロセッサエミュレーションシステムの開発,” 情報処理学会研究報告, 2001-ARC-142, pp. 7-12, 2001.
- 6) 佐谷野健二, 片下敏宏, 小池汎平, 児玉祐悦, 坂根広史, 甲村康人, “大容量 FPGA の応用によるマルチプロセッサエミュレーションシステム,” 並列処理シンポジウム JSPP2001, 論文集, pp. 79-80, 2001.