

## 厳密な遅延評価によるフィードバックを持つ 準同期パイプラインプロセッサの設計

大石 亮介<sup>†</sup>, 松居 昭宏<sup>†</sup>, 日比野 靖<sup>†</sup>

<sup>†</sup> 北陸先端科学技術大学院大学 情報科学研究科  
〒 923-1292 石川県能美郡辰口町旭台 1-1  
TEL : 0761-51-1344, FAX: 0761-51-1340

E-mail : ryosuke@jaist.ac.jp, akihirom@jaist.ac.jp, hibino@jaist.ac.jp

クロックの同時入力を要求しないウェーブパイプラインではクロック周期を劇的に短縮することが可能であるが、フィードバックのある回路ではスケジューリングが難しく実現が困難であった。本研究ではウェーブパイプラインの設計に配地・配線手法として実績がある準同期式回路の構成アルゴリズムを応用し、制約グラフのを変化させることでより高速なパイプラインを設計する手法を提案する。

## The design of Semi-Synchronous Pipeline Processor with feedbacks by accurate delay evaluation

Ryosuke Oishi<sup>†</sup>, Akihiro Matsui<sup>†</sup> and Yasushi Hibino<sup>†</sup>

<sup>†</sup> Japan Advanced Institute of Science and Technology.  
1-1 Asahi-Dai, Nomi-gun, Ishikawa, 923-1292, Japan  
TEL : +81-761-51-1344, FAX : +81-761-51-1340

E-mail : ryosuke@jaist.ac.jp, akihirom@jaist.ac.jp, hibino@jaist.ac.jp

The Wave-Pipeline, which is not required that each latch's clock timing is synchronous, enables clock period to be shorter drastically. However, many circuits with feedbacks have a difficult problem of scheduling. In this paper, we propose an algorithm to design faster pipeline by applying constraint graph of semi-synchronous circuit logic which is effective for layout and routing.

# 1 はじめに

プロセッサの設計においてクロック周期の短縮は最重要課題のひとつである。通常のパイプラインプロセッサでは、クロックを全てのラッチに同時に入力することを前提としており、プロセッサが動作するクロック周期はラッチ間の最大信号遅延によって制限される。ラッチへのクロックの同時入力を前提としないウェーブパイプライン [1, 4] では、各々のラッチにクロックを入力するタイミングを制御し、またラッチ間に適切に遅延を挿入することでクロック周期を大幅に短縮することが可能になる。しかしフォワーディング機構のようなフィードバックを持つパイプライン回路の場合、ラッチへのクロック入力のタイミング制御が難しくなる。そのため従来研究ではウェーブパイプラインはフォワーディングの必要のないマルチスレッドアーキテクチャに限定されている場合が多かった。一方で、配地・配線段階の設計手法として準同期式回路 [2, 3, 5] が提案されている。準同期式回路は回路中のフリップフロップへのクロック信号線に対し意図的に遅延を挿入することによってクロック周期を小さくすることができる。準同期式回路とウェーブパイプラインはクロック入力の同期制約がないという点で共通している。

本研究ではウェーブパイプライン回路を準同期式回路とみなして回路を高速化する、準同期パイプラインを提案する。準同期式回路のクロック周期の下限はレジスタ間の各信号線の遅延制約から得られる制約グラフのクリティカルサイクルによって求められる。そこでパイプライン回路に対しラッチ位置の変更やステージ分割を行うことで、制約グラフのクリティカルサイクルを修正することによりクロック周期を小さくすることを試みる。準同期パイプラインの構成アルゴリズムを利用することで、フィードバックがありながらも高速に動作するパイプラインを持つアーキテクチャを設計することができる可能性がある。

## 2 準同期パイプライン

本研究ではウェーブパイプラインに準同期式回路の制約グラフの概念を導入した、準同期パイプ

ラインを提案する。

### 2.1 ウェーブパイプライン

ウェーブパイプラインは、パイプラインの一種である。図 1 に示されるような、通常のプロセッサにおける同期パイプラインでは、全てのラッチに対し同時にクロックを入力することが前提となっている。このとき、最小クロック周期は各ラッチ間の最小遅延と最大遅延の差で制限される。一方、図 2 のようなウェーブパイプラインでは、クロックの同時入力の制約はない。そのため、最小クロック周期はラッチ間の最大遅延と最小遅延の差で制限される。このため回路に冗長な遅延を挿入し、最小遅延を大きくさせる事でクロック周期を短縮させることが可能になる。

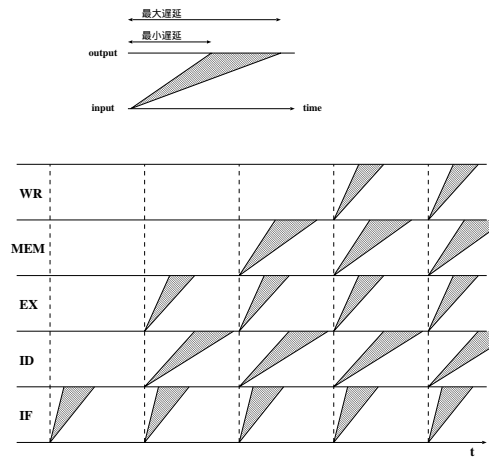


図 1: 同期パイプライン回路

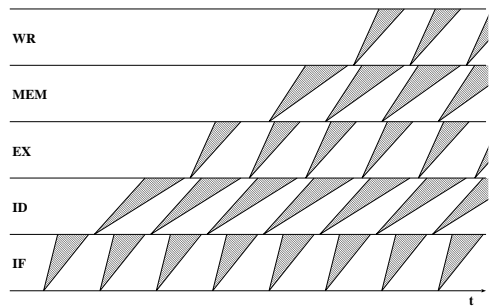


図 2: ウェーブパイプライン回路

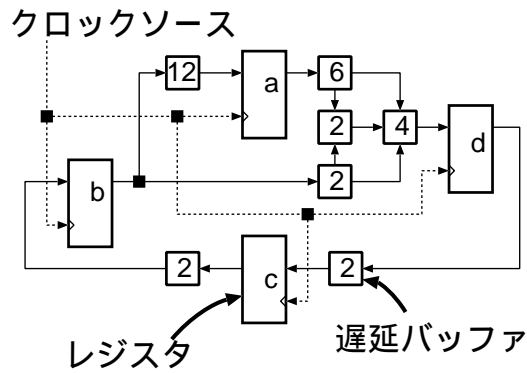


図 3: 準同期式回路

## 2.2 準同期式回路

図 3 のような同期式の順序回路を考える。レジスタ  $b$  からレジスタ  $a$  への信号遅延は 12 であり、これはこの回路のレジスタ間の最大信号遅延である。したがって、この回路における最小クロック周期は 12 となる。しかし、クロックをレジスタ  $b$  を基準として  $a, c, d$  にそれぞれ 3, 7, 6 だけ遅れて入力すれば、この回路はクロック周期 9 で動作する。このように、各レジスタにクロックを異なるタイミングで入力することを許容する回路を準同期式回路と呼ぶ。

## 2.3 準同期パイプライン

クロックの同時入力制約のないウェーブパイプライン回路は準同期式回路の一種と見ることができる。このとき、パイプラインの各ステージはレジスタを含む順序回路に、パイプラインラッチはレジスタに相当する。このように準同期式回路として捉えたウェーブパイプラインを、本稿では準同期パイプラインと呼ぶ。準同期パイプラインは、本質的にはウェーブパイプラインと同一である。

## 3 準同期パイプラインの動作

図 4 は、準同期パイプラインの一つのステージを表している。 $L_1, L_2$  はラッチで、ラッチ間には最大遅延  $d_{\max}$ 、最小遅延  $d_{\min}$  の遅延素子がある。各ラッチへのクロック信号の入力のタイミングに

は、クロックソースに対し  $s(L_1), s(L_2)$  だけ遅延がある (図 5)。このパイプラインが動作する条件は以下のようになる。

$$s(L_1) + d_{\max} \leq s(L_2) + T \quad (1)$$

$$s(L_1) + d_{\min} \geq s(L_2) \quad (2)$$

この 2 つの式を、 $s(u) - s(v) \leq w$  という形に変形し、「点  $u$  から点  $v$  への重み  $w$  の枝」として制約グラフ (図 6) を得る。制約グラフ中の任意の閉路の重み和が非負であるときにのみ、回路が動作する事が知られている [2, 5]。このとき、制約グラフは与えられた回路の論理には全く依存しないため、フィードバックがあるパイプラインでも同様に制約グラフを構成することができる。この制約条件を満たすようなクロック周期は、一般的にラッチ間の最大遅延よりも小さくすることができる。

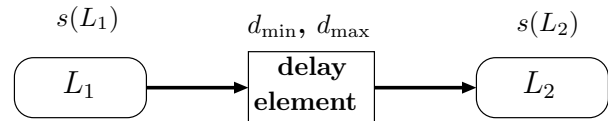


図 4: パイプラインと遅延

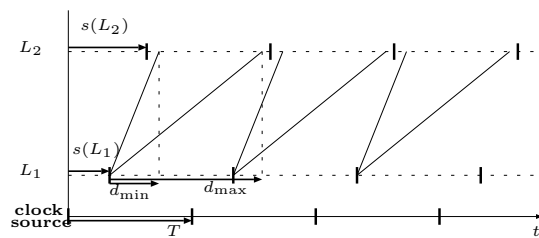


図 5: 準同期パイプラインの動作

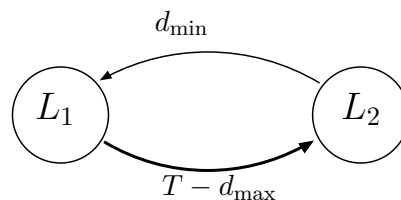


図 6: 制約グラフ

## 4 準同期パイプラインの構成アルゴリズム

本研究で提案する, 同期式で設計したパイプラインから準同期パイプラインを構成するアルゴリズムを以下に示す.

1. 与えられた回路の制約グラフを構成し, 最小クロック周期とクリティカルサイクルを求め, クリティカルサイクルとは, 枝重みの和が最小になるような閉路のことである.
2. クリティカルサイクルに含まれるステージに対し, ステージ分割または遅延バッファ挿入を行う.
3. 変更後の回路が消費電力やチップ面積等の制約条件を満たしているか調べる.
4. 最小クロック周期が小さくなる限り, 2 と 3 の操作を繰り返す.

以上のようにしてウェーブ化されたパイプライン回路を, さらにプロセッサ全体に対して準同期化を行うことも可能である [6].

## 5 まとめ

本稿では, ウェーブパイプラインの設計に際し, 準同期式回路の制約グラフの概念を導入する方法を提案した. 準同期パイプラインの構成方法そのものはターゲットとするプロセッサのアーキテクチャに依存しないため, 従来ウェーブ化が難しかったフィードバックのあるパイプライン回路に対しても適用できる. 今後の課題としては

- シミュレーションによる準同期パイプラインの性能評価
- 既存のパイプラインを準同期化するだけでなく, 新しいアーキテクチャの設計に準同期パイプラインを導入する手法の考案

が挙げられる.

## 謝辞

本研究を進めるにあたり, 貴重な御助言をいただいた北陸先端科学技術大学院大学の田中清史助教授ならびに東京工業大学の高橋篤司助教授に深く感謝致します.

## 参考文献

- [1] O. Hauck, M. Garg, and S. A. Huss. Efficient and Safe Asynchronous Wave-Pipeline Architectures for Datapath and Control Unit Applications. In *Proceedings 0th Great Lakes Symposium on VLSI*, pp. 38–41, 1999.
- [2] A. Takahashi and Y. Kajitani. Performance and reliability driven clock scheduling of sequential logic circuits. In *Proc. ASP-DAC '97*, pp. 37–42, 1997.
- [3] T. Yoda, and A. Takahashi. Clock Period Minimization of Semi-Synchronous Circuits by Gate-Level Delay Insertion. In *IEICE Transactions on Fundamentals*, Vol. E82-A, No. 11, pp. 2383–2389, 1999.
- [4] 池田 吉朗. ウェーブパイプラインを用いたマルチスレッド型プロセッサアーキテクチャに関する研究. 北陸先端科学技術大学院大学修士論文, 1999.
- [5] 大石 亮介, 高橋 篤司. 準同期式回路における最小クロック周期を求めるアルゴリズムの高速化. 電子情報通信学会技術研究報告 (VLD99–125), Vol. 99, pp. 63–68, 2000
- [6] 大戸友博, 石島誠一郎, 内海哲章, 畔上謙吾, 高橋篤司. 準同期式設計法を用いたプロセッサ設計. 電子情報通信学会技術報告書 (VLD2000–101), Vol. 100, No. 437, pp. 45–53, 2000.
- [7] R. M. Karp. A Characterization of the minimum cycle mean in a digraph. In *Discrete Mathematics*, Vol. 23, pp. 309–311, 1978.