

## 128 個の VLIW プロセッシングエレメントを集積した 動画像認識プロセッサ IMAP-CE

京 昭倫

NEC マルチメディア研究所

〒 216-8555 川崎市宮前区宮崎 4-1-1

s-kyo@cq.jp.nec.com

あらまし 動画像認識の分野では、今後ますます複雑化する認識アルゴリズムを、リアルタイムで実行可能なプロセッサへのニーズが高い。本稿は SIMD 型一次元プロセッサアレイのアーキテクチャを持ち、ワンチップで 128 個の 8 ビット VLIW プロセッシングエレメントを集積した動画像認識プロセッサ IMAP-CE について述べる。IMAP-CE はアプリケーションに応じ、ワンチップから最大 16 チップまでシステム構成をスケールアップできる他、マルチチップ構成時では全チップが同期動作する SIMD モードと、各チップが個別に動作する SPMD モードとの間を動的に切り替えることが可能であり、画像認識処理が持つ画素並列性 (SIMD 実行モード) と領域並列性 (SPMD 実行モード) の双方を同じアーキテクチャ内で同時に生かすことが可能である。幾つかの画像フィルタおよび車載カメラで撮影した動画像を対象に先行車両検出を行うアプリケーションを例に、本プロセッサの有効性を示す。

キーワード 動画像認識、一次元プロセッサアレイ、並列処理、VLIW、SPMD、車両検出、画像処理

### IMAP-CE : A Video Recognition Processor with 128 VLIW Processing Elements

Shorin KYO

Multimedia Research Laboratories, NEC Corporation

4-1-1, Miyazaki, Miyamae-ku, Kawasaki, Kanagawa 216-8555

s-kyo@cq.jp.nec.com

**Abstract** Due to the increasing complexity of video recognition algorithms, the need of a processor which is powerful enough for the real-time execution of video recognition applications is required. IMAP-CE is a SIMD linear processor array integrating 128 VLIW Processing Elements, for providing a compact, cost effective and yet high performance solution for video recognition applications. Features of IMAP-CE are its scalability (up to a sixteen chip configuration), and the capability of switching between SIMD and SPMD mode under multi-chip configurations. SIMD mode facilitates pixel-wise parallelism while SPMD mode facilitates area-wise parallelism possessed by various video recognition algorithms. Performance of IMAP-CE is evaluated by using some image filters as well as a preceding vehicle detection application.

**Key words** video image recognition, linear processor array, parallel processing, VLIW, SPMD, vehicle detection, image processing

## 1 はじめに

画像認識処理は、背景や照明環境の多様さ、また認識対象物の向き、大きさ、見え方など様々な状況への対処が必要であるため、演算装置には、プログラマブルなプロセッサが有効である。しかし既存の汎用プロセッサやDSPでは、画像認識処理が持つ大きな並列性や、不規則な画素参照パターンへのアーキテクチャ的な対応が不足しており、特にリアルタイム性が要求される動画認識の処理に関しては、依然として性能が大きく不足している状況にある。動画認識処理のリアルタイム実行には、高い並列処理性能と、画素参照パタンの変化に対し柔軟に対応可能なメモリ構成を持ったプログラマブル並列プロセッサが有効と考えられる。

筆者のグループがこれまで研究開発を進めてきている SIMD 型一次元プロセッサアレイ (Linear Processor Array: LPA) の構造を持った IMAP (Integrated Memory Array Processor) シリーズのアーキテクチャ[1][2][3]は、以下 1) ~ 4) の特徴を持つ。1) PE 毎に独立にアクセス可能なメモリユニットを持つことで、並列性を生かしたまま複雑な画素参照パターンにも対応可能である。2) LPA の形態はチップ内とチップ間で PE の接続に違いがないため、アプリケーションの性能要求に応じ複数チップをカスケード接続することによる性能のスケールアップが容易である。3) シフトレジスタを利用した画像データの並列入出力機構は、ビデオデータをチップ内に効率よく取りこむことを可能にしている。また 4) 各 PE を汎用レジスタ群を持った単純な RISC タイプのプロセッサとしたことで、コンパイラ生成コードによる高速アプリケーションの開発が可能となり、従来より C 言語に並列データ構造を追加した仕様を持った 1DC (One Dimensional C) のコンパイラおよびそのソースデバッガを中心とするプログラム環境 [2] を開発し、汎用プロセッサと比べても遜色のない実用的な高級言語ベースの GUI 開発環境を整備してきている。

画像認識処理は、前段の「前処理による候補領域の切り出し」と後段の「候補領域毎の検定、識別」で構成される場合が多い。前段の処理は、画像全体を対象とするため大きな画素並列性を持っており、その高速実行には、全画

素を対象に均一な並列処理を低コストで提供できる IMAP のような LPA 型 SIMD 方式が有効である。一方、候補領域が切り出された後は、各候補領域内の画素や対応する特徴ベクトルが処理対象であり、その高速実行には、各領域に対する処理を並列に行える SPMD あるいは MIMD 方式が有効であるが、従来の LPA 型 SIMD マシンではそうした領域並列性を有効に生かすことができなかった。

本稿は、IMAP アーキテクチャの元で 128 個の 4 ウェイ VLIW 型の PE (Processing Element) を集積し、100MHz 動作時にはシングルチップで 51.2GOPS、最大構成時 (16 チップ) では 819.2GOPS のピーク性能を有するプロセッサチップ IMAP-CE について述べる。IMAP-CE の特徴は、そのシングルチップが持つ高い画像処理性能と、マルチチップ構成時には全チップがクロック同期し高並列 LPA として動作する SIMD 実行モード以外に、各チップが独立に動作する SPMD 実行モードを備え、両実行モード間を必要に応じ自由に切り替えられる点にある。以下ではまず IMAP-CE チップのアーキテクチャについて述べた後に、幾つかの画像フィルタ処理、および車載カメラで撮影した動画を対象とした先行車両検出処理 [4] を例に、IMAP-CE の性能評価を行う。

## 2 チップアーキテクチャ

図 1 にチップの構成を示す。各 PE は 2K バイトのローカルメモリ (PE メモリ)、24 個の 8 ビット汎用レジスタ、2 つの 1 ビットマスクレジスタ、そして ALU および乗算器を持つ。隣接 PE とは直結しており、全体で 128PE からなる LPA を形成する。全 PE へは制御プロセッサ (CP) から命令がブロードキャストされる。CP はそれ自体 16 ビットの RISC プロセッサであり、プログラム・データキャッシュを有し命令発行、全体制御、そして直列命令の実行等を担当する。制御ユニットは CP のほか、図 1 の上部に示すように幾つかの機能ブロックで構成されている。外部メモリアクセスアビータは、1) ホストインタフェース、2) CP、そして 3) バックグラウンド (BG) 転送制御部、からの外部 SDRAM アクセス要求の調停を行う。BG

転送制御部は、PEメモリと外部SDRAM上に存在する画像メモリ間のデータ転送を処理と並列に行う機能を持つ。その他PCIバス、CPUバス(NECのV850シリーズ互換)、およびI2Cバスに対するホストインタフェース回路も内蔵されているため、各バスと直結可能である。

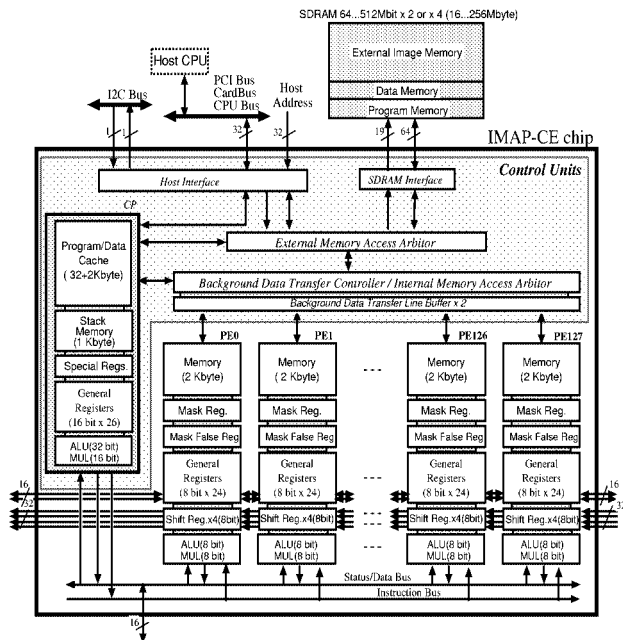


図 1: チップ構成

## 2.1 パイプライン構成

CPとPEのパイプライン構成を図2(a)に示す。CP側は5段パイプライン構成であるのに対し、PE側は命令フェッチ段と命令デコード段を持たず、CPからの命令供給(BC1段)を受けた後、3段パイプラインで命令を実行する。

PE側は最大クロック毎4命令実行できる4ウェイVLIW構成であるが、演算器はそれぞれ加算器、論理演算器、乗算器、メモリアクセスユニットをそれぞれのウェイで利用する。CPからPEへのデータ転送は、CPレジスタ値のブロードキャスト(BC2段)によりPE側に供給される。PEからCPへのデータ転送は、全PEの指定ステータス値の論理和または論理積、あるいは指定されたPE(マルチチップ構成時は他チップ内のPEの場合を含む)のレジスタ値が、SEL段を通りcWBpe段でCPレジスタに書き込まれる。このようにCPとPE間のデータのやり取りはパイプライン化されており、データ交換のオーバーヘッドは発生しない。

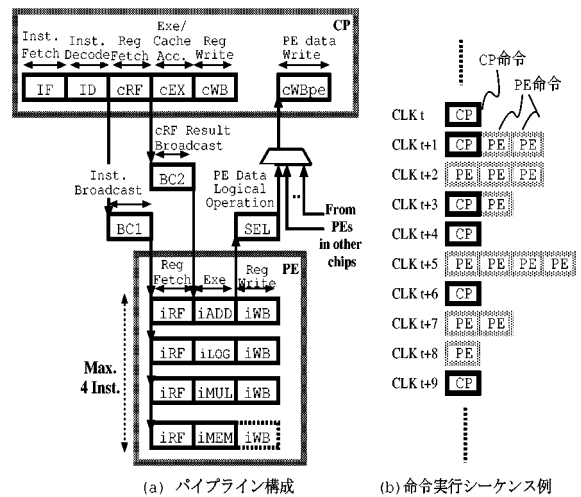


図 2: パイプラインと命令構成

図2(b)に命令実行の様子を示す。CP命令のみが存在するクロックサイクルでは、単一のデータが処理されるのに対し、PE命令が発行されたクロックサイクルでは、最大で計 $128 \times 4 = 512$ 個のデータ(例えば図2(b)のCLKt+5)が同時に処理される。

## 2.2 SIMD SPMD 実行モード

マルチチップ構成時では、プログラムダウンロードや処理の起動等のホストからのライト処理は、全チップに対し一斉に行われる。また各チップは外部バスクロックをチップ内蔵逡倍回路で逡倍したクロックを動作クロックとして用いるため、通常は全体としてクロック同期した高並列な(PE数が $128 \times$ チップ数の)LPAとして動作する(SIMD実行モード)。しかしこの状態で、特殊レジスタ pemode の値を0から1に変更することで、PE間データ転送線(図3でのPEdata)はチップ間結合型(図3(a)(b))からチップ内折り返し結合型(図3(c))に切り替わり、以後、各チップは互いに独立なシングルチップシステムとして動作できる状態となる(SPMD実行モード)。それに伴い、SIMD実行モード時では読み出し結果が常に0であった特殊レジスタ cnumber に対する読み出し結果が、各チップのチップ番号に変わる。各チップはこのcnumberレジスタに対する読み出し結果を元に、別々の処理への分岐を開始できる。

SPMD実行モードからSIMD実行モードに戻るには、チップ間で同期をとる必要がある。

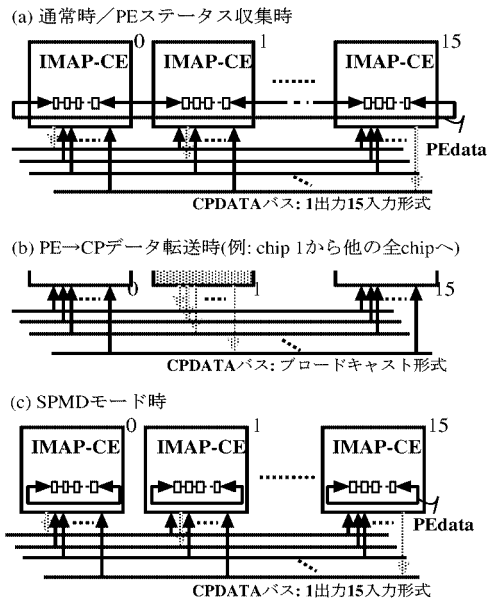


図 3: CPDATA バスによるチップ間情報交換

それには SIMD 実行モード時での PE から CP へのデータ転送や、PE ステータス情報の収集用に設けられた CPDATA バス (図 3) を利用する。SPMD 実行モード下では、各チップでは 16 ビットの CPDATA バスが 1 出力 15 入力形式となると同時に、pemode の値が当該チップの CPDATA 出力となり、pemode を 1 から 0 に変更するライト命令が同期ポイントとして用いられる。すなわち既に当該ライト命令に到達したチップと、まだ到達していないチップの両方がシステム内に存在する場合、前者のチップは当該ライト命令を実行することで自らの CPDATA 出力を 0 にすると同時に、他チップからの CPDATA 入力値が全て 0 になるまで停止し、全チップからの CPDATA 入力値が 0 になった時点で、処理を再開することで、全チップ間で同期が取られる。SPMD 実行モード下で各チップに得られた処理結果 (主にスカラーデータ) は、必要に応じ SIMD 実行モードに復帰後 PE から CP へのデータ転送命令を実行し、CPDATA バスを利用し他チップに転送する (図 3(b)) ことで、全チップで共有される。

### 2.3 各 PE への画像データ割当て

画像データの入出力は、全 PE に跨って接続されたシフトレジスタを用いて行う。シフトレジスタはビデオクロックを動作クロックとし、画像 1 行分のデータのシフトインが完了する

と CP に対し割込みが発生し割込みルーチンに制御が移る。割込みルーチンではシフトイン済み画素データを PE メモリまたは外部 SDRAM に待避すると共に、外部へ出力すべき画素データを同じシフトレジスタにコピーし、次行画素データのシフトイン時にそのまま外部へシフトアウトさせることで、効率のいい画像入出力を実現する。

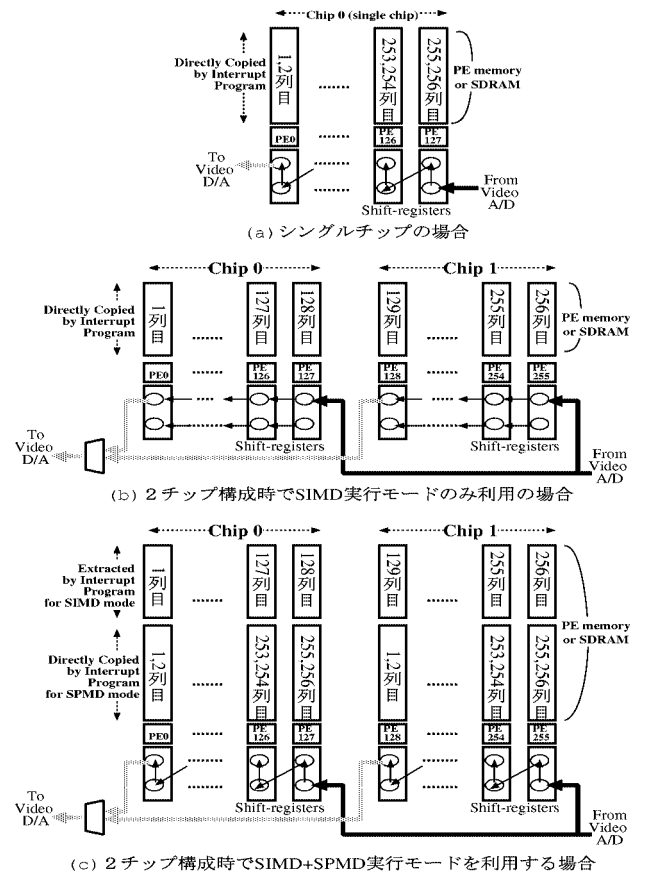


図 4: PE へのデータ割当て (横幅 256 画素時)

LPA の構成 PE 数が入力画像の横幅画素数よりも小さい場合、各 PE に複数列の画像データの処理を割当てる必要がある。それには、チップ内に複数本存在するシフトレジスタ間の結線を変えることで実現する。図 4 に横幅画素数が 256 の画像について、a) シングルチップ (128PE)、b) 2 チップ構成時 (256PE) で SIMD 実行モードのみ利用、そして、c) 2 チップ構成時 (256PE) で SIMD、SPMD 双方の実行モードを利用、の各場合での PE へのデータ割当てを実現するためのシフトレジスタ間結線および割込みルーチンの動作を示す。特に SIMD SPMD 実行モード切り替えを利用する図 4(c) の場合、割込みルーチンは、シフトイン済み行

画像を SPMD 実行モード向けにメモリに退避すると同時に、チップ 0 ならば 1~128、チップ 1 ならば 129~256 個目の画素を SIMD 実行モード向けに当該シフトイン済み行画像から別途抽出し、メモリに退避させることで SIMD、SPMD の両実行モードで必要となるデータ割当てを共に用意する。

このように IMAP-CE では処理対象画像の横幅およびシステムのチップ数構成に応じ、実際に各 PE に割り当てられる画像の列数が異なるが、1DC によるアプリケーションの動作記述では、常にもっとも直観的な、1 列分の画像が各 PE のメモリ上に存在することを前提にアルゴリズムを記述する。1DC コンパイラには、コンパイル時のオプションで実際に各 PE に割り当てられた画像の列数を指定すれば、対応するコードを生成する機能が用意されている。このように、1DC ユーザは実行時での各 PE へのデータ割当て方式を意識せずにプログラム記述を行うことが可能である。

### 3 性能評価

1DC で記述した幾つかの画像フィルタ、および先行車両検出処理を例に、IMAP-CE の性能を評価する。なお、IMAP-CE チップは現在開発中のため、性能評価には 100MHz 動作を想定しチップのソフトシミュレータを使用した。評価に用いる入力画像は、横幅画素数がシングルチップ時の PE 数の 2 倍にあたる、サイズが 256x240 の濃淡画像とした。評価は 1 チップ構成 (PE 毎に 2 列分の画素の処理を割当てる) 時と 2 チップ構成 (PE 毎に 1 列分の画素の処理を割当てる) 時のそれぞれについて、SIMD 実行モード時の処理ステップ数、および各処理の全処理サイクルに占める PE 命令のクロックサイクルの割合 (PE 稼働率) を求めた。なお PE 稼働率は以降、各処理が有する画素並列性の目安として用いる。

画像フィルタは、カーネルサイズが 5x5 ~ 13x13 程度の 4 種類を用いた。車両検出処理は、入力画像上に 4 つの互いにオーバーラップする検出窓を設け、各検出窓内の画質を正規化した上で、それぞれについて縦と横のエッジセグメントを抽出し、それらの長さや位置等の条件を満たし、かつそれらの存在領域内の濃淡お

よび時系列の情報が必要となる領域を車両として検出した [4]。

表 1: 各処理の PE 稼働率 (%)

処理の種類	1 chip	2 chip
13x13 Mexican	96.4	93.1
Hurst	93.1	87.1
Var5oct	93.8	88.3
Gauss5x5	91.1	83.6
先行車検出	23.2 ~ 82.0 平均 55.9	13.1 ~ 69.9 平均 38.8

表 1 に、各処理の PE 稼働率を示す。表 1 より、画像フィルタの場合では、1 チップ構成と 2 チップ構成のいずれのケースでも PE 稼働率が 90% 前後に達しており、画素並列性が充分存在することを示している。次にこれらの画像フィルタに対し、a) 1DC コンパイラ生成コード、b) MS-VC++ コンパイラ生成コード、そして c) SSE 命令を利用して作成したアセンブリコードについて、それぞれ a) を IMAP-CE シングルチップ、b)、c) を汎用プロセッサ (P4, 2.4GHz) で実行させた場合の処理時間を比較したのが図 5 である。1DC コードは C コードの 15~50 倍程度、また SSE コードと比べても 5~10 倍程度高速であるという結果が得られた。なお a) を IMAP-CE の 2 チップ構成で実行した場合の処理時間は 1 チップ構成時のほぼ半分であった。

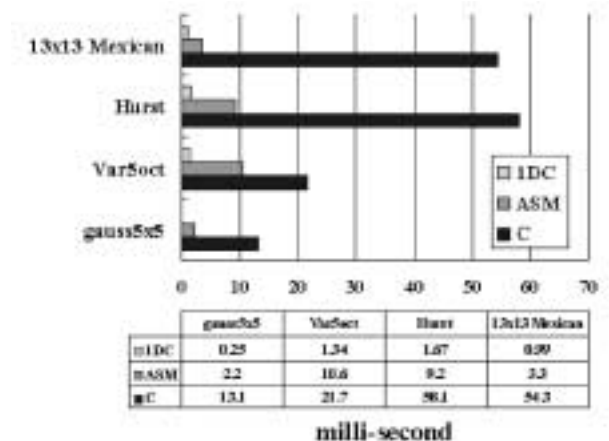


図 5: 画像フィルタによる性能比較

先行車両検出処理の PE 稼働率は表 1 より、1 チップ構成時で 55.9%、2 チップ構成時で 38.8% という結果が得られた。これは、先行車両検出

処理のような複数の部分処理からなる実アプリケーションの場合、必ずしも各部分処理が高い画素並列性を有しているとは限らないことを示している。そうしたアプリケーションの高速化には、画素並列性の活用のみならず、さらに当該処理に存在する他の並列性の有効利用が重要となる。そこで、先行車検出処理が主に4つの検出窓を対象とする独立なタスクで構成されていることを考慮し、2chip構成時にSPMD実行モードを適用した場合の性能も評価した。

図6に、先行車両検出の処理結果例、および当該処理結果を得るのにかかった処理時間を示した。なお対応するCコードおよびSSEコードが存在しないため、処理時間の比較対象をIMAP-CEの前機種であるIMAP-VISION[3](8チップ構成、256PEで40MHz動作)とした。IMAP-CEについては、a)シングルチップの場合、b)2チップ構成でSIMD実行モードのみを用いた場合、そしてc)2チップ構成でSIMDとSPMD実行モードを必要に応じ切り替えた場合の、それぞれについて処理時間を計測した。SPMD実行モードの場合は、4つの検出窓に対する処理のうち、2つをチップ0、残りの2つをチップ1に割当てて行った。

図6より、シングルチップのIMAP-CEはIMAP-VISIONシステムの約2.3倍、チップ単体で比較するとIMAP-VISIONチップの約20倍の性能を持つという結果が得られた。またチップ数を1から2とした場合の性能向上は、SIMD実行モードのみの場合では約1.3倍に留まったのに対し、SPMD実行モードを用いた場合では約2倍の性能向上が得られた。

#### 4 終わりに

IMAP-CEチップのアーキテクチャについて述べ、チップシミュレータにより性能評価を行った。IMAP-CEの特徴は、CP部とPE部の密なパイプライン構成、PE部による4ウェイVLIW実行、効率的な画像IO機構に基づくPEへの自動データ割り当て、そしてマルチチップ構成時でのSPMD実行モードにある。現在0.18umのCMOSプロセスで開発を進めているチップの予測消費電力は約2.5~4.0W(1.8V)であり、現存する2GHzクラスの汎用プロセッサの約1/10に相当するのに対し、高級言語で記述さ

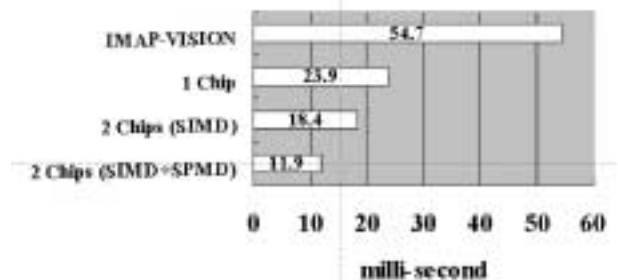


図6: 先行車両検出処理による性能比較

れた画像フィルタはその5~50倍の処理性能を持つことを示した。また先行車両検出処理を例に、画素並列性にばらつきがある画像認識系のアプリケーションに対し、SPMD実行モードが有効であることを示した。

今後の予定としては、IMAP-CEチップの開発完了後、実機による各種応用に向けた性能評価を行い、その有効性を実証することで、適用分野を広げていきたい。

#### 参考文献

- [1] Y.Fujita, N.Yamashita, S.Okazaki, *IMAP: Integrated Memory Array Processor —Toward a GIPS Order SIMD Processing LSI—*, IEICE Trans. Electron., Col.E76-C, No.7, pp.1144-1150, 1993.
- [2] 許昭倫, 藤田善弘, 岡崎信一郎, 佐藤完, 天満勉: 次元プロセッサアレイに基づく超高速画像処理システムの開発環境, 情報処理学会論文誌, Vol.39, No.6, pp.1790-1800, 1998.
- [3] Y. Fujita, S. Kyo, N. Yamashita, and S. Okazaki, "A 10 GIPS SIMD Processor for PC-based Real-Time Vision Applications", *Proc. of IEEE Workshop on Computer Architecture for Machine Perception*, pp.22-26, 1997.
- [4] 京昭倫: "天候にロバストな先行車検出・追跡システム", 画像電子学会誌, Vol.31, No.5, Sep., 2002.