

キャッシュ制御機構を持つスイッチ結合型並列計算機 SNAIL-2 の評価

茂野 真義[†] 緑川 隆[†] 白石 大介[†]
田辺 靖貴[†] 天野 英晴[†]

MIN を用いた並列計算機において、データ転送の性能を向上させるためのネットワークとして PBSF(Piled Banyan Switching Fabrics) が、共有メモリアクセスのレイテンシやネットワークのトラフィックを少なくするためのキャッシュ制御機構として MINC(MIN with Cache control mechanism) が提案された。このデータ転送用ネットワーク PBSF とキャッシュ制御用ネットワーク MINC は VLSI に実装され、それらを用いた並列計算機 SNAIL-2 は現在 8 プロセッサ、8 メモリモジュールで動作可能である。並列アプリケーション集である SPLASH-2 を用いて、SNAIL-2 の評価を行なった結果、PBSF が高いスループットを持つこと、MINC が高速かつ効率の良いキャッシュ制御が可能であり、実行時間及びネットワークへの負荷を改善できることがわかった。

Evaluation of the MINC mechanism with a multiprocessor SNAIL-2

MASAYOSHI SHIGENO,[†] TAKASHI MIDORIKAWA,[†] DAISUKE SHIRAIISHI,[†]
YASUKI TANABE[†] and HIDEHARU AMANO[†]

Multistage Interconnection Networks(MINs) has been researched for connecting processors and shared memory modules in a middle scale multiprocessor. A 3-dimensional switch called PBSF(Piled Banyan Switching Fabrics) was proposed to improve the performance of data transfer, and a mechanism called MINC(MIN with Cache Control mechanism) was also proposed to reduce the network latency and traffic congestion. A multiprocessor called SNAIL-2 has been developed for evaluating the performance of the above two mechanisms: PBSF network and MINC network. Now, a prototype with 8 processors and 8 memory modules is available. Empirical evaluations using SNAIL-2 benchmark programs show that the MINC improve the execution time from 150% to 270% dependent on the hit ratio.

1. はじめに

並列計算機は規模や用途によって適する結合方式が異なり、様々なアーキテクチャが提案されている。その中で、数 10 ~ 数 100 プロセッサの中規模の並列計算機における有効な結合網として、多段結合網 (MIN: Multistage Interconnection Network) が提案されている。MIN は、 2×2 から 8×8 程度の小さなクロスバスイッチを多段に結合することで構成され、規模拡張性に優れている。しかし、そのハードウェア量に見合った性能を得ることが難しいために、並列計算機への実装が遅れてきた。

そこで我々は、パケットを数ビット幅にシリアル化してフレームに同期させて転送することにより、高速かつ実装が容易なプロセッサ・メモリ間結合網、SSS (Simple Serial Synchronized) 型 MIN¹⁾ を提案し、これを用いて並列計算機 SNAIL²⁾ を実装し評価を行ってきた。これによって、SSS 型 MIN が高い転送能力と実装効率を併せ持つことが実証された。

しかし、SNAIL では入力位置で優先度が静的に決まる

ことによるスタベーションの発生、パケットの再送による転送能力の低下、ネットワーク通過時のレイテンシが大きいことなどが問題となることが明らかとなった。

そこで、これらの問題点を解決するために、通過率が高く、ネットワークレイテンシの小さい多重出力可能な MIN のネットワークトポロジとして、Banyan 網を階層的に配置した PBSF(Piled Banyan Switching Fabrics)³⁾ を提案し、SSS 型 MIN として適応させた PBSF チップの実装を行い、実システムにより評価を行った⁴⁾。

一方、共有メモリアクセスのレイテンシを小さくするために、MIN を用いた並列計算機にキャッシュを持たせる試みがなされた。しかしながら、従来の方式では、ディレトリ管理に大量のメモリを必要とし、ハードウェア的に実現するのが困難であった。そこで、RHBD(Reduced Hierarchical Bit-map Directory) 方式⁵⁾⁶⁾ と枝刈りキャッシュを組み合わせて、高速かつ効率のよいキャッシュ制御を行なうことのできる MINC(MIN with Cache control mechanism)⁷⁾ を提案し、MINC チップの実装を行なった。

現在 MINC、PBSF を用いたスイッチ結合型並列計算機 SNAIL-2 は、8 プロセッサ、8 メモリモジュールで稼働している。本稿では、8 プロセッサ、8 メモリモジュールによる実システムを用いた SNAIL-2 の性能評価につ

[†] 慶応義塾大学大学院 理工学研究科

Department of Computer Science, Graduate School of Keio University

いて報告する。

2. PBSF

PBSF(Piled Banyan Switching Fabrics) は、Banyan 網を階層的に接続して多重出力可能にすることで、ネットワークのレイテンシを小さくしたネットワークポロジである。

最上層と最下層を除く層のスイッチングエレメントは水平方向の入出力を 2 つずつ、垂直方向を 2 つずつ、計 4 入力 4 出力を持つ。パケットはまず最上層のネットワークに入力される。このとき、最上層のあるエレメントに入力された 2 つのパケットが同じ出力に向かう場合がある。競合に敗れたパケットは 1 つ下の層のエレメントに送られる。2 層目以下では、水平方向に進んでくる 2 つのパケットに加えて、上層から送られて来たパケットの最大で 3 つのパケットが 1 つの出力リンクを競合する。この時も基本的には最上層のスイッチの動作と同様に、それらのパケットのうち 1 つは正しい出力へと送られ、もう 1 つはさらに下層へ、残りの 1 つはデッドパケットとなる。最下層で 3 つのパケットが競合した場合は下層へ送ることができないため、3 つのパケットのうち 1 つだけが正しい出力へ送られ、もう 1 つはデッドパケットとなり、残りの 1 つはエレメント内で消滅する。PBSF から出力されたパケットがデッドパケットだった場合やパケットがエレメント内で消滅してしまった場合は、次のフレームでパケットを再送しなければならない。その際には、優先度 (4 レベル) を 1 つ上げて再送が行われる。PBSF において下層の網は、従来型の MIN がエレメント内に持つパケットバッファと同様の効果があり、通過率、通過時間両方の改善が期待できる。

3. MINC

MINC(MIN with Cache control mechanism) は、従来のキャッシュ制御機構付き MIN⁽⁸⁾ の問題点を解決する新しい機構である。MINC は図 1 に示すように、プロセッサ・メモリ間のデータ転送を行う Data Transfer Network と、キャッシュ制御パケット転送を行う Cache Control Network に分かれている。Data Transfer Network は PBSF を用いている。

MINC と従来のキャッシュ制御機構付き MIN⁽⁸⁾ との相違は以下の点である。

- キャッシュ情報を管理するためのビットマップは各スイッチングエレメントに置かず、共有メモリに縮約されたビットマップの形で置く。キャッシュラインの無効化や更新データのマルチキャストをする際は、このビットマップをパケットのヘッダに格納し、これに従って Cache Control Network 上で転送する。現在 SNAIL-2 のキャッシュプロトコルはネットワークの負荷が少ない無効化型を用いている
- Cache Control Network 上に枝刈りキャッシュを設

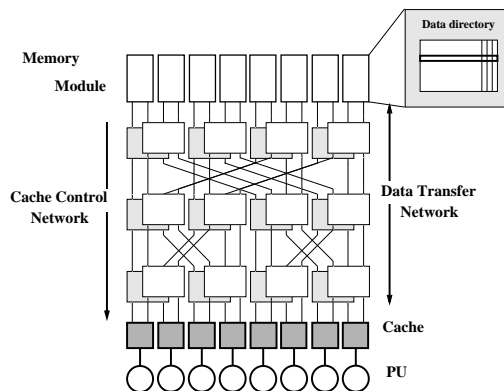


図 1 MINC(MIN with Cache control mechanism) の構造

け、キャッシュラインの読み出し時に枝刈りキャッシュにプロセッサ番号を登録し、ビットマップを縮約することにより発生する無駄なパケットを減少させる

3.1 縮約階層ビットマップディレクトリ方式

階層ビットマップ方式はプロセッサ数が多くなるとディレクトリに膨大な量のメモリが必要となり、スイッチングエレメント内に実装することが困難になるので、チップの外部に設ける必要がある。しかし、メモリを外部に設けると高速動作が困難になり、階層毎にディレクトリを参照するとネットワークのレイテンシが大きくなってしまふ。そこで、超並列マシン JUMP-1 のディレクトリ制御用に考案されたビットマップのビット数を縮約する縮約階層ビットマップディレクトリ (RHBD:Reduced Hierarchical Bit-map Directory) 方式⁽⁵⁾⁽⁶⁾を導入する。RHBD には、縮約方法により 3 つのディレクトリ縮約方式が提案されているが、小規模なスイッチ結合型並列計算機では、次に述べる SM(Single Map) 法が有利であることがわかっている⁽⁷⁾。

SM 法とは、各階層ごとにその階層の全ての節のビットマップの論理和をとり、その階層の全ての節で用いる方式である。図 2 は 3 進木を用いた模式図で、s が送信元のプロセッサ、d が本来の送り先とすると、SM 法を用いた場合 ● が結果的にパケットが送り付けられるプロセッサである。従って、d の無い ● は無駄なパケットを受け取るプロセッサということになる。

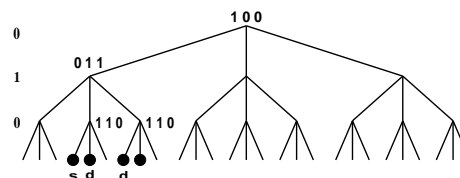


図 2 RHBD 方式 (SM 法)

階層ビットマップディレクトリ方式を用いた場合、 m をステージ数、 n をスイッチサイズとすると、1 ライン当たり $\sum_{k=1}^m n^k$ bit のメモリを必要とするが、RHBD 方式

を用いた場合、 $n \times m$ bit のメモリを持つだけでよい。そのため、共有メモリ上にのみ各ステージで用いるビットマップを保持しておき、Cache Control Network を通過するパケットのヘッダに縮約されたビットマップを入れる。Cache Control Network 内の各スイッチングエレメントは、このビットマップに従ってパケットをマルチキャストする。RHBD 方式ではパケットが不要なプロセッサに到着してしまうが、スイッチングエレメント内にディレクトリをもつ必要がなくなり、各スイッチングエレメントの構造を簡単にする事ができるので、ネットワークのレイテンシを小さくすることができる。

3.2 枝刈りキャッシュ

縮約方式は大きな利点を持つが、無効化パケットが不要なプロセッサにも到着してしまう問題がある。このパケットは届いたプロセッサのキャッシュコントローラで捨ててしまえばよいのでプロトコル上の実害はないが、キャッシュラインを共有するプロセッサ数が増えると、無駄なパケットが増加し、Cache Control Network の混雑が激しくなる。システムのサイズが大きく、データの共有関係の局所性が小さいと有効パケットの数百倍もの無駄パケットが発生する可能性がある⁶⁾。

これを解決するため、Cache Control Network 上の特定のステージのスイッチングエレメントのみに、枝刈りキャッシュと呼ばれるチップ内部に実装できる程度の小さなキャッシュを設ける。枝刈りキャッシュの動作を次に示す。

- Data Transfer Network により読み出したキャッシュラインを要求元のプロセッサに転送する際に、Cache Control Network 上にラインアドレスを転送し、通過するスイッチングエレメントの枝刈りキャッシュ上にラインアドレスを登録し、パケットの行き先に相当するビットをビットマップにセットする
- Cache Control Network を介して無効化パケットや更新データを送る際、スイッチングエレメント内の枝刈りキャッシュを参照し、ラインアドレスが一致すればその枝刈りキャッシュのビットマップを利用して、ビットがセットされている行き先に対してのみパケットを送る。無効化型プロトコルを用いた場合、枝刈りキャッシュ上のエントリは、無効化パケットを送った時点で削除する

4. SNAIL-2

第2、3章で説明した PBSF、MINC のシミュレーションによる評価はすでに行われている。そこで本研究では、実機において実アプリケーションによる性能を評価するためにスイッチ結合型並列計算機 SNAIL-2 を設計、実装した¹⁰⁾。

4.1 SNAIL-2 の構成

図3にSNAIL-2の構成を示す。SNAIL-2は、16個のプロセッシングユニット(PU)と16個のメモリモジュール

(MM) から構成され、データ転送用ネットワークに用いる PBSF チップと、キャッシュ制御用ネットワークに用いる MINC チップにそれぞれ接続されている。PU には、ローカルメモリと共有メモリキャッシュが置かれ、MM には、共有メモリとディレクトリが配置される。PU と MM 間のデータ転送、キャッシュ制御は次のようにして行われる。

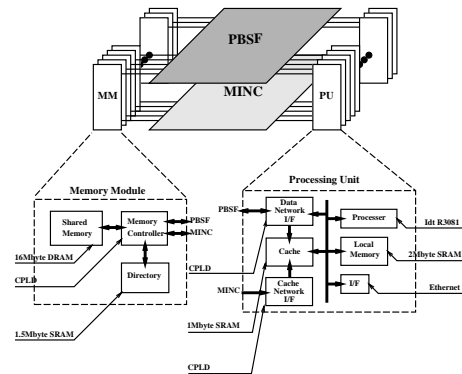


図3 SNAIL-2の構成

• データ転送

プロセッサから共有メモリに対するアクセスは、PU 内の PU コントローラと MM 内のメモリコントローラ間で、PBSF のネットワークを通してパケットを転送することで行われる。PU には共有メモリのキャッシュが存在するので、共有メモリアクセスのレイテンシを小さくすることができる

• キャッシュ制御

共有メモリへの書き込みが起こった際、PU コントローラは、PU 内のキャッシュにそのデータが存在しているのならそのデータを無効にし、PBSF インタフェースを通して MM へパケットを転送する。MM 内のメモリコントローラは、書き込みが行なわれたデータをキャッシュしている PU へ、コヒーレンス維持のためのパケットを MINC のネットワークを通して転送する。PU コントローラはこのパケットを受け取り、キャッシュにそのデータが存在しているのならそのデータを無効化し、キャッシュのコヒーレンスを維持する

4.2 ハードウェア構成

プロセッシングユニット、データ転送用ネットワーク、キャッシュ制御用ネットワーク、メモリモジュールの具体的なハードウェア構成について説明する。

4.2.1 プロセッシングユニット

- プロセッサ (IDT 社 R3081)
- ローカルメモリ (SRAM 2Mbyte)
- 外部インタフェース (Ether)
- PU コントローラ (CPLD Altera 社 FLEX10K)
 - PBSF ネットワークインタフェース

- MINC ネットワークインタフェース
- タグメモリ (Dual port RAM 128Kbyte)
- キャッシュ(SRAM 1Mbyte)

4.2.2 データ転送用ネットワーク

PBSF チップの構造を図 4 に示す。シミュレーションの評価を踏まえ⁹⁾、レイヤ数は 2 とし、最上層のレイヤでメッセージコンバイン機能、4 レベルの優先度制御をサポートする。また、データ線として Forward MIN に 2bit、Backward MIN に 1bit を割り当てる。これでは転送容量が不足するので、PBSF チップを 8 個用いることにより、データ転送用ネットワーク全体として Forward-MIN に 16bit、Backward MIN に 8bit を割り当て、十分な転送容量を確保する。チップの作成は電子情報通信学会「VLSI 設計教育高度化専門委員会」、通産省「次世代技術教育研究環境高度化検討委員会」、科学研究費総合研究 (A)「大学における VLSI システム設計教育高度化のための総合的研究」の VLSI 試作試行の一環として行われ、NEL 社の CMOS-SOG に実装した。

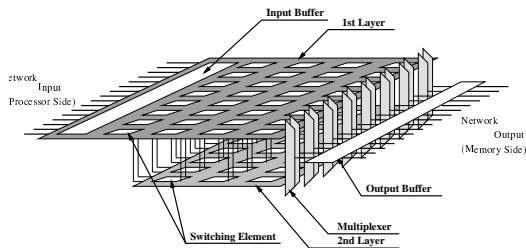


図 4 PBSF チップの構造

4.2.3 キャッシュ制御用ネットワーク

MINC チップの構造を図 5 に示す。シミュレーションの評価により⁷⁾、構成は 2 段の 4×4 のクロスバスイッチとし、プロセッサに最も近いステージにのみ枝刈りキャッシュを持たせる。各枝刈りキャッシュは 256 個のエントリを持ち、連想度は 2 である。

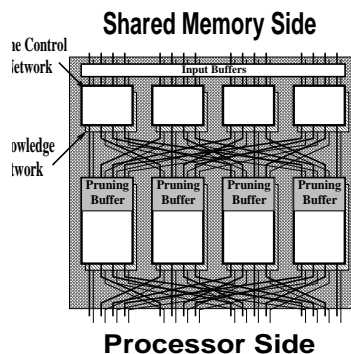


図 5 MINC チップの構造

各スイッチングエレメントは、RHBD 方式を用いてマルチキャストを行い、4 レベルの優先度制御をサポートする。データ線として Cache Control Network、Acknowledge Network 共に、4bit のデータ線を用いる。チップの製作は大規模集積システム設計教育研究センターの試験研究 (B)VLSI 設計教育カリキュラムの開発の一環として Chip Express 社の LPGA に実装した。

edge Network 共に、4bit のデータ線を用いる。チップの製作は大規模集積システム設計教育研究センターの試験研究 (B)VLSI 設計教育カリキュラムの開発の一環として Chip Express 社の LPGA に実装した。

4.2.4 メモリモジュール

- 共有メモリ (DRAM 16Mbyte)
- ディレクトリ (SRAM 1.5Mbyte)
- メモリコントローラ (CPLD Altera 社 FLEX10K)
 - PBSF ネットワークインタフェース
 - MINC ネットワークインタフェース

SNAIL-2 は、プロセッシングユニット 2 つとメモリモジュール 2 つが搭載されているプロセッサボードと、PBSF チップ 8 つと MINC チップ 1 つが搭載されているネットワークボードの 2 種類の基板で構成されている。この 2 枚のボードはコネクタを介して接続される (図 6)。

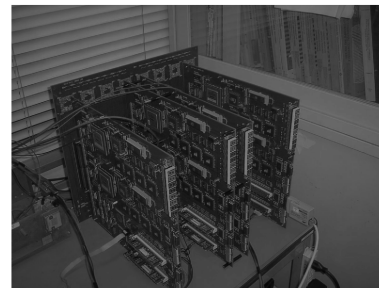


図 6 snail2 の外観

5. SNAIL-2 の評価

実装が完了している 8PU と 8MM を用いて、データ転送用ネットワークである PBSF チップ、キャッシュ制御用マルチキャストネットワークである MINC チップそれぞれの性能評価を行った。

5.1 評価条件

- 動作周波数

プロセッサに用いている R3081 は、外部周波数と最大 25MHz で動作可能であるため、PU Controller のコントローラ部はこの周波数で動作することが望ましい。また、MINC、PBSF チップも最終的には 50MHz で動作させる予定であるため、各コントローラのネットワークインタフェースもこの周波数を満たす必要がある。しかし、ノイズの問題から、高い周波数で動作させることができず、表 1 に示す周波数で安定して動作させている。
- メモリアクセス時間とフレーム長

今回の条件におけるメモリアクセス時間は表 2、フレーム長は $40\text{clock}(4\mu\text{sec})$ とした。また、インストラクションは、コヒーレンスを維持する必要がないため本来はプロセッサ内のインストラクションキャッシュを用いることができるが、今回は実装上の問題で使用しないようになっている。

表 1 各回路の動作周波数

Processor	(Internal) (External)	20MHz 10MHz
PU Controller	(Controller) (Network Interface)	10MHz 10MHz
MM Controller	(Controller) (Network Interface)	10MHz 10MHz
PBSF Network		10MHz
MINC Network		10MHz

表 2 メモリアクセス時間

メモリの位置	アクセスの種類	メモリアクセス時間 (ns)
ローカル	リード	400
	ライト	400
共有 (use cache)	リード (Cache Hit)	900
	リード (Cache Miss)	7800 ~ 11700+(4000×n)
	ライト	4800 ~ 8700+(4000×n)
共有 (no cache)	リード	5200 ~ 9100+(4000×n)
	ライト	4800 ~ 8700+(4000×n)

n: 再送回数

● アプリケーション

並列計算機の評価に用いるアプリケーションにはいくつかあるが、マシンのアーキテクチャに依存せず比較を行うことができる並列アプリケーション集 SPLASH-2(Stanford Parallel Applications for SHared memory-2) を用いて評価を行った。今回は、以下の 4 つのアプリケーションを実装し、プロセッサ数 1、2、4、8 のそれぞれで評価を行った。

– LU

密行列を下三角行列と上三角行列に分解する。
行列のサイズ：64×64、128×128、192×192、256×256

– FFT

\sqrt{n} を基数とする 6 ステップのアルゴリズムを用いた 1 次元複素数の高速フーリエ変換で、プロセッサ間の通信が最小限になるように最適化されている。

データ数： 2^{12} 、 2^{14} 、 2^{16} 、 2^{18}

– Radix

キーの桁ごとに処理する整列アルゴリズム。
データ数：8192、65536、262144、524288

– Ocean

複数のグリッドを用いて、渦や海流の境界をもとに大規模な海洋の動きをシミュレーションする。

データサイズ：18×18、34×34、66×66、130×130

● その他

インストラクション及び共有しないデータはローカルメモリに配置し、共有メモリはキャッシュライン毎にインタリーブする。また、キャッシュに関するパラメータは表 3 のようになっている。

表 3 キャッシュパラメータ

キャッシュサイズ	256Kbyte/PU
way 数	4way
キャッシュラインサイズ	16byte
Protocol	Write Through

5.2 評価結果

データ転送用ネットワーク PBSF の性能を調べるために、各アプリケーションの最大サイズにおいて、キャッシュを使用しない場合のプロセッサ数の増加による台数効果を図 7 に示す。計算量に対して同期操作の割合が高く、並列性の抽出が困難である LU、Radix において 8PU でそれぞれ 1PU の 5.5 倍、6.2 倍の台数効果が得られ、その他の各アプリケーションでも 2PU で 1PU の約 2 倍、4PU で 1PU の約 3.8 倍、8PU で 1PU の約 6.7 倍という高い台数効果が得られ、PBSF がデータ転送用ネットワークとして高いスループットを持つことがわかった。

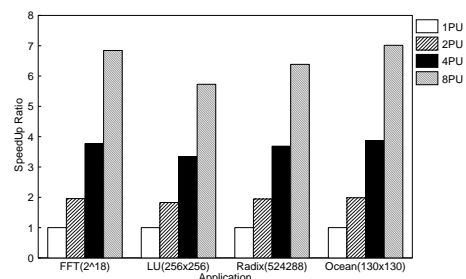


図 7 各アプリケーションにおける台数効果

また、キャッシュ制御用ネットワーク MINC の性能を調べるために、各アプリケーションの最大サイズにおいて、キャッシュを用いなかった場合と比較してどの程度性能が向上したかを図 8 に示す。また図 9 に各アプリケーションにおけるキャッシュヒット率を、図 10 に各アプリケーションにおける無効化パケットの衝突率を示す。

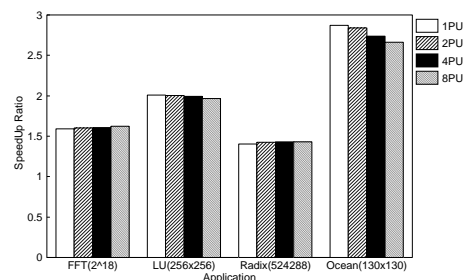


図 8 各アプリケーションにおける MINC の効果

図 8 から、各アプリケーションにおいて、キャッシュを用いなかった場合と比較して約 1.5~2.7 倍性能が向上していることがわかる。この性能向上率の違いは図 9 をみれば明らかであり、キャッシュヒット率が約 90%と最も高い Ocean が最も MINC の効果がでていいるといえる。これらのことからキャッシュを用いることにより、レイテン

シの大きい共有メモリアクセスが減り、実行時間が改善できること、また共有メモリへのアクセスが減ったことで、ネットワークの負荷が軽減されたことがわかる。また図 10 からキャッシュ制御用ネットワークにおいて、無効化パケットの衝突率は最大で約 6%と低く、このことからキャッシュ制御用ネットワークが混雑することがなく、高速なキャッシュ制御が可能であることがわかる。

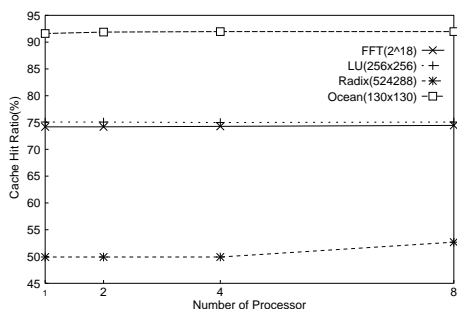


図 9 各アプリケーションにおけるキャッシュのヒット率

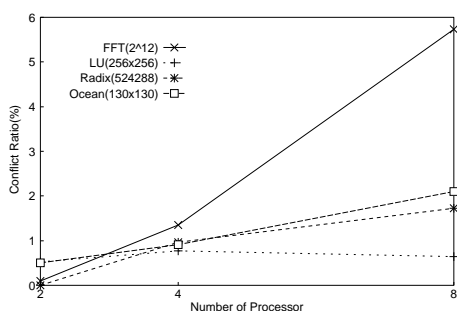


図 10 各アプリケーションにおける無効化パケットの衝突率

また、MINC では RHBD 方式を採用しているため、無効化パケットが不要なプロセッサにも到着してしまう。この無駄なパケットの増加がキャッシュ制御用ネットワークの混雑の原因となり、高速なキャッシュ制御ができなくなるため、SNAIL-2 では枝刈りキャッシュを用いているが、枝刈りキャッシュでは無効化パケットに加えて、枝刈りキャッシュへの登録パケットも送信するため、ネットワークが混雑し、パケットの衝突率が増加するため、性能が低下してしまうという問題点が明らかとなった。これは、当初 SNAIL-2 がデータ転送用ネットワークとキャッシュ制御用ネットワークが 1 つのネットワークとして設計された場合に用いると仮定して提案されたものであり、今回のようにデータ転送用ネットワークとキャッシュ制御用ネットワークを分離したシステムにおいては枝刈りの効果が発揮できなかったためだと考えられる。しかし、枝刈りキャッシュを使わなくても、キャッシュ制御用ネットワークにおいて無効化パケットの衝突はそれほど起きていないため、枝刈りキャッシュ無しでも十分高速なキャッシュ制御が可能であることがわかった。

6. ま と め

MINC と PBSF の実機による評価を行うために、SNAIL-2 を設計し、実装を行った。実装した SNAIL-2 では、16PU、16MM までの接続が可能である。現時点では 8PU、8MM までの実装を行い、実アプリケーションを用いた評価を行った。その結果、PBSF により、2PU で 1PU の約 2 倍、4PU で 1PU の約 3.8 倍、8PU で 1PU の約 6.7 倍の台数効果が得られ PBSF が高いスループットを持つことがわかった。また MINC によるキャッシュ制御により共有メモリへのアクセスが減り、実行時間が約 1.5 ~ 2.7 倍ほど短縮できることがわかった。

参 考 文 献

- 1) 天野 英晴, 周 洛, 藤川 義文 : SSS [Simple Serial Synchronized] 型マルチステージネットワーク, 情報処理学会論文誌, Vol.34, No.5, pp.1134-1143, 1993.
- 2) 笹原 正司, 寺田 純, 大和 純一, 埜 敏博, 天野 英晴 : SSS 型 MIN に基づくマルチプロセッサ SNAIL, 情報処理学会論文誌, 第 36 巻, 第 7 号, pp.1640-1651, 1995.
- 3) 埜 敏博, 天野 英晴 : 多重出力可能な MIN の性能評価, 情報処理学会論文誌, 第 36 巻, 第 7 号, pp.1630-1639, 1995.
- 4) 白石 大介, 星野 智則, 緑川 隆, 金森 勇壮, 天野英晴 : スイッチ結合型マルチプロセッサ SNAIL-2 のデータ転送用ネットワーク PBSF の評価, 電子情報通信学会 VLSI 設計技術研究会, 2001.
- 5) H.Matsumoto, T.Hiraki : The shared memory architecture on the massively parallel processor, Technical report of IEICE, CPSY 92-36, pp.47-55, 1992.
- 6) 西村 克信, 工藤 知宏, 天野 英晴 : Pruning Cache を用いた分散共有メモリのディレクトリ構成法, 情報処理学会論文誌, 第 39 巻, 第 6 号, pp.1644-1654, 1998.
- 7) T.Hanawa, T.Kamei, H.Yasukawa, K.Nishimura, H.Amano : MINC: Multistage Interconnection Network with Cache control mechanism, IEICE Transactions on Information and Systems, Vol.E80-D, No.9, pp.863-870, 1997.
- 8) R. Iyer and L.Bhuyan : Design and Evaluation of a Switch Cache Architecture for CC-NUMA Multiprocessors, IEEE Trans. on Comput. vol. 49, No. 8, pp.779-797, Aug. 2000.
- 9) Takayuki Kamei, Masashi Sasahara, Hideharu Amano : An LSI implementation of the Simple Serial Synchronized Multistage Interconnection Network, ASP-DAC'97, pp.673-674, 1997.
- 10) 星野 智則, 緑川 隆, 天野 英晴 : キャッシュ制御機構を持つスイッチ結合型マルチプロセッサ SNAIL-2 の実装, 電子情報通信学会コンピュータシステム研究会, CPSY99-70, pp.63-70, 1999.