

科学技術計算向け FPGA 基板の設計と評価

溝口大介[†], 荒木健悟[†], 石橋政一[†], 佐々木徹[†], 青木すみえ^{††}, 棚橋隆彦^{††}

EHPCプロジェクトにおいて、流体解析や量子分子動力学法などの科学技術計算専用計算機に使用する目的で300万ゲート相当のFPGAを4個搭載し、個々のFPGAに対して512MBのSDRAMモジュールを装備したCompact PCI規格の回路基板を開発した。本稿ではハードウェアの概要や評価結果について報告する。

Development of FPGA board for HPC

Daisuke Mizoguchi[†], Kengo Araki[†], Masaichi Ishibashi[†], Tohru Sasaki[†],
Sumie Aoki^{††} and Takahiko Tanahashi^{††}

In EHPC project we developed the CompactPCI FPGA board for HPC applications, especially CFD and QMD. The FPGA board has four FPGA devices equivalent to 3M logic gates and four 512MB-SDRAM modules for each FPGA devices. We will report the architecture outline and circuit evaluation result.

1. はじめに

平成12年度より5年間の計画で文部科学省科学技術振興調整費総合研究「科学技術計算専用ロジック組込み型プラットフォーム・アーキテクチャの開発」(以下、EHPCプロジェクトと略す)によるハードウェアならびにソフトウェア開発が行われている[1]。ハードウェアの構成は、PCクラスタを構成する複数のPCをホストコンピュータとし、アプリケーションに特化した専用部分をCompactPCI規格のボードで実現し、ホストコンピュータと専用システムはPCIバス(CompactPCIバス)によって接続する構成となっている[2]。

EHPCプロジェクトでは、平成14年度までに汎用CPUのみで構成した試作システム(以下、汎用CPUシステム)を完成させ、このシステム上でフラグメン



図1. EHPCシステムの概観

ト分子軌道法(Abinit-MO)[3]、有限要素法流体解析(GSMAC-FEM)[5]、量子分子動力学(CP法)[4]、第一原理電子密度計算(DVX)などのアプリケーションを移植した。図1に汎用CPUシステムの外観を示す。

本稿で紹介するFPGAシステムは汎用CPUシステ

[†] 株式会社アプリアリ・マイクロシステムズ A Priori Microsystems, Inc.

^{††} 慶應義塾大学理工学部 Keio University

ムを発展させたものである。汎用CPUシステムは専用ロジック相当の機能を専用ボード上のCPUのファームウェアとして実装していたが、FPGAシステムでは、FPGA上のロジックとして実装する。また、汎用CPUシステムに実装したソフトウェア資産を活用するため、基本的にホストコンピュータのAPIは汎用CPUシステムにおいて定義したものと同一のAPIとする方針である。

2. システム構成

図2にFPGAシステムのシステム構成、図3にデバッグシステムの概観を示す。

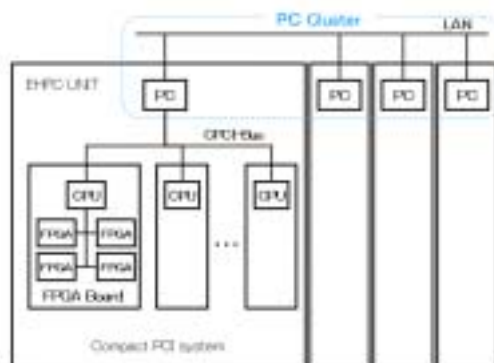


図2. EHPCシステム構成



図3. デバッグシステムの概観（汎用CPUボード）

ホストコンピュータとしてCompactPCI規格のPC互換カードを使用し、OSとしてLinuxを、並列ライ

ブラリにはMPICHを実装している。FPGAボードとの通信用には、独自に開発した通信ライブラリを使用している。

FPGAボードは、FPGA4個と組み制御用CPU1個を搭載している。これについては後述する。

3. FPGAボードの構成

図4にFPGAボードの概観を、図5に構成を示す。



図4. EHPC FPGAボードの概観

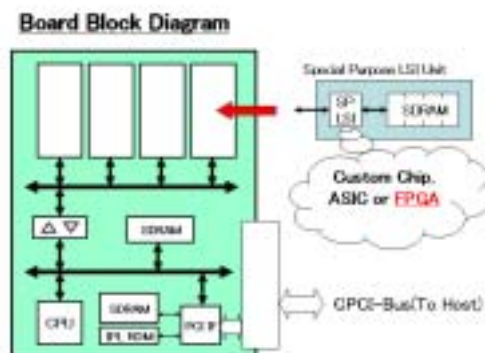


図5. EHPC 専用ロジックボードの構成

各FPGAに大容量のメモリを付加して、大規模行列などをFPGA上の演算ユニットから直接参照することを可能にし、大規模計算に備えている。基本的に、個々のFPGA上には演算ユニットを中心に実装し、制御の大半はボード上のCPUが行う方針であ

る。これにより、FPGAのロジックリソースを演算機に割り当て、性能向上およびロジックの簡略化を図っている。また、制御用CPU上には、国産のリアルタイムOSであるμITRONを搭載し、ホストとの通信やFPGA上のロジックの制御など非同期のイベントの取り扱いが柔軟に行えるよう考慮している。FPGAボードの諸元は以下のとおり。

ボード規格	: CompactPCIに準拠
制御用CPU	: 日立製SH4@200MHz
FPGA	: Xilinx社製XC2V3000×4
FPGA用メモリ	: 512MB S0-DIMM Module×4

4. 開発環境

EHPC FPGAボードのデバッグ・開発は、下記の環境で行った。CADツールはOS等の動作環境が個々に異なるため、ネットワークに接続された複数PCに搭載して使用し、相互にデータを参照することによって、作業を効率化できた。

使用ハードウェア

- ・FORCE Computer社製ボード PC(OS:RedHat7.2)
- ・エブレン社製CompactPCIバックプレーン

ソフトウェア開発環境

- ・日立超LSI社製HEW

FPGA開発環境

- ・Xilinx社製ISE4.2
- ・ModelTechnology社製ModelSim Xilinx Edition

デバッグ環境

- ・Xilinx社製ChipScope
- ・Computex社製H-UDI
- ・ボード上のLED,テストピン,RS232c

5. 性能評価

EHPC FPGAボード上の4つのFPGAは全て、SH4のCPUバスに接続されている。FPGAをこのCPUバスに接続することにより、SH4からFPGAをメモリないしはIOデバイスとして扱うことが可能となる。また、個々

のFPGAにはS0-DIMMタイプの大容量のSDRAMモジュールが装備されている。そこで、今回、FPGA内に各種専用ロジックの実装に際して、必ず必要となる対SH4のCPUインターフェイスおよび対SDRAMモジュールのメモリアンターフェイスの設計と実装を行った。EHPC FPGAボード上のFPGAは300万ゲート相当のものを使用しており、ピン互換品の600万ゲート相当品も使用できる。従って、演算器を並列に多数並べる事により高速演算が期待できるが、アプリケーションによってはデータの供給が演算のボトルネックになる可能性がある。このため、ボード内のデータ転送を高速に行えるロジックパーツがあらかじめ作成しておく意味は大きい。

5.1 SH4インターフェイスの実装

SH4インターフェイスには、SH4のマルチプレクス(以下MPX)バスインターフェイスを実装した。MPXバスインターフェイスとは、SH4のデータバスのみを使用し、バストランザクションの最初のサイクルにデータバスアドレスを出し、続くサイクルでデータの転送を行うインターフェイスである。

FPGA内で、MPXバスインターフェイスの先には、レジスタ、Dual Port RAM、FIFOを実装した(図6)。Dual Port RAMとFIFOの先には、各種専用ロジックが接続されるものと見なし、今回の実装ではサンプルとしてエコーバック回路を実装した。4個のFPGAの区別とFPGA内の各記憶領域の区別は、FPGA内でアドレスデコードを行う事によって実現した。

ボード上にパイプラインレジスタがあり、この駆動方向の決定は、CPLDが行っている。また、FPGA内では、ボードとのIO遅延を最小に抑えるために、入出力は必ずIO PAD内部に設けたレジスタでパイプライン化してIOを行う設計とした。

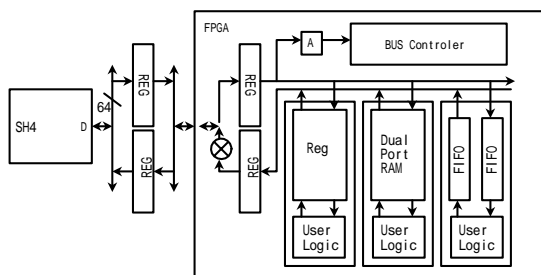


図6. MPXバスCPUインターフェイス ブロック図

評価結果を表1、図9に示す。SH4の外部バス仕様に基づき、ここでは8種類の転送方法を実装してみた。すべての転送方法に対してCPUインターフェイスがSH4(SH7750S)の最大バス周波数である100MHzで正常動作することを確認できた。また、SH4内蔵のDMAコントローラを起動することにより、400MB/sec以上の転送レートでのアクセスが十分に可能であることがわかった。

転送対象 No	DMA転送	転送対象	rate (MB/s)
1	PCISDRAM	FPGA DACKあり	62
2	FPGA	PCISDRAM DACKあり	63
3	PCISDRAM	FPGA	66
4	FPGA	PCISDRAM	63
5	PCISDRAM	PCISDRAM DACKあり	71
6	FPGA	FPGA DACKあり	111
7	SDRAM	FPGA(DACK Dev) AutoPreC	282
8	SDRAM	FPGA(DACK Dev) RasDown	452

表1.

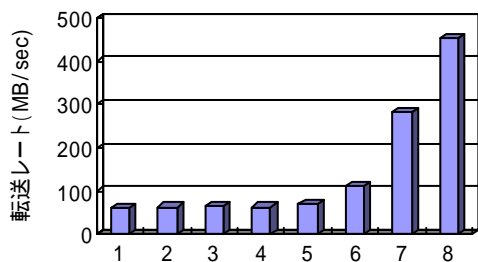


図7. ボード内転送レート測定結果

5.4 SO-DIMM SDRAM対FPGA

図5中のSO-DIMMソケットに挿す144pin SDRAMモジュールインターフェイスの実装を行った。当然

のこともながらアクセスパターンにより、SDRAMのデータ転送性能が大幅に変動するが、アクセスパターンはアプリケーション依存であるため、はっきりと転送性能を上げることが出来ない。ここではバースト長に対応した最大転送レートを評価した。

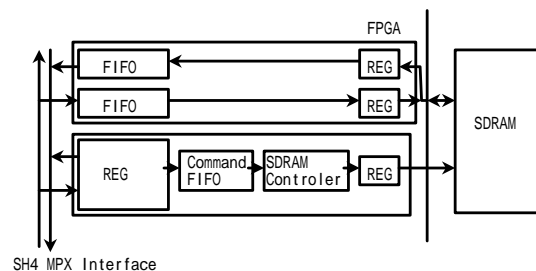


図8. メモリインターフェイス

図6中のFIFOの先のUser Logic部分をSDRAM用データFIFOとし、SDRAMへのコマンド制御をレジスタのUser Logic部分で実現した。SDRAMへのデータ制御信号は、すべてFPGAのIOB内に配置されたFFを通して、IO遅延を最小に抑えた。現在、128MHzまで動作を確認したが、最終的には133MHz動作を目指す予定である。

FPGA-SDRAM間転送レート

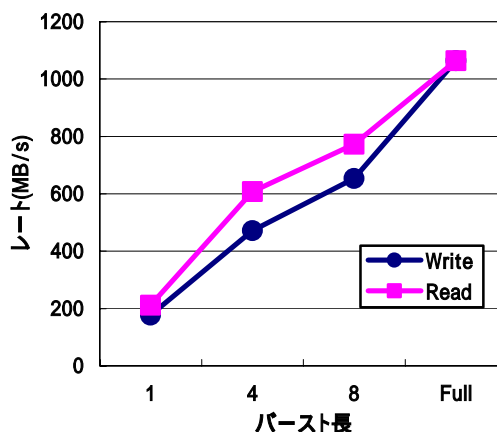


図9. SDRAM転送性能評価

6. ロジックの実装

EHPCプロジェクトでは、専用ロジックを実装するデバイスとして、分子軌道法専用ロジック[7]についてはASIC上に実装され、流体解析(GSMAC-FEM法)と量子分子動力学(CP法)の専用ロジックについては本FPGAボード上に実装する予定である。

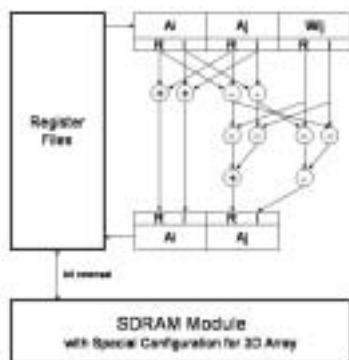


図10.三次元FFT専用ロジック

CP法(Car-Parrinello法)は分子の最適配置や電子状態を計算する有力な手法であるが、基底関数が平面波なので三次元FFTがネックとなる。三次元FFT専用ロジックの内部構成を図10に示す。演算ユニットはCooley-Turkeyのアルゴリズムを平易にロジック化したものである。また、系が巨大になると基底関数の直交化もボトルネックとなることがわかっている[4]。

GSMAC法は、離散化したナブラ演算子を各要素に定義し、div, grad, rot等の微分演算を、要素毎に行う流体解析手法である。そのため要素間にデータの依存関係がなく、要素並列が可能である。GSMAC法の処理中で負荷の重い処理は複数あるが[5]、現在、最も負荷の重いDiv演算の専用ロジック化を進めている[6]。GSMAC Div専用ロジックの概要を図11に示す。XYZ成分を可能な限り並列処理し、パイプライン動作を行い、高速演算を実現している。このDiv専用ロジックはFPGAボード上のテ

ストベンチ上で正常動作を確認している。今後、他の高負荷部分の実装と、ソフトウェアを含めたシステム全体の実装を行い、評価を行う予定である。

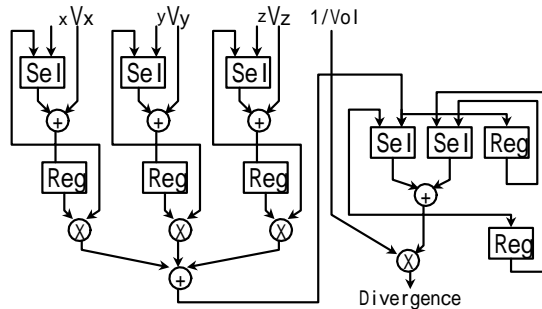


図11.Divergence専用ロジック

7. おわりに

EHPCプロジェクトにおいてFPGAボードを開発した。FPGA上にデータ転送を行うロジックの実装を行い、そのロジックを用いてデバイス間のデータ転送レートを評価してみた。ボード上の制御用CPUとFPGA間は100MHzでのデータ転送が可能で、転送レートは400MB/sec以上であった。また、FPGAとSDRAMモジュール間では、周波数128MHzでの動作は確認できたので、133MHzでの動作確認を行っている。転送レートは128MHzの場合でも、1GB/sec弱のデータ転送が可能である。今後はアプリケーションに特化した演算ロジックでの評価を行っていく予定である。

また、近年、プログラマブルデバイス上のロジックが変更可能であることを積極的に活用し、動的に一部ないしはすべてのロジックを変更するリコンフィギャブルシステムに関する研究が盛んになって来ている[8]。本ハードウェアでは、ロジックの動的に数秒必要とするが、一般に科学技術計算の分野では、ひとつの計算式に基づくロジックを長時間使用することも多く、その場合にはロジックを切り替える際の時間が若干大きくても、実質上大きな問題にならないことが多い。従って、

リコンフィギャラブルシステムは、一部のHPCアプリケーションには非常に適している可能性がある。

実際、**6.ロジックの実装**において示したCP法の場合に、ロジック化を検討している三次元FFTとベクトル直交化をそれぞれ数10分程度行う。従って、この両者をロジック化して同一デバイス上で動的に切り替えて動作させても、ロジックの切り替えに要する数秒という時間が計算時間全体に与える影響はほとんど無視することができる。そこで、CP法専用リコンフィギャラブルシステムを試験的に実装し、本ハードウェアをHPC向けリコンフィギャラブルシステムのトライアルとして活用することも検討している。

8. 謝辞

本研究は平成12年度文部科学省科学技術振興調整費総合研究「科学技術計算専用ロジック組込み型プラットフォーム・アーキテクチャの開発」によるものである。

参考文献

- [1] EHPCプロジェクトのホームページ
<http://www.ehpc.jp/>
- [2] 佐々木徹, 石橋政一, 荒木健悟, 溝口大介, 大谷泰昭, 長嶋 雲兵, 村上 和彰:「科学技術計算専用ロジック組込み型プラットフォーム・アーキテクチャの開発 - プラットフォームアーキテクチャ - 」, 情報処理学会研究会, SWoPP2000
- [3] Sasaki,T. ,Inadomi,Y ,and Nagashima,U.: “Special Purpose Computer for Electron Repulsion Integral Evaluation”, World Association of Theoretically Oriented Chemists’02(2002)
- [4] 樋口高年, 谷村直樹, 大谷泰昭, 佐々木徹, 長嶋雲兵:「Car-Parrinello コードの組み込み型高性能計算機への実装」, 2003 年ハイパフォーマンス研究会 計算科学シンポジウム, 情報処理学会,

HPCS2003

[5] 溝口大介, 荒木健吾, 石橋政一, 佐々木徹, 棚橋隆彦, 長嶋雲兵:「科学技術計算専用ロジック組込み型プラットフォーム・アーキテクチャの開発 - GSMAC 有限要素法専用ロジックの検討 - 」情報処理学会研究会, SWoPP2000

[6] 青木すみえ, 荒木健悟, 溝口大介, 石橋政一, 佐々木徹, 棚橋隆彦:「GSMAC-FEM 専用計算機の研究開発<Divergence 専用演算器の FPGA による実装>」, 第 16 回数値流体力学シンポジウム, D29-2, 2002

[7] 原田宗幸, 中村健太, 桑山庸史, 上原正光, 佐藤比佐夫, 小原 繁, 本田宏明, 長嶋雲兵, 稲富雄一, 村上 和彰: “二電子積分計算専用プロセッサ・アーキテクチャの開発 ”, 情報処理学会論文誌:ハイパフォーマンスコンピューティングシステム (HPS6), Vol.44, No.SIG1, pp.1-9, Jan. 2003.

[8]天野英晴:「マルチコンテキストデバイスを用いた動的適応型ハードウェアの提案」, 情報処理学会アーキテクチャ研究会 研究報告, 2002-ARC-150, pp59-64, 2002