

SR11000 モデル H1 における高精度性能分析手法

松居 昭宏 助川 直伸 高山 恒一 青木 秀貴 中村 友洋
(株)日立製作所 中央研究所

大規模な科学技術計算アプリケーションは、一般に高いメモリ性能を要求する。これに対し、スーパーテクニカルサーバ SR11000 モデル H1 では、高性能なメモリシステムの設計を行った。新しい設計における同機の実アプリケーション特性を知るため、メモリに対する負荷を定量化する性能分析手法を開発した。SR11000 モデル H1 における評価の結果、本手法によりアプリケーション特性を高精度に定量化することが可能であり、また、得られた特性がアプリケーションのチューニング指標としても有効であることを確認した。

High Precision Analysis of the Performance of SR11000 model H1

Akihiro Matsui Naonobu Sukegawa Koichi Takayama Hidetaka Aoki Tomohiro Nakamura
Hitachi, Ltd., Central Research Laboratory

Large-scale scientific and technical application programs require high memory bandwidth. Therefore, the Super Technical Server SR11000 model H1 is designed to have high performance memory system. In order to evaluate the characteristic of applications on the server with this design, we developed a method for analyzing memory loads in an application program quantitatively. The evaluation results show that the method can quantify application characteristics precisely and that the characteristics is effective for application performance tuning.

1 はじめに

流体解析、気象予測、分子計算などの科学技術計算は年々大規模化しており、計算機の高性能化が求められている。この要求に対し、科学技術計算向けに開発したスーパーテクニカルサーバ SR11000 モデル H1 では、CPU に 1.7GHz の POWER4+を採用し、ノード当たり 16CPU(チップあたり 2CPU コア×8 チップ)を搭載することで、先代機 SR8000 モデル G1 の約 8 倍になる 108.8GFLOPS を達成する。更に最大 256 ノードをネットワーク接続することで、27.8TFLOPS の最大システム性能を実現する。

ノード性能の向上には、ノード内の CPU 数を増加させることが有効であるが、CPU 数増加に伴い CPU 間同期性能の悪化やメモリアクセス競合などの実効性能を低下させる要因が増加する。これに対し SR11000 モデル H1 では、高速な同期処理方式⁸⁾やアプリケーションにおける CPU 間の干渉の分析に基づきこれを低減する 16CPU ノード構成を採用する⁹⁾ことにより、高い性能を達成する。

SR11000 モデル H1 が対象とする科学技術計算においては、扱うデータサイズが大きくメモリ負荷の高いアプリケーションが多いことから、キャッシュメモリにデータセットが入りきるアプリケーションだけでなくメモリアクセスが多発するアプリケーションでも安定して高い実効性能を達成することが重要である。しかし、近年の CPU とメモリとの動作周波数の乖離により、演算性能に対して相対的にデータ転送性能が悪化していることから、高い実効性能の達成

が困難となっている。この問題に対し SR11000 モデル H1 では、高いスループット性能のメモリシステムを用意し、更に大容量キャッシュメモリを設けることにより、CPU 性能を活かすことのできるシステムを狙った。

SR11000 モデル H1 は新しいアーキテクチャに基づいたテクニカルサーバであり、新規設計のメモリシステムや大容量キャッシュメモリなどの新しい特長を持っているため、アプリケーション実行時の性能特性が先代シリーズ SR8000 とは異なることが予想された。そのため、SR11000 モデル H1 製品機稼動に先立って、CPU 動作周波数が製品機とは異なるプロトタイプ機稼動時期からアプリケーション実行時の性能特性やチューニング指針を示すことが求められていた。

本稿では、プロトタイプ機において複数の周波数設定下でアプリケーション性能を実測することで、アプリケーションの特性を定量的に示す手法を紹介する。この手法は動作周波数によるアプリケーションの特性変化を推定できる特長を持ち、SR11000 モデル H1 製品機でのアプリケーション性能やチューニング指針を示すことができる。

以降では、最初に科学技術計算に代表されるメモリ負荷の高いアプリケーションにおける効率低下の問題とその原因について述べ、それに対する解決手段である SR11000 モデル H1 の新しいメモリシステム設計について説明する。次に、SR11000 モデル H1 プロトタイプ機による高精度なアプリケーション特性の分析手法を説明する。最

後に、この分析手法を実際の科学技術計算アプリケーションに適用し、その特性を示す。

2 メモリウォール問題とSR11000の対策

2.1 メモリウォール問題

近年のCPU動作周波数の向上により、CPUの単体性能は著しく向上している。しかし、流体解析、気象予測、分子計算など、扱うデータサイズが大きくデータの再利用性が低いアプリケーションにおいては、CPUの性能ではなくメモリシステムの性能がボトルネックとなるため、CPU動作周波数向上の効果が小さいことが問題となっている。

この原因は、図1に示すCPUとメモリとの間で、動作周波数の乖離が深刻化していることにある。図2の通り、1993年から現在までの10年間で、CPUの周波数が約60倍向上していることに対し、メモリの周波数の向上は約7倍に止まっている。この乖離により、科学技術計算では、高いCPU性能を活かすことが難しくなっている。この問題はメモリウォール問題と呼ばれている⁷⁾。

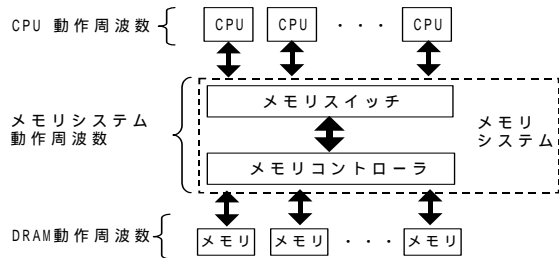


図1 計算機の構成と各部の動作周波数

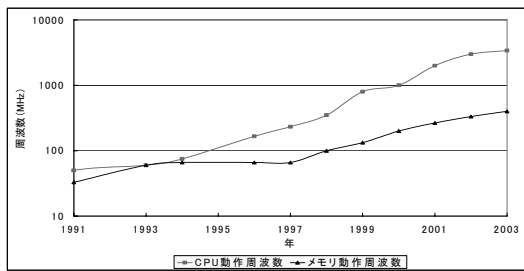


図2 CPUとメモリの周波数変遷(Intelプラットフォーム)

2.2 SR11000におけるメモリシステム設計

前節に示したメモリウォール問題に対し、メモリ負荷の高い科学技術計算アプリケーションにおいて、高い実効性能を達成するシステムを実現するための設計アプローチには、次の2つが考えられる。

(1)メモリスイッチをCPUチップへ内蔵すると共に、メモリインタフェースのスループット拡大を図る

(2)キャッシュメモリを大容量化しメモリ負荷を減らす

(1)は、hp社のAlpha 21364サーバに見られるアプローチである。SR11000モデルH1では、CPUにPOWER4+を採用し、メモリスイッチ部分をCPUチップに内蔵することにより、CPU動作周波数に比例した高い周波数で動作させると共に、複数のメモリを並べる設計により、高いメモリスループットを実現した。また(2)は、例えばIntel社のItanium2(Madison)に見られるアプローチであり、SR11000モデルH1では、オフチップの大容量L3キャッシュメモリを搭載することで実現している。(1)(2)の設計により、CPU動作周波数を活かし、高い実効性能を実現できるシステムを狙った。設計の詳細を説明するため、図3にSR11000モデルH1のノード内構成を示す。

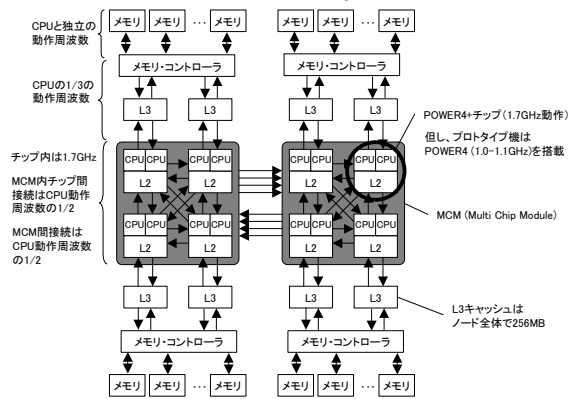


図3 SR11000モデルH1のノード内構成図

SR11000モデルH1は、2CPUコアを持つPOWER4+(1.7GHz)4チップをマルチ・チップ・モジュール(MCM)上にまとめ、2個のMCMにより16CPUのノードを構成する。MCM内チップ間接続、及びMCM間接続はCPU動作周波数の1/2の周波数で動作し、MCMとL3キャッシュメモリのインタフェースから、メモリコントローラの大部分は1/3の周波数で動作する。これが上記(1)のアプローチで、CPU動作周波数と独立した低い周波数で動作する部位はメモリコントローラの下位インタフェースからメモリまでに抑えた。また、(2)のアプローチとして、1ノード当たり256MBの大容量L3キャッシュメモリを搭載している。上記2つの手法によりメモリシステムの性能を上げ、ノード全体での高い実効性能を達成する。

3 SR11000におけるアプリケーション特性分析

3.1 アプリケーション特性分析の必要性と課題

SR11000モデルH1は新しいアーキテクチャに基づいたテクニカルサーバであり、2.2節で述べたように新規設計のメモリシステムや大容量キャッシュメモリなどの新しい特長を持っている。そのため、アプリケーション実行時の性能特性が先代シリーズSR8000とは異なることが予想される。

例えば、大容量の L3 キャッシュメモリに関しては、データサイズの小さいアプリケーションではその効果により大きな性能向上効果が見込まれるが、データサイズの大きいアプリケーションではその効果は小さい。SR11000 モデル H1 の特長技術がアプリケーションに与える影響は、このようにアプリケーションの特性に応じて異なる。また、L3 キャッシュメモリの容量に応じたキャッシュチューニングは、アプリケーションが L3 キャッシュメモリを超えてメモリアクセスを頻繁に行う場合には効果的であるが、キャッシュメモリ上で実行されている場合には効果的ではない。アプリケーション特性が明らかになることにより、ソフトウェアチューニングにおける指針もこのように明確化されると言える。

よって、SR11000 モデル H1 製品機稼動に先立ち、プロトタイプ機稼動時期からアプリケーション実行時の性能特性やチューニング指針を明らかにしておくことは、アプリケーションの実効性能を早期に高めるために重要である。しかし、SR11000 モデル H1 のプロトタイプ機は、製品機と CPU 動作周波数が異なるため、SR11000 モデル H1 が対象とする大規模科学技術計算アプリケーションの特性を精度良く示して、製品機でのアプリケーション実効時の性能特性を明らかにすることは困難であり、これを解決することが本研究の課題となる。

以下の節では、SR11000 モデル H1 のプロトタイプ機を使って、この課題を解決してアプリケーションの特性を明らかにし、製品機における精度良い性能の分析を可能とする手法について説明する。

3.2 従来の性能分析手法の問題

アプリケーションの特性を分析する手法としては、大きく分け次に挙げる2つの手法の適用が考えられるが、複雑で大規模な科学技術計算アプリケーションを対象とした分析にはいずれも問題がある。個々の手法について問題点を以下に挙げる。

- (1) CPU のシミュレータ⁰やメモリのシミュレータを組合せ、分析手法として用いることが考えられる。しかし、シミュレータの実行速度は一般に遅く、大規模なアプリケーションの評価には、評価時間がかかりすぎるため利用できない。
- (2) プロトタイプ機上でハードウェアカウンタを用いてプログラム実行情報を採取^{2), 3)}することにより分析する方法が考えられる。しかし、ハードウェアカウンタにより得られる情報は命令やイベントの回数情報であり、各イベントにかかるサイクル数とイベント回数を掛け合わせて実行時間を推定することはできるが、並列に実行される命令や同時に発生するイベントがあるため、時間情報として正確に分析することが困難である。

そこで、本稿ではこれらの従来手法によらずに、科学技術計算を対象とした、測定と同時に分析することが可能で、高い分析精度を達成できる手法を開発した。次節以降では提案した手法の詳細と精度の検証について述べる。

3.3 性能分析手法の提案

前節で述べた従来手法の問題点から、アプリケーション特性を分析するためには次の2つの課題がある。

- ・ 測定・解析時間が現実的な範囲におさまること
- ・ 高い分析精度を実現できること

本節では、実機測定をベースとして測定時間とアプリケーション特性の分析を同時にかつ高精度に行うことができる性能手法を提案する。具体的には、SR11000 モデル H1 プロトタイプ機の CPU とメモリの動作周波数が可変であることを利用する。CPU とメモリの動作周波数比率を複数通りに変更することにより、各組合せでアプリケーション実行時間を測定した結果から、メモリ性能によって影響を受ける実行時間(以下、メモリ成分)とそれ以外の実行時間(以下、CPU 成分)を計算する。CPU 成分とメモリ成分はアプリケーションの性能を決定要因であり、その成分比はアプリケーションの特性を示していると言える。具体的な分析手法を以下に説明する。

プロトタイプ機における動作周波数設定(a)の CPU 動作周波数を F_{pa} 、メモリ動作周波数を F_{ma} とし、同じく設定(b)についてはそれぞれを F_{pb} 、 F_{mb} とする。この2つの動作周波数設定で同一のプログラムを実行する。設定(a)におけるプログラム実行時間を T_a とすると、 T_a は、CPU 内での処理により性能が決定される時間(CPU 成分)X とメモリ内での処理により性能が決定される時間(メモリ成分)Y の合計である。設定(b)のプログラム実行時間 T_b も同様の分離ができ、その値は設定(a)(b)の実行時間とそれぞれの周波数設定値から計算できる。図 4に、設定(a)(b)の実行時間の関係を図示したように、CPU 成分は CPU 動作周波数の比に、メモリ成分はメモリ動作周波数の比によってそれぞれの成分が計算でき、次式の関係が成り立つ。

$$\begin{cases} T_a = X + Y \\ T_b = (F_{pa} / F_{pb})X + (F_{ma} / F_{mb})Y \end{cases}$$

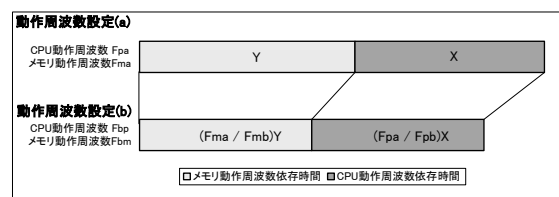


図4 動作周波数と実行時間の関係

上記の連立方程式から X, Y を求めることにより、設定(a)における全実行時間に占める CPU 成分 X とメモリ成分 Y が算出できる。

このメモリ成分の値はメモリ負荷を示す値であり、これが小さいほどアプリケーションのメモリ負荷が低いことを示している。つまり、メモリウォール問題が性能向上に与える影響の大小は、メモリ成分の値の大小によって決定できる。

本手法はアプリケーションの特徴に依存せず、任意のアプリケーションに対して適用が可能である。また、本手法は CPU 及びメモリの動作周波数を変更して実行時間を測定するのみの単純な手法であるため、大規模アプリケーションにも容易に適用できるなど適用範囲が広い。さらに、測定時にプログラムに変更を加える必要がないため、再コンパイルなどの特別な準備や測定時のオーバーヘッドによる精度劣化がないという利点がある。

3.4 分析における動作周波数選択

前節において、複数の CPU/メモリ動作周波数設定での実測による分析手法を提案した。本節では、性能分析に当たって、CPU 動作周波数のみの変更で分析可能であることを示す。

本検証では、SR11000モデル H1 プロトタイプ機を使い、表 1 に示す周波数設定で実測をした。プロトタイプ機の基本構成は図 3 の製品機と同じだが、CPU は POWER4 となっている。また、製品機とは違い、CPU 動作周波数 F_p を +10%、メモリ動作周波数 F_m を +25% 独立に変更できる。

表1 プロトタイプ機における動作周波数設定

周波数設定	(i)	(ii)	(iii)	(iv)
CPU	F_p	F_p	$1.1F_p$	$1.1F_p$
メモリ	F_m	$1.25F_m$	F_m	$1.25F_m$

検証には、メモリスループット性能を測定する代表的ベンチマークとして知られている“STREAM Benchmark”⁴⁾の TRIAD ルーチンを使用した。このルーチンの内容は配列 A, B, C と定数 s で、

$$A(1:k)=B(1:k)+s*C(1:k)$$

の数式で表され、k の値を変えることにより、データサイズをキャッシュメモリ容量の内外へ調整することが容易に操作できる。本測定では、メモリに対する負荷を高くするために k の値を十分大きくとり、キャッシュメモリの効果を無くした。

表 1 の 4 種類の周波数設定における TRIAD ルーチンの実測結果を表 2 に示す。表中の値は周波数設定(i)における時間を 1.000 とした相対時間である。

表2 各動作周波数設定における TRIAD の相対実行時間

周波数設定	(i)	(ii)	(iii)	(iv)
相対実行時間	1.000	0.976	0.922	0.896

次に、4種の測定から2つを組み合わせ、合計6組を作る。各組に対し前節の連立方程式を解いて CPU 成分とメモリ成分の比率を求めた結果を表 3 に示す。

表3 TRIAD の CPU/メモリ成分比率

	(i)(ii)	(i)(iii)	(i)(iv)	(ii)(iii)	(ii)(iv)	(iii)(iv)
CPU 成分	84.9%	82.9%	84.7%	84.2%	85.2%	83.9%
メモリ成分	15.1%	17.1%	15.3%	15.8%	14.8%	16.1%

全てのパターンでほぼ同一の結果が得られたことにより、以降の測定では周波数変更が容易な CPU 動作周波数のみ変更を行うこととし、メモリ動作周波数は固定とする。

4 SR11000 におけるアプリケーションの特性分析

4.1 分析手法のアプリケーションへの適用方法

本章では、3章で提案した分析手法を SR11000 モデル H1 において実行する実際のアプリケーションの特性を定量化する。それにより、各アプリケーションのプロトタイプ機における実行時間から、製品機における実行時間を推定する。また、定量化された各アプリケーションの特性から、それぞれの性能ボトルネックを示し、チューニングへの指針を示す。

評価に用いたアプリケーションとそれぞれのデータサイズを表 4 にまとめる。アプリケーション①として、科学技術計算の中ではデータサイズが小さい傾向がある古典分子動力学学アプリケーションを選択した。また②～④として、データサイズが L3 キャッシュメモリのサイズを超えるアプリケーションを3種用意した。⑤には、明らかにキャッシュメモリにヒットしないベンチマークプログラムとして、3.4節でも用いた TRIAD ルーチンを選択した。

表4 評価アプリケーションとデータサイズ

アプリケーション	データサイズ
①多成分系古典分子動力学	L3 サイズ内
②分子化学計算	L3 サイズ超
③分子軌道計算	L3 サイズ超
④量子分子動力学計算	L3 サイズ超
⑤TRIAD	L3 サイズ超

表 4 には各アプリケーションのデータサイズが L3 キャッシュメモリ容量(1 ノード当たり 256MB)に収容できるか否かも示す。①のみ 256MB よりもデータサイズが小さく、L3 キャッシュヒットで動作する。L3 キャッシュメモリは2.2節に示した通り CPU 周波数の 1/3 で動作しており、L3 キャッシュ

シムメモリへのアクセスのオーバーヘッドは CPU 成分にカウントされる。このことから、本分析手法ではメモリ成分比率はほぼ 0%となることが期待される。逆に⑤に示す TRIAD は全てのデータをメモリから転送するため、他のアプリケーションに比べメモリ成分比率が最も大きくなることが期待される。

本分析手法により、SR11000 モデル H1 上での各アプリケーションの特性を分析するため、以下の評価を行った。

- (I) SR11000 モデル H1 プロトタイプ機において、CPU 動作周波数 1.0GHz 時と 1.1GHz 時の 2 パターンで、①～⑤のアプリケーションを測定する。
- (II) (I)で得られた 2 つの実測時間から、3 章の分析手法を用いて、各実測時間を CPU 成分とメモリ成分に分離する。

次に、プロトタイプ機における測定により得られたアプリケーション特性から、CPU が周波数 1.7GHz の製品機の性能を推定し、実測結果と比較して本分析手法の妥当性を検証した。

- (III) (II)より得られた各時間成分のうち、CPU 成分に対してのみ周波数向上による性能比 1.0/1.7 を乗じ、メモリ成分はそのままとすることにより、CPU 動作周波数が 1.7GHz の製品機における推定実行時間を算出する。
- (IV) 製品機において①～⑤のアプリケーションを実測し、(III)で得られた推定実行時間と製品機による実測時間とを比較・評価する。

4.2 プロトタイプ機からの性能推定

前節(I)(II)(III)(IV)で得られた結果を相対実行時間比にして図 5 にまとめる。グラフの横軸はアプリケーション実行時間の相対値であり、併記した数字は各動作周波数時における CPU 成分およびメモリ成分の比率である。1.7GHz で動作する製品機の実測値は成分分離することができないため、相対実行時間のみを示している。

プロトタイプ機における CPU 動作周波数の変更は 1.0 ～ 1.1GHz と狭い範囲でしかおこなっていないが、1.7GHz 動作時の推定実行時間と製品機による実測時間の誤差は最大でも 10%程度となっている。このことから、提案分析手法による CPU 成分とメモリ成分の分離が高精度に行われたと言える。

ここで、1.7GHz 動作時の推定実行時間に比べて製品機による実測時間が短くなっているのは、POWER4 から POWER4+への方式改善によるものと推測される。特に、メモリ成分が大きくメモリ負荷が高いアプリケーション④⑤で、それぞれ 12%、10%の性能向上が見られ、これは POWER4+でメモリのキューイングアルゴリズムが改善され⁶⁾、

実効メモリスループットが向上していることと符合する。

4.3 SR11000 上でのアプリケーション特性

各アプリケーションの特性が、提案した分析手法によりどのように定量化されたかを以下に示す。また、定量化された特性としてのメモリ負荷の高低をみることで、チューニングに際しての指針を示す。

データサイズが L3 キャッシュメモリ容量内であるアプリケーション①のメモリ成分はほぼ 0%となっており、メモリに対してほとんど負荷がかかっていないことがわかる。これは、前節で示したとおり、L3 キャッシュメモリ容量内のアクセスのオーバーヘッドが、CPU 成分にカウントされるためであると考えられ、事前の予想結果に一致する。

一方、メモリに対して高い負荷がかかる⑤の TRIAD ルーチンでは、1.0GHz 動作時のメモリ成分が 17.1%となり、他のアプリケーションと比較して、メモリ成分が大きいことがわかる。これについても前節で示したとおり、TRIAD は L3 キャッシュメモリにヒットしないことに因る。

⑤のメモリ成分から②～④のメモリ成分への減少分は、各アプリケーションのキャッシュメモリ利用の度合いを示す

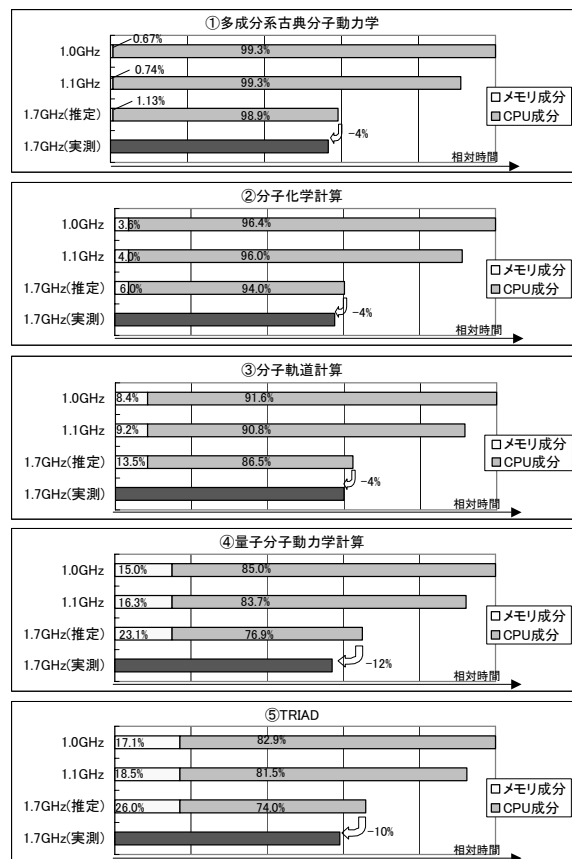


図5 各アプリケーションの分析結果

ものである。メモリ成分の大小はアプリケーションの特性を示していると言え、このメモリ成分をアプリケーションのチューニング指標としても利用することが可能である。メモリ成分が TRIAD ルーチンに近い場合には、キャッシュチューニングによりメモリ負荷を軽減し、高速化を図る。また、逆にメモリ成分が 0%に近い場合には、メモリ負荷がほとんどないことから、CPU の処理に極端なボトルネックがないかを見直したり、L3 キャッシュをターゲットとしたキャッシュチューニングをさらに進めて L2 キャッシュターゲットとしたりすることで、高速化を図ることになる。

5 性能分析手法に関する考察

本稿では、プロトタイプ機を使った性能分析手法によるアプリケーション特性の定量化について提案したが、提案分析手法はプロトタイプ機から製品機の性能分析にのみ活用可能な手法ではなく、製品機間での性能分析にも活用可能である。同一構成の計算機で CPU 動作周波数のみ異なるモデルを用意することが可能か、1 台の計算機で CPU 動作周波数が変更可能な場合には、この分析手法によりその計算機上でのアプリケーションの特性を定量的に示すことができ、チューニング指針などに利用可能である。

また、提案した分析手法の別の活用方法としては、同一のプログラムを複数の異なる構成の計算機で解析することにより、各計算機の特性を定量的に比較することができる。例えば、TRIAD ルーチンの性能値に関して、Itanium2 サーバ機(CPU 動作周波数 1.0GHz/1.5GHz)の STREAM Benchmark の性能値が文献5)に公開されており、これを分析手法により成分分離すると、1.0GHz 動作時のメモリ成分は 68.0%と算出される。SR11000 モデル H1 プロトタイプ機(1.0GHz 動作)では図 5に示したように⑤TRIAD ルーチンにおけるメモリ成分は 17.1%である。この差は SR11000 モデル H1 と Itanium2 サーバ機とのメモリシステムの構成の違いから生じている。SR11000モデルH1の方がメモリ成分が小さいということは、SR11000 モデル H1 は2.1節で説明したメモリウォール問題による影響を受けにくい構成となっていることを意味している。

6 まとめと今後の課題

大規模な科学技術計算アプリケーションは、扱うデータサイズが大きくキャッシュメモリにデータを収容しきれないことから、一般に高いメモリ性能を要求される。さらに、年々その度合いを増す CPU とメモリの動作周波数の乖離から、このようなメモリ負荷の高いアプリケーションに対して、CPU 性能よりもメモリ性能がボトルネックとなる傾向にある。これに対し、SR11000 モデル H1 では、メモリ負荷を低減し

て高い CPU 性能を活かすことのできる新しいメモリシステムを設計した。その設計の新規さから、アプリケーション実行時の性能特性やチューニング指針が先代シリーズ SR8000 とは異なることが予想された。そのため、SR11000 モデル H1 製品機稼動に先立って、CPU 動作周波数が製品機より低いプロトタイプ機稼動時期からアプリケーション実行時の性能特性やチューニング指針を示すことが求められていた。本稿では、アプリケーションの特性を明らかにする目的で、アプリケーション全体性能からCPUに依存する性能とメモリに依存する性能を分離する手法を考案した。同手法を SR11000 モデル H1 に対し適用し、評価することにより、同手法がアプリケーション特性を精度良く定量化し、チューニングのための良い指標を与えることを確認した。

提案した手法では、CPU 動作周波数を変更することによってアプリケーション実行時間から CPU 成分とメモリ成分を算出したが、今後の展開として、本手法を応用することにより動作周波数以外の各種ハードウェア設定がアプリケーション性能に与える影響を定量的に評価することを検討する。

参考文献

- 1) 中田尚,中島浩,“高性能マイクロ CPU の高速シミュレータの設計と実装”,情報処理学会研究報告, 2003-ARC-154, pp.19-24, August 2003.
- 2) Kimberly Keeton, et al. “Performance Characterization of a Quad Pentium Pro SMP Using OLTP Workloads”, ISCA, pp.15-26, 1998.
- 3) “Performance Tools Guide and Reference”, http://www16.boulder.ibm.com/pseries/en_US/aixbman/prftools/prftools02.htm
- 4) McCalpin,John D., “STREAM: Sustainable Memory Bandwidth in High Performance Computers”, <http://www.cs.virginia.edu/stream/>
- 5) <http://www.dl.ac.uk/TCSC/disco/Benchmarks/streams.html>
- 6) Olszewski, Bret, “Exploring eserver pSeries 650 and pSeries 660-6M1 Performance Attributes”, http://www-1.ibm.com/servers/eserver/pseries/hardware/whitepapers/p650_p660m1_perf.pdf
- 7) Masaki Kumanoya, Toshiyuki Ogawa, Kazunari Inoue, “Advances in DRAM interfaces.”, IEEE MICRO, Vol.15, No.6, pp.30-36, 11.1995
- 8) 中村友洋,高山恒一,青木秀貴,松居昭宏,助川直伸, “SR11000 モデル H1 におけるバリア同期の高速化手法”, 情処研報, ARC-155-7, 2003
- 9) 青木秀貴,高山恒一,中村友洋,松居昭宏, 助川直伸, “SR11000 モデル H1 のノード構成とスケラビリティ評価”, 情処研報, ARC-155-8, 2003