

## SR11000 モデル H1 のノード構成とスケーラビリティ評価

青木 秀貴 高山 恒一 中村 友洋 松居 昭宏 助川 直伸  
(株)日立製作所 中央研究所

POWER4+プロセッサによる8CPU超のSMPノードでは、各CPUがL2キャッシュミスを起こした際に発行するスヌープ要求同士の競合により、性能低下が発生する。このスヌープ競合の影響を評価した結果、スヌープ競合の発生しない8CPU構成と比べ、24CPU構成/32CPU構成ではアプリケーション実行時にそれぞれ平均20%/27%の性能低下を起こすのに対し、16CPU構成では平均10%の性能低下にとどまり、CPU数に対する高い性能スケーラビリティを実現できることがわかった。この結果に基づき、SR11000モデルH1のノードを16CPU構成とした。

## Node Architecture and Scalability Evaluation of SR11000 model H1

Hidetaka Aoki Koichi Takayama Tomohiro Nakamura Akihiro Matsui Naonobu Sukegawa  
Hitachi, Ltd., Central Research Laboratory

In a POWER4+ SMP node of more than 8 CPUs, performance degradation can be caused by the conflict among snoop requests, which are issued when each data access misses L2 cache. The evaluation results show the average performance degradation by the snoop-request conflict is 10% in a 16-CPU node compared to a conflict-free 8-CPU node, while 20% in a 24-CPU node and 27% in a 32-CPU node each. In order to achieve good performance scalability to the number of CPUs, we decided the 16-CPU node of SR11000 model H1 on the basis of this result.

### 1 はじめに

2003年5月に製品発表されたスーパーテクニカルサーバSR11000モデルH1は、SR8000シリーズの後継となる、HPC(High Performance Computing)分野に適した並列コンピュータである<sup>15), 16)</sup>。SR11000モデルH1は、16CPUを搭載する主記憶共有ノードを構成単位とし、多段クロスバネットワークにより最大256ノード接続する構成を取る。

主記憶を共有するマルチプロセッサシステムにおいて、CPU数に対するスケーラブルな性能を実現するには、キャッシュコヒーレンスを維持するためのスヌープ性能を高める必要がある。近年広く採用されているディレクトリベースのccNUMAアーキテクチャは、小規模なビルディングブロックから構成され、ビルディングブロック内のキャッシュコヒーレンスはアクセス要求のスヌープによって解決し、ビルディングブロック間についてはディレクトリによりアクセス要求の通知範囲を狭めることで、実効的なスヌープ性能を高めている。ccNUMAアーキテクチャは、SGI Altix 3700<sup>1)</sup>、Sun Fire 15K<sup>2)</sup>、HP Integrity Superdome<sup>3)</sup>、HP AlphaServer GS1280<sup>4)</sup>などで採用されている。ccNUMAでは、ビルディングブロック内のメモリアクセス(ローカルメモリアクセス)については高い性能を実現できる反面、リモートメモリアクセスではディレクトリ参照に伴う高いオーバーヘッドが生じるという問題がある。

これに対し、IBM eServer pSeries 690<sup>5)</sup>(以下、p690)で

は、主記憶共有ノード内の全CPUが複数本のバスでアクセス要求をスヌープすることにより、キャッシュコヒーレンスを解決する。また、富士通 PRIMEPOWER 2000<sup>6)</sup>や NEC TX7/i9510<sup>7)</sup>では、キャッシュタグのコピーを作成し、それを用いてスヌープ処理をおこなう。これらの方式ではメモリアクセスの均一性が高まるが、ノード内のCPU数が多くなると、各CPUにより発行されるノード内のスヌープ要求が多くなり、スヌープ要求同士の競合(スヌープ競合)がノード全体の性能に影響をあたえる。特にHPC分野のアプリケーションでは、プログラムの扱うデータサイズが大きいためキャッシュミスが頻発し、スヌープ要求の発行頻度が高まることから、スヌープ競合が性能のボトルネックとなる。

SR11000モデルH1は、搭載CPUとしてp690と同様POWER4+プロセッサを採用するが、主記憶共有ノードを16CPU構成としている。これにより、スヌープ方式のキャッシュコヒーレンス制御で均一なメモリアクセスを可能としながら、上記スヌープ競合による性能低下を抑えている。

本稿では、SR11000モデルH1の主記憶共有ノードの構成を決定するにあたり検討した、POWER4+におけるスヌープ競合の影響について述べる。以下、2章では、SR11000モデルH1の主記憶共有ノードについて、デザインコンセプトと構成決定上の課題について述べる。続く3章で、ノード構成の決定要因となったPOWER4+のスヌープ競合の影響を評価する。4章では、NAS Parallel Benchmarkを用いて、SR11000モデルH1ノード実機のス

ケーラビリティを確認する。

## 2 SR11000 モデル H1 ノード構成決定上の課題

### 2.1 ノードデザインコンセプト

SR11000 モデル H1 は、SR8000 シリーズの後継機種と位置付けている。SR8000 シリーズは 8CPU ノードを構成単位とし、コンパイラによるノード内自動並列化をサポートする<sup>8)</sup>。SR11000 モデル H1 もノード内自動並列化をサポートしており、ユーザはアルゴリズムレベルからプログラムを並列化することなしに、ノード内の複数 CPU を用いた並列処理による高い性能を享受できる。

SR11000 モデル H1 のノードは、このノード内自動並列化の強化を主眼に置き、以下のコンセプトに基づいてデザインをおこなった。

#### (A) 高いノード性能

ハイエンドテクニカルサーバのノード性能は、CPU 周波数の向上およびノード内 CPU 数の増大により、年率 60% 程度の割合で向上している。1998 年の SR8000 が 1 ノード 8GFLOPS であったことから、2003 年の SR11000 モデル H1 では 1 ノード 100GFLOPS を目標とする。

#### (B) 柔軟なノード使用形態

各 CPU を自由に組み合わせてプログラムを実行できる柔軟性を実現する。例えば、ノード全体で自動並列化されたプログラム 1 本を実行する形態や、8CPU 用に自動並列化されたプログラムを複数同時実行する形態を可能にする。これにより、プログラムの持つ並列性に応じて、容易に高いノード性能を引き出すことが可能となる。前者の実行形態で高性能を実現するために、各 CPU からのアクセスに対してレイテンシやスループットの均一性の高いメモリシステムを用意する。

#### (C) CPU 数に対する高いスケーラビリティ

SR11000 モデル H1 は、単体ノードの高性能化だけでなく、複数ノードからなるシステムのトータル性能を最大化する設計とする。システム内の全 CPU 数を一定とする時、各 CPU の性能効率が低いと、システムのトータル性能の面で不利となる。そのため、各ノードが CPU 数に対する高い性能スケーラビリティを発揮する構成とする。

### 2.2 ノード構成決定上の課題

SR11000 モデル H1 では、高性能 RISC プロセッサである POWER4+ を採用した。2CPU コアを持つ POWER4+ チップ 4 個を 1 モジュール (Multi-Chip Module, MCM) 上に実装することで 8CPU ノードを構成、さらにこの MCM を 2~4 個相互接続することで、16~32CPU のノードを構成することができる (図 1)。

POWER4+ は 1.7GHz で動作し、1 ノードの浮動小数点

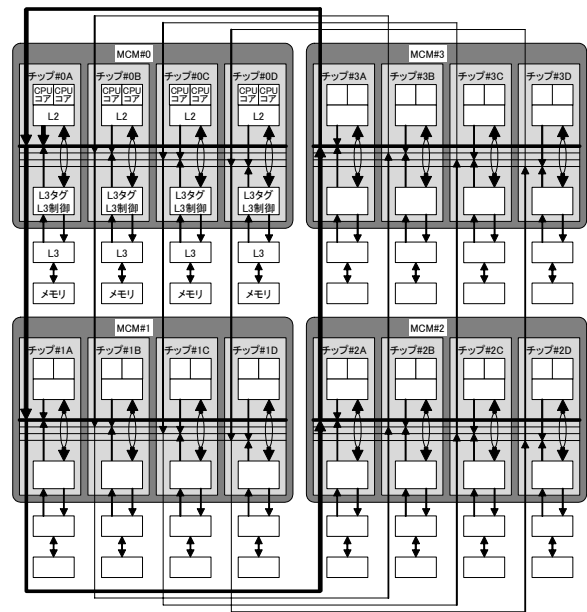


図1 POWER4+による 32CPU ノードの論理構成

演算性能は 1MCM/8CPU 構成で 54.4GFLOPS, 2MCM/16CPU 構成で 108.8GFLOPS, 3MCM/24CPU 構成で 163.2GFLOPS, 4MCM/32CPU 構成で 217.6GFLOPS となる。1 ノード 100GFLOPS という目標は、2MCM/16CPU 以上の構成で達成される。

POWER4+ の採用は、柔軟なノード使用形態を実現する上でも有利である。POWER4+ で構成されるノードはメモリアクセスの均一性が高いため (3.1 節)、ノード全体で自動並列化されたプログラム 1 本を実行する形態との親和性が高い。また、8CPU 用に自動並列化されたプログラムを複数同時実行する形態に対しては、各プログラムをそれぞれ 1MCM のハードウェア資源のみ利用して実行することで、プログラム間の資源競合を最小限に抑えることができる。

このように、POWER4+ を採用したことで、2MCM/16CPU 以上の構成で 1 ノード 100GFLOPS の高性能を実現するとともに (コンセプト(A)), 柔軟なノード使用形態にも対応することができる (コンセプト(B))。ここで、SR11000 モデル H1 のノード構成を決定するにあたり、CPU 数に対する高い性能スケーラビリティを実現できるかどうか問題となる (コンセプト(C))。

SR11000 モデル H1 のターゲットとする HPC 分野では、プログラムの扱うデータサイズが大きく、スヌープ要求の発行頻度が高い。よって、CPU 数に対する性能スケーラビリティを考える時、スヌープ競合の影響を抑えることが課題となる。そこで、スヌープ競合の影響評価を通じて、SR11000 モデル H1 の 1 ノード搭載 CPU 数を決定することとした。別途おこなった評価で、キャッシュ容量半減により平均

表1 IBM eServer pSeries 690 Turbo (1.3GHz)のSPECfp\_rate2000 性能

Benchmark	使用メモリ量 <sup>10)</sup>		Base			Peak		
			実行時間		16→32CPUの 1コピーあたり 性能低下率	実行時間		16→32CPUの 1コピーあたり 性能低下率
	max rsz	max vsz	16CPU機 16コピー	32CPU機 32コピー		16CPU機 16コピー	32CPU機 32コピー	
168.wupwise	176.0MB	177.0MB	144秒	170秒	-15%	145秒	169秒	-14%
171.swim	191.0MB	192.0MB	411秒	509秒	-19%	360秒	442秒	-19%
172.mgrid	56.0MB	56.7MB	281秒	315秒	-11%	254秒	295秒	-14%
173.applu	181.0MB	191.0MB	316秒	365秒	-13%	297秒	347秒	-14%
178.galgel	63.0MB	155.0MB	207秒	237秒	-13%	190秒	223秒	-15%
187.facerec	16.0MB	18.5MB	175秒	185秒	- 5%	169秒	185秒	- 9%
189.lucas	142.0MB	143.0MB	233秒	276秒	-16%	230秒	274秒	-16%
191.fma3d	103.0MB	105.0MB	294秒	324秒	- 9%	281秒	307秒	- 8%
200.sixtrack	26.0MB	59.8MB	228秒	234秒	- 3%	228秒	234秒	- 3%
301.apsi	191.0MB	192.0MB	355秒	375秒	- 5%	355秒	375秒	- 5%
幾何平均			253秒	284秒	-11%	241秒	273秒	-12%

13%、メモリインタフェース半減により平均 17%の性能低下が観測されたことから、スヌープ競合の影響がこれらを下回る 10%以下となることを、CPU 数決定の目安とする。

### 3 POWER4+におけるスヌープ競合の影響評価

#### 3.1 スヌープ競合

SR11000 モデル H1 の 1 ノード搭載 CPU 数を決定するためのスヌープ競合の影響評価に先立ち、本節では、POWER4+プロセッサによる SMP ノードの構成と、その構成に起因するスヌープ競合について述べる。なお、POWER4+の SMP ノード構成は POWER4 と同様であり、文献5)に詳しい。

POWER4+チップには、2 個の CPU コアと共有 L2 キャッシュ、L3 キャッシュのタグおよび制御回路に加え、複数 POWER4+チップの接続により SMP ノードを構成するための回路が集積されている。これにより、SMP 制御用の外部チップを付加することなく、4 個の POWER4+チップを MCM 上に実装することで 8CPU の SMP を構成、さらにこの MCM を 2~4 個相互接続することで、16~32CPU の SMP を構成することができる。複数 MCM 構成のメモリアクセスレイテンシは、最悪の場合でも、自 MCM のメモリをアクセスする最善の場合と比べて 10%強長くなるに過ぎず、均一性の高いメモリアクセスを実現している。

POWER4+を使った 32CPU ノードの論理構成を図 1 に示す。MCM 内の 4 個の POWER4+チップは、4 本の論理バスを介して接続される。MCM 間接続は MCM 内バスのリピータとして動作し、アクセス要求とその応答をリングトポロジに沿って転送する。つまり、POWER4+のノードは、論理的には 4 本のバスにより構成される。POWER4+の各チップは、L2 キャッシュミス発生時に、4 本の論理バスの 1 本を介してアクセス要求(スヌープ要求)を発行する。そして、全

チップが 4 本の論理バスすべてをスヌープすることで、L2 /L3 /メモリ間の調停をおこなう。

例えば図 1 のチップ#0A で L2 キャッシュミスが発生した場合には、図の太線で示した論理バスを使ってスヌープ要求をブロードキャストし、全チップがこれをスヌープする。ここで、太線で示した論理バスは、チップ#0A /チップ#1A /チップ#2A /チップ#3A の 4 チップが、自身のスヌープ要求を発行する際に使用する。このことから、この 4 チップが発行するスヌープ要求間で競合が発生することになる。本稿では、これを POWER4+のスヌープ競合と呼ぶ。

スヌープ競合は、1MCM /8CPU 構成では発生しないが、1 本の論理バスを使用する POWER4+チップが多いほど顕著になり、CPU 数に対する性能スケーラビリティの障害要因となる。なお、POWER4 プロセッサを使った SMP ノードでも、POWER4+と同様のスヌープ競合が発生する。

#### 3.2 SPECfp\_rate2000 に見るスヌープ競合の影響

スヌープ競合の影響は、SPECfp\_rate2000<sup>9)</sup>の結果にも現れている。1.3GHz で動作する POWER4 を搭載した p690 Turbo の SPECfp\_rate2000 公表値のうち、16CPU 機と 32CPU 機で同条件(コンパイラバージョン、コンパイルオプション)で測定した Fortran プログラム 10 本の base 実行時間および peak 実行時間を、表 1 にまとめた。どのベンチマークプログラムでも、16CPU 機で 16 コピーのプログラムを実行した場合と比べ、32CPU 機で 32 コピーを実行した場合の実行時間が base/peak とともに延びており、1 コピーあたりの性能低下は 3%~19%となっている\*。

SPECfp\_rate2000 の結果は、いずれも AIX 5L の Memory Affinity 機能<sup>11)</sup>を有効にした測定であることから、各 MCM が自 MCM 下のハードウェア資源のみを使って 8

\* SPECfp\_rate2000 はジョブスループットを評価するベンチマークであり、その観点では 61%~95%の性能向上となっている。

コピーを実行している。この時、MCM 間でデータ転送は発生せず、性能に影響をあたえない。

これに対し、表中に併記した使用メモリ量<sup>10)</sup>はいずれのプログラムとも L2 サイズ (POWER4 では 1.44MB/2CPU) を上回っていることから、各 CPU がスヌープ要求を発行している。よって、16CPU 機→32CPU 機における 1 コピーあたりの性能低下は、スヌープ競合によるものと考えられる。性能低下の特に大きい 171.swim は、L3/メモリアクセスが多いプログラムであり、スヌープ競合の影響が大きく出ている。

### 3.3 評価環境および評価方法

SR11000 モデル H1 がターゲットとする HPC 分野のアプリケーションは、3.2 節に示した SPECfp\_rate2000 よりも問題規模が大きく、L2 キャッシュミスの頻発が避けられないことから、スヌープ競合の影響が深刻になる。SR11000 モデル H1 の 1 ノード搭載 CPU 数を決定することを目的として、HPC 分野の代表的なアプリケーションにおけるスヌープ競合の影響を評価した。

評価は、1.3GHz で動作する POWER4 の 4MCM/32CPU ノードを用い、1MCM/8CPU で並列実行される評価プログラムを、複数 MCM で同時実行することでおこなった。本評価の結果は、例えばプログラムを MPI 並列化し、複数のランクを 1 ノードで実行した場合の性能の指標となる。

評価の測定パターンを、表 2 にまとめる。表中の“Run”とは、評価プログラムを 1MCM/8CPU で並列実行することを表す。なお、いずれのパターンでも Memory Affinity 機能を有効にしておき、MCM 間のデータ転送は発生しない。図 2 に、3MCM で評価プログラムを実行する測定パターン(3)の状況を模式的に示す。

評価プログラムとしては、気象計算 2 種/2 本、CFD 計算 1 種/2 本 (問題サイズを変化)、QCD 計算 1 種/2 本 (問題サイズを変化) の、合計 4 種/6 本を用意した。これらのプログラムについて、表 3 にまとめる。

SR11000 モデル H1 の 1 ノード搭載 CPU 数の決定では、スヌープ競合による性能低下の平均値が、2.2 節で述べた

表2 スヌープ競合の測定パターン

	MCM#0	MCM#1	MCM#2	MCM#3
(1)	Run	-	-	-
(2)	Run	Run	-	-
(3)	Run	Run	Run	-
(4)	Run	Run	Run	Run

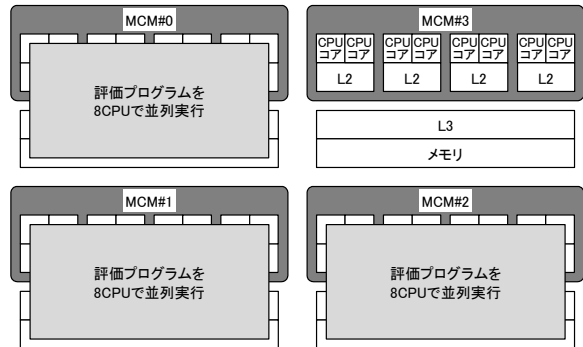


図2 3MCM で評価プログラムを実行

表3 スヌープ競合の評価プログラム

プログラム	内容	使用メモリ量
(a) 気象 1	気象計算 (大気大循環モデル)	370MB
(b) 気象 2	気象計算 (メソスケールモデル)	2103MB
(c) CFD (大)	圧縮性流体解析 (構造格子計算)	691MB
(d) CFD (小)		197MB
(e) QCD (大)	量子色力学計算	273MB
(f) QCD (小)		48MB

10%以下となることを目安とする。

### 3.4 結果と考察

上記評価の測定結果を、表 4 に示す。表中の数字は測定パターン(1)を 1 とした相対実行時間であり、括弧内は測定パターン(1)からの性能低下率である。

いずれのプログラムとも使用メモリ量 (表 3) が 1MCM/8CPU の L2 キャッシュ容量 (1.44MB × 4 チップ = 5.76MB) を上回っていることから、測定パターン(2)~(4)では、各 MCM で実行される評価プログラムがお互いにスヌープ競合の影響を受けている。評価プログラムを 2MCM で実行する測定パターン(2)では、スヌープ競合による性能低下

表4 スヌープ競合の影響測定結果

測定パターン	(1)	(2)	(3)	(4)
Run	1MCM	2MCM	3MCM	4MCM
(a) 気象 1	1	1.06 (-6%)	1.15 (-13%)	1.19 (-16%)
(b) 気象 2	1	1.08 (-8%)	1.17 (-15%)	1.26 (-20%)
(c) CFD (大)	1	1.25 (-20%)	1.55 (-36%)	1.84 (-46%)
(d) CFD (小)	1	1.11 (-10%)	1.26 (-21%)	1.40 (-29%)
(e) QCD (大)	1	1.10 (-9%)	1.29 (-22%)	1.43 (-30%)
(f) QCD (小)	1	1.05 (-5%)	1.13 (-11%)	1.19 (-16%)
幾何平均	1	1.11 (-10%)	1.25 (-20%)	1.37 (-27%)

表中の数字は測定パターン(1)を 1 とした相対実行時間、括弧内は測定パターン(1)からの性能低下率

は 6%~20%(平均 10%)である。評価プログラムを実行する MCM が増えるのに従ってスヌープ要求が増加し、評価プログラムを 3MCM で実行する測定パターン(3)では 11%~36%(平均 20%)の性能低下, 4MCM で実行する測定パターン(4)では 16%~46%(平均 27%)の性能低下と、スヌープ競合の影響が大きくなっている。

図 3 は、評価結果をジョブスループット性能としてまとめたグラフであり、評価プログラムを 1MCM のみで実行する測定パターン(1)のジョブスループットを 1 としている。2MCM で評価プログラムを実行する場合、1MCM で実行する場合に比べて平均 1.80 倍のジョブスループットを確保できる(理想 2 倍)。しかし、3MCM 実行では 2.40 倍(理想 3 倍)、4MCM 実行では 2.92 倍(理想 4 倍)にとどまり、CPU 数に対する性能スケーラビリティが悪化する。

SR11000 モデル H1 の 1 ノード搭載 CPU 数の決定にあたっては、スヌープ競合による性能低下が平均 10%以下となることを目安とした。この条件を満たし、かつ、1 ノード 100GFLOPS を実現する構成として、SR11000 モデル H1 のノードは、図 4に示す 2MCM/16CPU 構成に決定した。

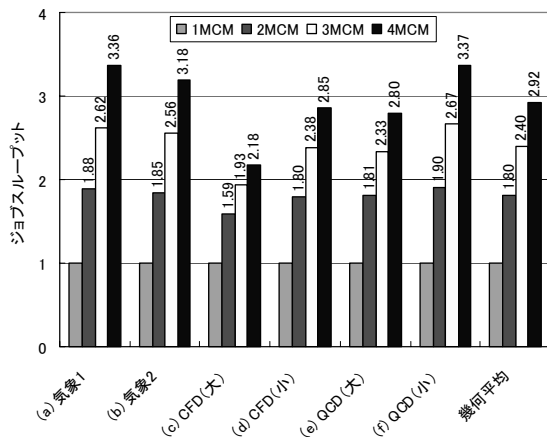


図3 測定結果のジョブスループット

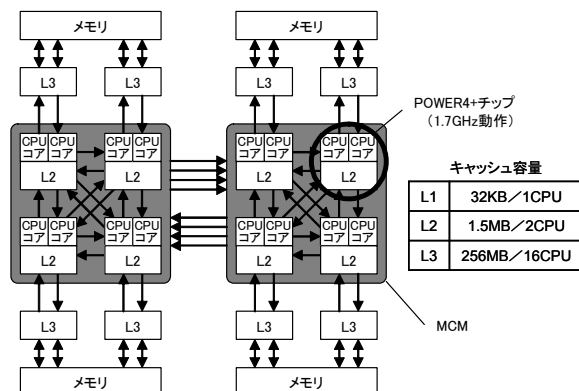


図4 SR11000 モデル H1 のノード構成

## 4 SR11000 モデル H1 ノードのスケーラビリティ

### 4.1 評価環境および評価方法

最後に、3章で決定した SR11000 モデル H1 ノードのスケーラビリティを、NAS Parallel Benchmarks<sup>12)</sup> (NPB) 3.0 を用いて評価する。

評価プログラムとしては、CG と MG の 2 本について、それぞれ Class B と Class C の 2 種類の問題サイズを使用した。プログラムの並列化は、NPB 3.0 の逐次版コード(指示文追加なし)に対し、日立最適化 FORTRAN90 の自動並列化を適用することでおこなった。評価プログラムについて、表 5 にまとめる。

これらのプログラムを、SR11000 モデル H1 の 1 ノードを使った以下の 3 形態で実行した。

#### (1) 8 並列×1 実行

1MCM/8CPU を用いて、8 並列実行する。

#### (2) 8 並列×2 実行

1MCM/8CPU を用いた 8 並列実行を、2MCM それぞれでおこなう。

#### (3) 16 並列×1 実行

2MCM/16CPU を用いて、16 並列実行する。

### 4.2 結果と考察

測定結果を図 5 に示す。グラフの縦軸は、8 並列×1 実行の性能を 1 とした相対性能である。8 並列×2 実行については、各 MCM における性能を合わせたジョブスループットで示した。

8 並列×2 実行では、スヌープ競合による各 MCM の性能低下は 5%未満となっている。ノード全体でのジョブスループットは 8 並列×1 実行の 1.9 倍以上であり、高いスケ

表5 スケーラビリティ評価プログラム

プログラム	使用メモリ量	並列化方法
CG	Class B	432MB
	Class C	1107MB
MG	Class B	437MB
	Class C	3414MB

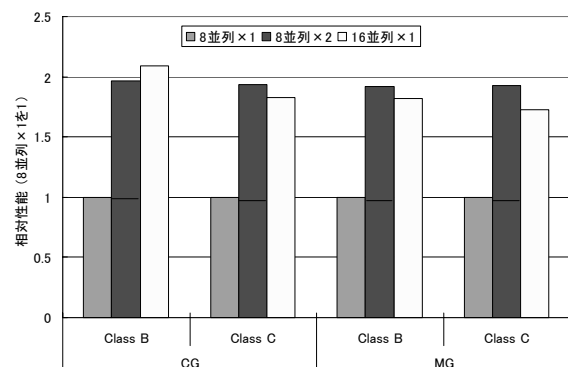


図5 スケーラビリティ評価結果

ーラビリティを確認できた。

16 並列×1 実行では、スヌープ競合だけでなく、MCM 間のデータ転送も頻発しており、これに起因する性能低下も懸念される。しかしいずれのプログラムでも 8 並列×1 実行の 1.7 倍以上という高い性能を実現しており、SR11000 モデル H1 がコンパイラにより自動並列化したプログラムで高いスケーラビリティを発揮することを確認できた。

## 5 関連研究

文献13)および文献14)では、p690 32CPU 機を用い、プログラムを実行する CPU の組み合わせを変えた場合の性能の変化を評価している。例えば文献14)では、LPAR 機能を用いて 1 ノードを 8CPU ずつに 4 分割した上、1 個の LPAR ノードだけ用いてプログラムを実行する場合と比べ、複数の LPAR ノードを用いた場合の性能が低下する現象について言及している。この性能低下の原因については触れられていないが、本稿で述べたスヌープ競合によるものと考えられる。

## 6 まとめと今後の課題

本稿では、SR11000 モデル H1 の 1 ノード搭載 CPU 数を決定するにあたり評価した、POWER4+におけるスヌープ競合の影響について述べた。スヌープ競合の発生しない 8CPU 構成と比べ、24CPU 構成/32CPU 構成ではアプリケーション実行時にそれぞれ平均 20%/27%の性能低下を起こすのに対し、16CPU 構成の性能低下は平均 10%にとどまる。この結果から、SR11000 モデル H1 のノードは 16CPU 構成と決定した。NAS Parallel Benchmarks を用いた評価でも、SR11000 モデル H1 のノードが、CPU 数に対する高いスケーラビリティを発揮することを確認した。

今後の課題としては、より広範なアプリケーションについて、SR11000 モデル H1 ノードのスケーラビリティを評価することが挙げられる。

## 参考文献

- 1) Michael Woodacre, Derek Robb, Dean Roe and Karl Feind: “The SGI Altix 3000 Global Shared-Memory Architecture”, SGI White Paper (2003), [http://www.sgi.com/servers/altix/whitepapers/downloads/altix\\_shared\\_memory.pdf](http://www.sgi.com/servers/altix/whitepapers/downloads/altix_shared_memory.pdf)
- 2) Alan Charlesworth: “The Sun Fireplane System Interconnect”, Proceedings of the 2001 ACM/IEEE Conference on Supercomputing (2001), <http://www.sc2001.org/papers/pap.pap150.pdf>
- 3) “Meet the HP Integrity Superdome servers”, HP White Paper, 5981-7173EN (2003), [http://www.hp.com/products1/servers/integrity/superdome\\_high\\_end/infolibrary/integrity\\_superdome\\_tech\\_wp.pdf](http://www.hp.com/products1/servers/integrity/superdome_high_end/infolibrary/integrity_superdome_tech_wp.pdf)
- 4) Kevin Krewell: “Alpha EV7 Processor: A High-Performance Tradition Continues”, In-Stat/MDR, Compaq Whitepaper (2002), [http://h18010.www1.hp.com/alphaserver/download/Compaq\\_EV7\\_Wp.pdf](http://h18010.www1.hp.com/alphaserver/download/Compaq_EV7_Wp.pdf)
- 5) J. M. Tendler, J. S. Dodson, J. S. Fields, Jr., H. Le and B. Sinharoy: “POWER4 system microarchitecture”, IBM Journal of Research and Development, Vol. 46, No. 1, pp. 5-25 (2002), <http://www.research.ibm.com/journal/rd/461/tendler.pdf>
- 6) 清水俊幸, 渡部徹, 小林健一, 石畑宏明: “Kaiser: 大規模 true-SMP の構成”, 並列処理シンポジウム JSPP2000, pp. 11-18 (2000).
- 7) 上原出之, 木村真行, 大野正志郎, 近藤秀俊, 那須康之, 角屋雅彦: “Itanium2 32way サーバ本体系ハードウェア”, NEC 技法, Vol. 56, No. 1, pp. 16-20 (2003).
- 8) Yoshiko Tamaki, Naonobu Sukegawa, Masanao Ito, Yoshikazu Tanaka, Masakazu Fukagawa, Tsutomu Sumimoto and Nobuhiro Ioki: “Node Architecture and Performance Evaluation of the Hitachi Super Technical Server SR8000”, Proceedings of 12th International Conference on Parallel and Distributed Computing Systems, pp. 487-493 (1999).
- 9) SPEC CPU2000, <http://www.spec.org/cpu2000/>
- 10) SPEC CPU2000 Memory Footprint, <http://www.spec.org/osg/cpu2000/analysis/memory/>
- 11) Michael Mall: “AIX Support For Memory Affinity”, [http://www.ibm.com/servers/aix/whitepapers/memory\\_affinity.pdf](http://www.ibm.com/servers/aix/whitepapers/memory_affinity.pdf)
- 12) NAS Parallel Benchmarks, <http://www.nas.nasa.gov/Software/NPB/>
- 13) P. H. Worley, T. H. Dunigan, Jr., M. R. Fahey, J. B. White III and A. S. Bland: “Early Evaluation of the IBM p690”, Proceedings of the ACM/IEEE Conference on High Performance Networking and Computing (2002), <http://www.sc-2002.org/paperpdfs/pap.pap196.pdf>
- 14) Computer Science and Mathematics Division, Oak Ridge National Laboratory: “IBM p690 Configuration Experiments”, <http://www.csm.ornl.gov/evaluation/CHEETAH/ConfigTest.html>
- 15) 中村友洋, 高山恒一, 青木秀貴, 松居昭宏, 助川直伸: “SR11000 モデル H1 におけるバリア同期の高速化手法”, 情処研報, ARC-155-7 (2003).
- 16) 松居昭宏, 助川直伸, 高山恒一, 青木秀貴, 中村友洋: “SR11000 モデル H1 における高精度性能分析手法”, 情処研報, ARC-155-9 (2003).