

# 大規模パイプラインステージ統合 - CPU 内部からチップセットまで -

嶋田 創<sup>†</sup> 森 眞一郎<sup>†</sup>  
中島 康彦<sup>††</sup> 富田 眞治<sup>†</sup>

プロセス技術が進歩するにつれて、一定の面積のシリコン上に実装できるトランジスタの数は増加する。現在では、この増加したトランジスタを、キャッシュ容量の増加や同一のプロセッサコアを複数載せることに用いている。しかし、いずれは、現在のコンパニオン・チップセットの機能をプロセッサと同一のダイ上に実装するためにも用いられると考えられる。  
将来ではこのようなコンパニオン・チップセットの機能がプロセッサと同一のダイ上に乗るという仮定のもとに、大規模パイプラインステージ統合を提案する。大規模パイプラインステージ統合は、コンパニオン・チップセット内の専用回路を用いた命令セットの拡張と、負荷に応じたコンパニオン・チップセット内の専用回路のパイプラインに対するパイプラインステージ統合の適用からなる。

## Large Scale Pipeline Stage Unification: Inner CPU to Chipset

HAJIME SHIMADA,<sup>†</sup> SHIN-ICHIRO MORI,<sup>†</sup> YASUHIKO NAKASHIMA<sup>††</sup>  
and SHINJI TOMITA<sup>†</sup>

In proportion to the process technology advancements, the number of transistors in fixed area increases. Currently, these transistors are used to increase cache size or implement multi processor core. But in the future, we think that these transistors will be used to implement function of companion chipset in the processor die.

We propose Large Scale Pipeline Stage Unification which is based on previous assumption. Large Scale Pipeline Stage Unification extends instruction set by using special circuit in the companion chipset, and applies pipeline stage unification to the special circuits in the companion chipset.

### 1. はじめに

プロセス技術が進歩するにつれて、最小加工寸法の微細化や利用できる配線層数が増加し、一定の面積のシリコン上に実装できるトランジスタの数は増加する。現在では、この増加したトランジスタを、キャッシュ容量の増加や同一のプロセッサコアを複数載せることに用いている。ところで、配線遅延の増加は、プロセッサ内部のみに限らず、プロセッサを実装するボードの方でも問題となっている。これにより、下位の記憶階層であるメイン・メモリや磁気ディスクへのアクセスの相対的な時間は、プロセッサのさらなる高速化にも伴い、増加する傾向にある。この問題を解消するため、プロセス技術の進歩について余裕ができるトランジスタを利用し、プロセッサのダイ上に、現在の大部分のプロセッサではプロセッサのダイとは別のチップとして実装している下位の記憶階層へのインタフェースを搭載する方法が考えられる。このようなアプローチに近い現在の商用プロセッサとしては、メイン・メモリ・インタフェースをプロセッサのダイに統合した AMD Athlon 64

がある。

本論文では、将来のプロセッサでは、プロセッサのダイ上に、現在ではコンパニオン・チップセット (以下、チップセット) に搭載されている機能が統合されるという仮定を前提とした提案を行う。この統合される機能は、上記の下位の記憶階層のインタフェースのみならず、ネットワーク・インタフェースやオーディオ・インタフェース等も含むとする。提案は2つかならる。1つ目の提案は、チップセット内の専用回路を用いた、プロセッサの命令セットの拡張である。現在のチップセット内には、セキュリティ対策や高速な I/O 処理のため、様々な専用回路が存在する。これらの専用回路を利用するための命令セットをプロセッサに追加し、特定の処理の高速化を可能とする。2つ目の提案は、チップセット内の専用回路に対するパイプラインステージ統合<sup>1)~3)</sup>の適用である。近年では、上記のようなチップセット内の専用回路も高速動作が必要となり、パイプライン化されているものも多い。このような専用回路でもプロセッサと同様に、常に 100%のスループットを必要されていないことがあると考えられる。このような場合に消費電力を削減するため、パイプラインステージを適用する。当然ながら、この専用回路に対するパイプラインステージ統合の適用は、1つ目の提案である、プロセッサから専用回路を用いる場合に対しても行う。

<sup>†</sup> 京都大学大学院情報学研究所  
Graduate School of Informatics, Kyoto University  
<sup>††</sup> 京都大学大学院経済学研究科/JST  
Graduate School of Economics, Kyoto University / JST

## 2. パイプラインステージ統合

パイプラインステージ統合は、プロセッサの負荷が低い時、クロック周波数を低下させるとともに、複数のパイプラインステージを統合することによって消費電力を削減する手法である<sup>1)~3)</sup>。これは、現在のプロセッサが採用しているダイナミック・ボルテージ・スケーリングと同様に、プロセッサの負荷が低い時に、プロセッサの動作速度を低下させることを許容することによって、消費電力を削減する。パイプラインステージ統合ではダイナミック・ボルテージ・スケーリングと同様に、プロセッサの消費電力を削減するためにクロック周波数を低下させるが、ダイナミック・ボルテージ・スケーリングと異なり、電源電圧を低下させるのではなく、一部のパイプラインレジスタをバイパスさせることによって、複数のパイプラインステージを統合する。クロックドライバの消費電力削減や、投機によるペナルティ削減のための IPC(Instructions Per Cycle) 向上により、プロセッサの消費電力が削減される。

## 3. 大規模パイプラインステージ統合

現在のパーソナル・コンピュータやワークステーションのマザーボードには、プロセッサのチップの他に、ディスプレイへの出力に関する処理を行うグラフィック・プロセッサのチップ、外部記憶装置用のコントローラやネットワーク・コントローラ等を備えたチップセットが存在する。これらのチップセット中に存在する回路も、プロセッサの高速化に伴って高速な動作を要求され、年々高機能化して来ている。特に、グラフィック・プロセッサはプロセッサよりも早いペースで高速化および高機能化されてきており、グラフィック・プロセッサを用いて、様々な処理を高速化することは多々行われている。

現在の構成では、これらのプロセッサ以外の構成要素はプロセッサとは別のダイ上に実装されている。しかし、配線遅延の増加は、プロセッサの内部のみに限らず、プロセッサを実装するボードの方でも問題となっており、プロセッサの高速化もあり、プロセッサからチップセットへの相対的な通信時間は、増加する傾向にある。この解消のために、プロセッサのダイ中にチップセットの機能を統合することが考えられる。このような実装は、半導体製造プロセスの進歩とともにシリコンは余る傾向にあるため、将来的には十分にありうると考えられる。このように、チップセットをプロセッサと同じダイ上に実装するにあたり、問題になりうる点として、入出力用のピン数が足りなくなるという問題が考えられる。しかし、USB インタフェースの普及やシリアル ATA インタフェースの普及開始など、インタフェースの転送速度の上昇に伴ってインタフェースのシリアル化が進んでいるため、将来は問題は解消されると考えられる。

このように、将来的にはチップセットの機能がプロセッサと同じダイに実装された時代のアーキテクチャとして、大規模パイプラインステージ統合を提案する。大規模パイプラインステージ統合は、チップセット内の専用回路を用いた命令セットの拡張と、負荷に応じたチップセット内の

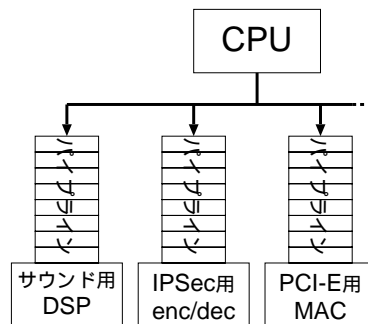


図 1 大規模パイプラインステージ統合

専用回路のパイプラインに対するパイプラインステージ統合からなる。

### 3.1 チップセットに存在する回路の利用

大規模パイプラインステージ統合における 1 つ目の提案は、チップセット内の専用回路を用いた命令セットの拡張である。これは、ステージ間のパイプラインレジスタを停止させる従来のパイプラインステージ統合とは異なり、チップセット内の専用回路のパイプラインをプロセッサに取り込むという意味でこの言葉を用いている。

現在のチップセット内には、セキュリティ対策や高速な I/O 処理のため、様々な専用回路が存在する。これらの専用回路を利用するための命令セットをプロセッサに追加し、特定の処理の高速化を可能とする。従来の構成ではプロセッサからチップセットの間の通信はバスを通して行っているが、これでは専用回路を利用する命令の実行レイテンシが定まらず、命令スケジューリング等で不利になる。よって、新たにプロセッサから専用回路へのパイプラインを準備する。

チップセットに存在する回路とその利用例については、以下の以下のようなものが考えられる。

- ネットワーク・コントローラにおける、IPSec 用の暗号化 / 復号化回路  
著作権管理のために、デジタルコンテンツに暗号化を施すことは一般的によく行われている。このようなファイルを再生および作成する際に、ネットワーク・コントローラ内に存在する IPSec 用の暗号化 / 復号化回路を用いて、処理を高速化させることができると考えられる。
- サウンド・コントローラにおける DSP  
実際に音声出力しなくても、ファイルの形式の変換のために、音声ファイルの復号化 / 符号化を行うことはしばしばある。このような処理を行う際に、サウンド・コントローラ内に存在する DSP を用いて、処理を高速化させることができると考えられる。  
また、実際に実用例は思いつかなかったが、ひょっとすると、何らかの特殊な用途があるかもしれない回路として、以下のものがある。
  - 8b/10b 符号化 / 復号化回路
  - エラー訂正符号の付加回路およびエラーチェック回路上記の回路は主にインタフェース回路で用いられている。現在のインタフェース回路の高速化に伴い、上記の回路の

データ処理速度はプロセッサ内部の演算器の処理速度に匹敵するものがあるため、上記の符号化 / 複合化を必要とするアプリケーションが存在すれば、それにつかわせる意義はあると考えられる。

他にも、PCI-Express の MAC 層は、回路が大規模なために実装コストがかかり、規格発表後もなかなか普及が進まなくなるほどのものであった。このような高性能なインタフェースの論理層にも、特殊な用途に使える回路が存在すると考えられる。

### 3.2 チップセットの回路のパイプライン化

大規模パイプラインステージ統合における 2 つ目の提案は、チップセット内の専用回路に対するパイプラインステージ統合の適用である。近年では、チップセット内の専用回路も高速動作が必要となり、パイプライン化されているものも多い。しかし、このような専用回路でもプロセッサと同様に、常に 100% のスループットを必要されていないことがあると考えられる。このような場合に消費電力を削減するため、パイプラインステージ統合を適用する。なお、当然ながら、この専用回路に対するパイプラインステージ統合の適用は、1 つ目の提案である、プロセッサから専用回路を用いる場合に対しても行う。

ただし、インタフェース回路など、外部ブロックとの通信を行う回路の場合は、外部からの高速な信号に対応するために、常に高速に動作させなくてはならないという問題がある。このような回路では、回路を入出力を行う部分とデータ処理を行う部分に分けてその間にバッファを設けることにより、データ処理を行う部分に対してパイプラインステージ統合を適用可能にする。この場合、データ処理を行う部分に対するパイプラインステージ統合は、バッファ内のデータの量を基に行うことになる。具体的には、入力バッファ内に待機中のデータ量が閾値を超えることにパイプラインステージ統合を解除して高速動作を行うようにし、入力バッファ内のデータ量が閾値を切った場合にパイプラインステージ統合を進めるようにする。

ここで、バッファ内のデータ量の増減に対し、素早くパイプラインステージを統合できるかどうかという点が問題となる。もっとも容易かつ確実なパイプラインステージ統合の適用 / 解除方法は、現在パイプライン内に存在するデータの処理が全て完了した後に統合の適用 / 解除を行うものである。この方法による統合の適用 / 解除にかかる時間の最大は、パイプラインの段数とクロックサイクル時間の積となる。なお、処理するべきデータの急増という状況が考えられるため、統合の解除については高速に行う必要があると考えられる。この場合、統合の解除後に動作を開始するパイプラインレジスタに NOP を保持させ、パイプライン間の諸利の依存関係を適切に変更する制御回路を追加することにより、1 クロックサイクルで統合を解除することが可能である。このように、パイプラインステージ統合は高速に状態を変更できる。よって、電源電圧を変更するため、変更後の電圧の安定を待つ必要が有る、現在主流の消費電力削減手法であるダイナミック・ボルテージ・スケールリングよりも有利であると言える。

このような、チップセット内の専用回路に対するパイプ

ラインステージ統合の適用により、チップセットの消費電力が可能となる。さらに、1 つ目の提案である専用回路を用いた処理と合わせることで、プロセッサコア内部の回路のみ用いた場合よりも低い消費電力で、特定の処理を行うことができると考えられる。これは、プロセッサと同じダイにチップセットの機能を実装することによる発熱の集中の問題の緩和についても有効だと考える。

## 4. ま と め

プロセス技術が進歩するにつれて、一定の面積のシリコン上に実装できるトランジスタの数は増加する。現在では、この増加したトランジスタを、キャッシュ容量の増加や同一のプロセッサコアを複数載せることに用いている。しかし、相対的な下位の記憶階層へのアクセス時間の増加などから、いずれは、現在のチップセットもプロセッサと同一のシリコン上に実装されると考えられる。

将来ではこのような構成を取るプロセッサが増加するという前提に基づき、大規模パイプラインステージ統合を提案した。大規模パイプラインステージ統合では、チップセット内の専用回路を用いた命令セットの拡張と、高速動作のためにパイプライン化されているチップセット内の専用回路に対してのパイプラインステージ統合の適用を行う。

これにより、特定の処理の高速化、および、低消費電力化を達成できると考えられる。

## 参 考 文 献

- 1) 嶋田創, 安藤秀樹, 島田俊夫: 低消費電力化のための可変パイプライン, 情報処理学会研究報告, Vol. 2001-ARC-145, pp. 57-62 (2001).
- 2) 嶋田創, 安藤秀樹, 島田俊夫: パイプラインステージ統合: 将来のモバイルプロセッサのための消費エネルギー削減技術, 先進的計算基盤システムシンポジウム SACSIS2003, pp. 283-290 (2003).
- 3) Shimada, H., Ando, H. and Shimada, T.: Pipeline Stage Unification: A Low-Energy Consumption Technique for Future Mobile Processors, *ISLPED2003*, pp. 326-329 (2003).