

MP3 エンコーダを用いたヘテロジニアスチップ マルチプロセッサの性能評価

鹿野 裕明^{*†} 鈴木 裕貴[‡] 和田 康孝[‡] 白子 準[‡] 木村 啓二^{*‡} 笠原 博徳^{*‡}

あらまし 汎用プロセッサや専用プロセッサ, アクセラレータなど, 様々な種類のプロセッサエレメント(PE)を複数個同一チップ上に集積し, 処理を並列で行うことで, 動作周波数を向上させなくとも高い演算性能を得ることが可能なソフトウェア協調ヘテロジニアスマルチプロセッサ (HCMP) を提案する. 本プロセッサは各 PE にローカルメモリ, データ転送機構及び電力制御機構を持ち, コンパイラと協調することで, 性能向上と低電力の両立を狙う. 今回, MP3 エンコーダを評価対象とし, その並列処理方式と電力制御方式を検討し, HCMP 上での机上評価を実施した. その結果, 汎用プロセッサコア3個, 動的再構成プロセッサコア2個を搭載した HCMP は, 汎用プロセッサ1個のシングルコアプロセッサと比較して16.3倍, 汎用プロセッサ5個を搭載したホモジニアスマルチコアプロセッサと比較して4.0倍の速度向上となった. また, 電力制御を実施することにより, 24%の電力削減効果を期待できる結果となった.

Preliminary Evaluation of Heterogeneous Chip Multi-Processor with MP3 Audio Encoder

Hiroaki SHIKANO,^{*†} Yuki SUZUKI,[‡] Yasutaka WADA,[‡] Jun SHIRAKO,[‡]
Keiji KIMURA^{*‡} and Hironori KASAHARA^{*‡}

Abstract This paper proposes a heterogeneous chip multi-processor (HCMP) that possesses different types of processing elements (PEs) such as CPUs as general-purpose processors, as well as digital signal processors or dynamic reconfigurable processors (DRPs) as special-purpose processors. The HCMP realizes higher performance than conventional single-core processors or even homogeneous multi-processors in some specific applications such as media processing, with low operating frequency supplied, which results in lower power consumption. In this paper, the performance of the HCMP is analyzed by studying parallelizing scheme and power control scheme of an MP3 audio encoding program and by scheduling the program onto the HCMP using these two schemes. As a result, it is confirmed that an HCMP, consisting of three CPUs and two DRPs, outperforms a single-core processor with one CPU by a speed-up factor of 16.3, and a homogeneous multi-processor with 5 CPUs by a speed-up factor of 4.0. It is also confirmed that the power control on the HCMP results in 24 % power reduction.

1. はじめに

半導体製造技術の進歩による素子の微細化により, 1チップ上に膨大な数のトランジスタを集積することが可能となっている. 従来, 微細化とともにプロセッサの高周波数化も進んできたが, 動作時電力の増加, またリーク電流に起因する待機時電力の増加により, 動作周波数の向上も望めなくなっており, さらに論理方式の改善による性能向上にも限界が見え始めている. 一方で, 自動車のナビゲーションシステム, 携帯電話, デジタルテレビなど, 画像, 音声, データベース

情報など多様なデータを同時に扱うデジタル民生機器が登場し, 特性の異なる膨大なデータを短時間にかつ低電力に処理することが強く求められている.

この要求に対し, 性能改善と低電力化を両立する手段として, 現在複数個のプロセッサコアを1チップ上に集積した, マルチコアプロセッサが主流となりつつある[1,2]. 我々も, コンパイラ主導によりプログラムを複数粒度のタスクに分割し並列性を抽出して実行するマルチグレイン並列処理に対応した, OSCAR チップマルチプロセッサを既に提案している[3].

今回新たに, 汎用プロセッサに加え, 専用プロセッサ, アクセラレータなど, デジタル民生機器がターゲットとするアプリケーションを効率よく処理するための様々な種類のプロセッサエレメント (PE) を複数個オンチップで搭載し, 処理を並列で行うことで, 動作周波数を向上させなくともより高い演算性能を得ることが

*早稲田大学アドバンスドチップマルチプロセッサ研究所
Advanced Chip Multiprocessor Res. Inst., Waseda Univ.
†株式会社日立製作所 中央研究所
Central Research Laboratory, Hitachi Ltd.
‡早稲田大学大学院理工学研究科
Grad. School of Science and Engineering, Waseda Univ.

可能なソフトウェア協調ヘテロジニアスチップマルチプロセッサ (HCMP) を提案する。

HCMP アーキテクチャの持つ処理性能を十分に引き出すためには、与えられたプログラムを、PE 数と性質を考慮した上で複数のタスクに分割し、各 PE 上に割り当てる必要がある。このような並列性抽出及びスケジューリングは、PE の種類及び数の増加とともに複雑さを増し、プログラマが手動で対処するにはソフトウェア開発工数、コストの増大といった点から見ても現実的ではない。すなわち、この問題を解決する手段として、プログラムを自動並列化するコンパイラが必須となる[4]。

また、HCMP は多数個の PE を集積するため、その個数の増加に伴い消費電力が増大するという問題も生じる。そこで、HCMP では効率の高い並列処理による演算資源の有効活用と併せて、PE の不使用時には電源やクロックを遮断するなど PE のこまめな電源管理を、コンパイラが行うことで電力の削減を実現する[5]。

本論文では、HCMP アーキテクチャの性能評価を目的に、MP3 エンコーダの粗粒度タスク並列処理方式並びに電力制御方式の検討、及びその評価結果を報告する。以下、2 章では HCMP アーキテクチャ、3 章では粗粒度タスク並列処理方式と電力制御方式、4 章では MP3 エンコーダを例とした並列処理方式並びに電力制御方式とその結果、について述べる。

2. ヘテロジニアスチップマルチプロセッサ

HCMP は、OSCAR アーキテクチャ[3]をベースに、汎用プロセッサ CPU、動的再構成可能プロセッサ DRP、信号処理プロセッサ DSP、等の異種の PE を 1 チップに集積したアーキテクチャである。並列化コンパイラとの協調を狙い、以下を特徴とする。

・ソフトウェア協調による階層メモリアーキテクチャ

各プロセッサコア近傍に高速な各種ローカルメモリ(ローカルプログラムメモリ LPM, ローカルデータメモリ LDM, 分散共有メモリ DSM) を配置し、コンパイラ管理下でそれらの高速メモリへデータを分割配置する。その結果、プロセッサ速度と比べ低速な外部メモリのアクセス・オーバーヘッドを低減し、処理性能を最大限引き出すことができる。DSM は、任意のプロセッサからアクセス可能であり、複数プロセッサ上のタスク間同期処理、タスク間データ転送による、高速な並列処理を実現する。また、チップ上には集中共有メモリ(CSM)を有する。なお、メモリコヒーレンスはソフトウェアで保証する。

・データ転送機構

データ転送ユニット (DTU) を各プロセッサの近傍に持たせ、ソフトウェア制御により、タスク処理と並行してメモリ間データ転送を行うことで、データ転送オーバーヘッドを隠蔽する。

・低電力制御機構

プロセッサ、メモリ、バス、等、複数部位の周波数・電源電圧を、コンパイラ等のソフトウェアから透

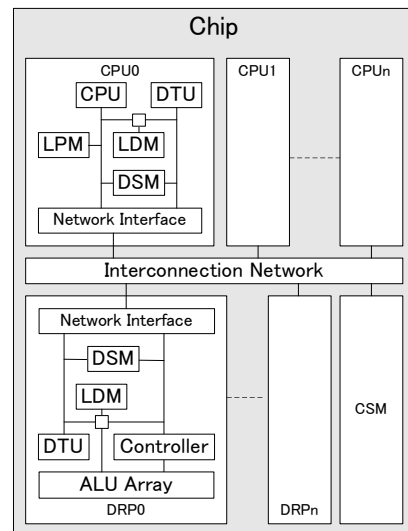


図 1 HCMP の構成例

過的に制御可能なインタフェース(レジスタ)機構 (FVR) を持つ。コンパイラはスケジューリング結果から、各プロセッサにおけるタスクの処理量を予測し、最適な周波数、電源電圧を制御することで低電力化を実現する。

3. 並列処理方式と電力制御方式

本章では、並列処理方式としてMP3エンコーダ評価に適用した粗粒度タスク並列処理方式、並びに電力制御方式に関して、説明する。

3.1. 粗粒度タスク並列処理方式

粗粒度タスク並列処理[4]とは、逐次構造の入力プログラムを、その構造を解析することで、繰り返しブロック (RB; Repetition Block) , サブルーチン (SB; Sub Routine) , 擬似代入文ブロック (BPA; Block of Pseudo Assignment statements) の粗粒度マクロタスク (MT) に分割し、MT 間の並列性を利用する並列処理手法である。並列化コンパイラは、分割生成した MT 間の制御フロー及びデータ依存性を解析し MT の実行順序関係を定義する最早実行可能条件解析により、マクロタスクグラフ(MTG)として表現する。その後、コンパイラは MTG 上の MT を各 PE にスケジューリングする。

3.2. タスク並列処理電力制御方式

並列化コンパイラは、PE の演算性能を最大限活用するタスクスケジューリングを行うことで、プログラムの実行時間を最小化する。しかしながら、実際のプログラムにはデータ依存や制御依存の制約から逐次実行せざるを得ない部分、メモリアクセス待ち等が存在するため、アプリケーションによっては搭載する PE 演算資源のすべてを常に活用することはできない。そこでコンパイラが行うスタティックスケジューリングでは、タスクの実行時間を推定し、プロセッサ間データ転送を最小化する

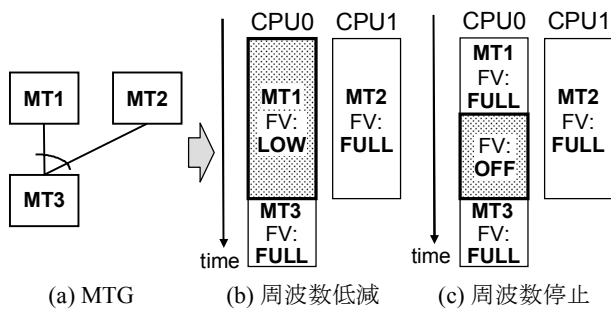


図 2 タスク並列処理電力制御方式

ようタスクを PE へ割り当て、各 PE が有効に動作するよう決定すると共に、PE 毎にそのタイミングにおいて最適な動作周波数 f を決定する、またはリーク電力低減のため電源遮断により動作を停止させる、などの制御を与えることもできる[5].

図 2(a)にコンパイラが生成するマクロタスク(MT)例を示す. 本例では、MT1とMT2は同時に実行可能であり、CPU0、CPU1にて並列実行する. さらにMT3はMT1及びMT2の実行終了後にCPU0で実行する.

コンパイラは、CPU0におけるMT1の処理サイクル数及び、CPU1におけるMT2の処理サイクル数を見積もることで、図2(b)に示すように、双方の処理時間が等しくなるようCPU0の f を決定する. この結果、 f が低減されるため、電源電圧 V も低減することが可能となり(FV: LOWモード)、 f に比例、 V の二乗に比例する電力を削減できる.

また図2(c)に示すように、CPU0におけるMT1の処理が終了した時点でCPU0の電源電圧及び動作クロックの供給を遮断し待機状態としても良い. MT1の処理はMT2に先行して終了するが、MT1終了時点でCPU0を待機状態(FV:OFFモード)とし、MT2が終了した時点で再びCPU0に対し通常の電源電圧及び動作クロックを供給することで通常状態に復帰させ、MT3を開始する. この結果、CPU0は停止し電源遮断されるため、リークを含めた電力を削減できる.

4. MP3 エンコーダを用いた HCMP の評価

HCMP アーキテクチャの性能評価を目的に、MP3 (MPEG 1 Audio Layer 3) エンコーダの並列処理方式と電力制御方式を検討し、机上評価を実施した.

4.1. MP3 エンコード処理

MP3 エンコード処理は、オーディオデータを人間の聴覚特性に応じて圧縮する規格であり、音楽の圧縮手段として広く普及している. 処理フローを図3に示す. 入力オーディオ信号を時間方向にサンプリングした(16bit 44.1kHz)PCMデータである. エンコード処理はフレーム単位で行われ、一部の処理ブロックにおいてフレーム間でデータ依存関係を持つ.

処理フローを簡単に説明すると、まずPCMデータに対し、サブバンド解析及びMDCTによって、時間一周

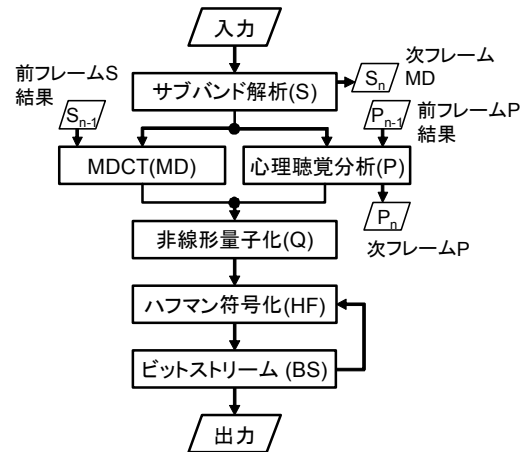


図 3 MP3 エンコード処理のフロー

表 1 評価モデルと条件

項目	内容
アーキテクチャ	SH×3+FE-GA×2
クロック比	SH,FE,バス, クロック比 2:1:1
ローカルメモリ	PE 毎に 128KB 1 サイクルアクセス
共有メモリ	512KB オンチップ共有メモリ
データ転送	PE 毎にデータ転送ユニット 転送設定に 40CPU サイクル 32B 転送毎に 16CPU サイクル
電力指標	SH: 0.3 mW/MHz [7] FE-GA: 0.8 mW/MHz [8]

波数変換を行う. 次に、心理聴覚分析により人間の聴覚特性に基づいて周波数データのマスクングを行う. 続いて非線形量子化によって、周波数データを、心理聴覚分析結果を用いて音質悪化が最低限に抑えられるレベルで間引く. 次に、ハフマン符号化により符号情報量の削減を行い、ビットストリーム生成で、MP3規格に対応したストリームデータを生成する. 今回の評価では、エンコーダプログラムとしてUZURA MP3エンコーダ[6]を参照実装とした.

4.2. 評価方法と条件

評価モデルと条件を表1に示す. 今回評価対象としたHCMPアーキテクチャモデルは、CPUコアとしてSH-X [7]相当(以下SH)を3個及びDRPの一種であるFE-GA[8]を2個、搭載したプロセッサとして仮定した. その他に、単体SHプロセッサ、SH×5個のホモマルチプロセッサ、SH×2個及びFE-GA×1個で構成したHCMPに関して、比較対象として評価を実施した. なお、マルチPE構成においては、SH1個はマスタとしてOS、I/O制御、スケジューラが実行されるものとし、それ以外のスレーブPEにてMP3エンコード処理を行うとする. つまり、タスクの起動やデータ転送の起動、タスク間の同期は、コンパイラが生成するスケジューラを“SH0”上で占有して実行することで、管理する.

表 2 1 フレーム処理サイクル数の内訳

処理	PE	タスク数	処理サイクル	データ転送サイクル
サブバンド	SH	1	132,885	23,120
	FE	1	502,861	28,496
心理聴覚	FE	1	23,984	9,306
MDCT	FE	1	81,056	23,120
量子化&符号化	SH	6	830,115	254,254
	FE	26	1,705,670	187,418
ストリーム	SH	18	322,806	40,830

以下、評価方法の手順を説明する。

Step 1. (タスク分割) プログラムを粗粒度レベルでタスク分割し、データ依存性の評価と、処理対象 PE の分類を行う。FE-GA は専用プロセッサなので、その性能を大きく引き出すことのできる部分を抽出し、FE-GA タスクとした[9]。

Step 2. (タスク処理時間の導出) タスク単位で 1 フレーム処理サイクルを、SH アーキテクチャシミュレータを用いて算出する。FE-GA に分類したタスクの処理サイクル数は、MP3 と同様のオーディオ圧縮規格である AAC エンコーダの評価[9]より平均 10 倍性能が得られると仮定し、SH サイクルの 1/10 として算出する。

Step 3. (データ転送時間の算出) 各タスク中で定義された変数のサイズから、タスク毎の入出力データ転送量を算出し、データ転送サイクル数を求める。各 PE のデータ転送ユニット (DTU) を用い、処理に必要なデータ、及び処理の結果生じたデータを、共有メモリ(CSM)・ローカルメモリ(LM) 間でタスク実行前後に転送する。なお、バストランザクションはアトミックなモデルとした。

Step 4. (タスクスケジューリング) タスク実行サイクル数を用いて、各プロセッサに手動にてタスク割り付けを行い、1 フレームエンコードに要するサイクル数を導出する。

Step 5. (電力制御の適用) スケジューリングの結果、タスク間で PE が処理を行わない「アイドルサイクル」を求め、タスク間のアイドル時間でクロック周波数を低減する、クロックを停止する、電源を遮断する、といった電力制御手法を適用する。適用する制御手法の詳細に関しては 4.4 節で述べる。

4.3. 並列化スケジューリング結果

前節で説明した手順に従って算出した、MP3 エンコーダプログラムにおける、各分割タスクの処理内容、実行回数、処理対象プロセッサ、実行サイクル、及びデータ転送 (DMA) サイクルを表 2 に示す。まず、シングルコア SH 単体における処理を仮定すると、1 フレーム処理に約 25M サイクルかかる結果となった。

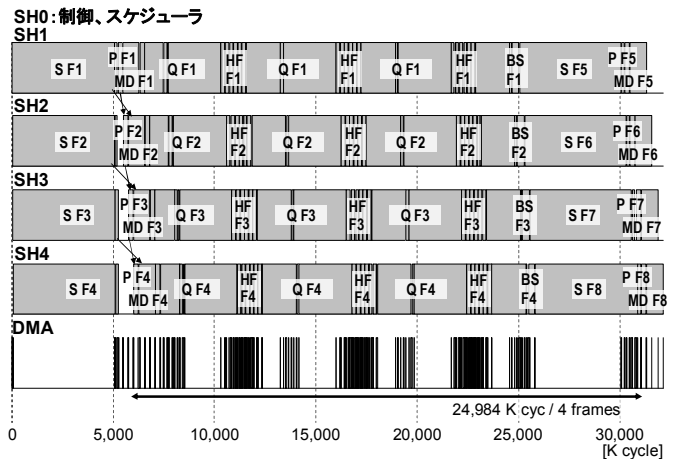


図 4 SH×5 スケジューリング結果

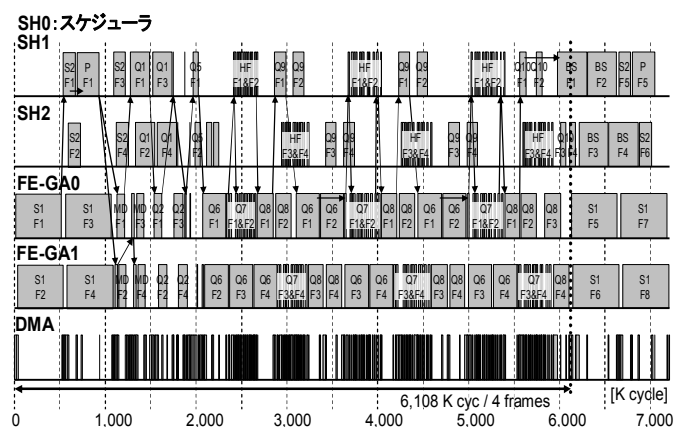


図 5 SH×3+DRP×2 スケジューリング結果

続いて、SH×5 の構成に対しスケジューリングを行った。スケジューリング結果を図 4 に示す。図中の記号は図 3 で示した各処理タスクと、対象フレーム番号を表す。例えば、“S F1”は第 1 フレームのサブバンド解析処理タスクを示す。また、矢印はデータ依存があることを表す。1PE に対し 1 フレーム処理を割り付け、フレーム間で依存があるタスクは逐次的に実行し、その他の部分に関しては並列で実行するものとした。その結果、1 フレーム処理が約 6.2M サイクルとなった。

次に、HCMP として SH×2+DRP×1 の構成に対しスケジューリングを行った。FE-GA に適しているタスクは FE-GA にて処理が行われ、SH と FE-GA でフレーム毎に逐次的に実行する。この結果、1 フレーム処理が約 3.7M サイクルとなった。

最後に、SH×3+DRP×2 の構成に対しスケジューリングを行った結果を図 5 に示す。本スケジューリングでは、4 フレーム分のタスクを、PE 資源を 2 フレーム単位で交互に並列実行する。例えば、FE-GA0 でまず第 1 フレームのサブバンド解析タスク S1 を、FE-GA1 で第 2 フレームの S1 を実行し、次のタスク S2 は SH での実行タスクであるため、SH1 で第 1 フレームの S2 を、SH2 で第 2 フレームの S2 を実行する。続いて FE-GA 上で、第 3 フレームの S1 を FE-GA0 で、第 4 フレームの S1 を FE-GA1 で実行する。また、本来 FE-GA で実行した

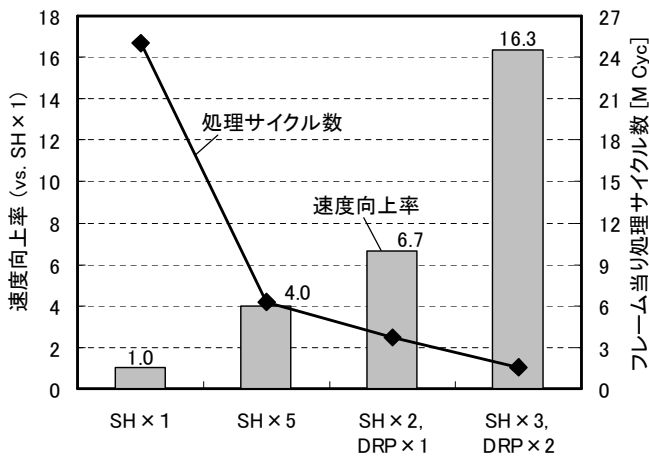


図 6 各種構成による性能見積み結果

ほうが効率良く処理できるタスクにおいても、FE-GA の処理状況により SH で処理した方がそのタスクの終了時間が早いと判断される場合は、SH で実行する。例えば、心理聴覚分析タスク P1, P2 は FE-GA タスクであるが、第 1 フレームの P1, P2 においては双方の FE-GA が他フレームの S2 を実行中であり、S2 終了後に P1, P2 を実行するより SH1 で実行したほうが終了時間が早いため、第 1 フレームの P1, P2 は SH1 で実行する。

以上のスケジューリングを想定すると、1 フレーム当りの処理サイクル数は約 1.5M サイクルとなった。なお、MP3 エンコードでは標準速で 1 秒間に 40 フレームの処理を行うため、本スケジューリングにて標準速エンコード処理を行う際の要求周波数は、60.8 MHz となる。図 6 に結果をまとめる。

4.4. 電力制御の適用

今回適用する電力制御方式は、タスク実行時は通常の電源電圧・クロックを供給し、タスク終了後、次のタスク処理までプロセッサが処理を行わないアイドル状態においてのみ電力制御を行う、図 7 に示した手法とした。電力制御は、表 3 に示す 4 モードを想定した。すなわち、(1) 周波数低減は、通常のクロック ϕ を $1/8\phi$ とした低周波クロックに切り替えることで、動作時電力を削減する。異なる周波数のクロックから目的のクロックをセレクタにて選択することを想定し、PE 動作は停止しない。ただし、クロック切り替え後のクロック安定化時間が必要となる。(2) クロック停止は、クロックゲーティングによりクロック供給を止めることで、動作時電力を削減する。PE は完全に停止するため、クロック供給を止める前に演算器中のパイプラインのフラッシュ、キャッシュのフラッシュ動作が必要となる。(3) 電源遮断は、PE に対する電源供給をスイッチにて遮断してしまうことで、動作時及び待機時双方の電力を削減する。削減効果は大きいですが、メモリやレジスタなどの記憶素子内のデータが破壊されてしまうため、復帰後処理を再開するために必要なデータを通電領域のメモリへ退避する必要がある。また、復帰時にも退避したデータの書き

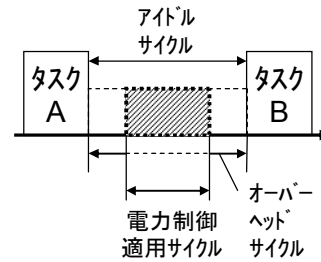


図 7 電力制御適用対象の決定方法

表 3 適用電力制御手法

手法	遷移時間	動作
(1)周波数低減	100	クロック $\phi \rightarrow 1/8\phi$
(2)クロック停止	2,000	クロックゲート
(3)電源遮断	20,000	電源遮断
(4)上記併用	< 20,000	(3)>(2)>(1)優先

[遷移時間の単位はサイクル]

戻し、また電源安定化時間の確保も必要となる。(4)は、(1)~(3)を併用し、(3)>(2)>(1)の優先順で、アイドル時間の大きさにより(3)を優先的に適用し、アイドル時間が短く(3)を適用できない場合は(2)を、同様に(2)を適用できない場合は(1)を適用する。なお、電力制御はタスク管理と合わせて、集中スケジューラが管理する。例えば、クロック停止や電源遮断状態からの復帰は、スケジューラを実行する“SH0”が、電力制御レジスタセット、割り込み通知、等で実現することを想定する。

電力制御を行う上で、上述のように制御時間が必要となるが、これは電源、クロック回路の実装方式により大きく異なる。今回 Cooperative Voltage Scaling[10]を参考に、各制御動作に基づく制御時間を制御オーバーヘッドサイクルとして、表 3 に示す通り定義した。動作周波数が 400 MHz 時で、それぞれ (1) 250 nsec, (2) 5 μ sec, (3) 50 μ sec に相当する。なお、以下で説明する電力制御評価は図 5 に示した SH x 3 + FE-GA x 2 向けスケジューリング結果を対象としている。

4.5. 評価結果

図 6 に示したスケジューリングにて、4 フレーム処理時における電力制御適用時の適用回数及びサイクル数を算出した。電力制御モードは(4)を想定し、(3)電源遮断を優先に適用し、適用できないアイドル区間は(2)を適用、(2)も適用できない区間は(1)を適用、とした。図 8 に各制御モードの適用サイクル数の内訳をグラフで示す。タスクの粒度が大きく相対的に電源遮断の制御時間がそれほど大きくならないため、多くの区間で電源遮断が適用されていることがわかる。

以上の結果より、標準速エンコード処理時の電力値を見積もった。電力値の算出対象は、MP3 エンコードプログラムを実行する SH 3 個、DRP 2 個とした。ただし、マスタである SH 1 個 (SH0) は今回の評価では電力制御対象としない。まず、すべての PE において

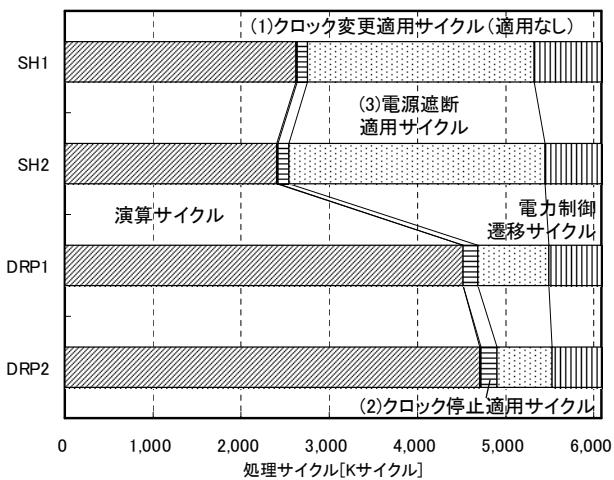


図 8 電力制御モードの適用内訳

電力制御を適用しない場合、表 1 で示した電力指標 (mW/MHz) に要求周波数を乗じることで、動的電力値として計算できる。リーク電流に起因する静的電力は、製造プロセスやトランジスタ数に依存するが、ここでは動的電力値を基準として、静的電力が動的と静的を合わせた総電力値の 2 割となるように設定した [11]。つまり動的電力は、標準速エンコードの要求周波数 $f = 60.8 \text{ MHz}$ (FE-GA は 30.4 MHz) より、

$$\begin{aligned} & (\text{SH}) 0.3 \text{ mW/MHz} \times 60.8 \text{ MHz} \times 3 + (\text{FE-GA}) \\ & 0.8 \text{ mW/MHz} \times 30.4 \text{ MHz} \times 2 = 103.4 \text{ mW} \end{aligned}$$

となるため、全消費電力はリーク電力を含めると 129.3 mW となる。以上の電力値を基準とし、スケジューラを実行する SH0 を除く他 PE に対し、(1) 周波数低減では制御適用区間の動的電力を通常の $1/8$ として算出、(2) クロック停止では適用区間の動的電力のみを 0 として算出、(3) 電源遮断では適用区間の動的電力、及び静的電力を 0 として算出、とした。

表 4 に各電力制御モードにおける電力計算値を示す。複数の電力モードを併用した(4)を適用することで、 24.4% の電力削減効果となった。また、クロック停止のみを適用した場合も、ほぼ同様の削減が得られる結果となり、(3)電源遮断よりも(2)クロック停止の効果が大きいことがわかる。これは、電源遮断の制御時間が大きいことため適用対象区間数が小さく、電源遮断の静的電力削減効果よりも、制御オーバーヘッドが電源遮断よりも小さいクロック停止による動的電力削減効果が大きくなったためである。

5. まとめ

汎用プロセッサ、及び各種専用プロセッサを 1 チップ上に複数個搭載するヘテロジニアスチップマルチプロセッサ(HCMP)の性能評価を実施した。MP3 エンコーダを評価対象とし、並列処理方式並びに電力制御方式の検討を行い、その評価を実施した。その結果、 $\text{SH} \times 3 + \text{FE-GA}(\text{DRP}) \times 2$ の構成による HCMP を想定した場合、シングルコア SH に対しては約 16.3 倍の性能、 $\text{SH} \times 5$ のホモジニアスマルチプロセッサ構成に対しては、

表 4 標準速エンコード時の見積もり電力

手法	電力 [mW]	割合
電力制御なし	129.3	100.0 %
(内リーク電力)	(25.9)	
(1)周波数 1/8 低減	101.0	78.2 %
(2)クロック停止	98.3	76.0 %
(3)電源遮断	99.8	77.2 %
(4)上記併用	97.7	75.6 %

約 4.0 倍の性能となった。また、本構成において電源遮断、クロック停止、周波数低減を組み合わせた電力制御を適用したところ、適用前と比較し約 24 % の電力削減効果となることがわかった。

今後は、HCMP 向けコンパイラ並列処理方式の検討、並びにシミュレータを用いた詳細評価の実施を行う予定である。

6. 謝辞

本研究の一部は、NEDO「先進ヘテロジニアスマルチプロセッサ研究開発」の支援により実施された。有用なご議論をいただきました、(株)日立製作所 小高俊彦氏、内山邦男氏、伊藤雅樹氏、戸高貴司氏、田中博志氏、早稲田大学笠原・木村研究室の諸氏に心より感謝いたします。

文 献

- [1] D. Pham, et. al., "The design and implementation of a first-generation CELL processor", ISSCC 2005.
- [2] T. Shiota, et. al., "A 51.2GOPS, 1.0GB/s-DMA Single-Chip Multi-Processor Integrating Quadruple 8-Way VLIW Processors", ISSCC 2005.
- [3] Keiji Kimura, et. al., "Multigrain Parallel Processing on Compiler Cooperative Chip Multiprocessor", INTERACT-9, Feb., 2005
- [4] 和田 康孝, 他, 「ヘテロジニアスマルチプロセッサにおける粗粒度タスクスタティックスケジューリング手法」, ARC2005-158, Jan. 2006.
- [5] Jun Shirako, et. al., "Compiler Control Power Saving Scheme for Multi Core Processors", LCPC2005.
- [6] Uzura MP3 エンコーダ, http://members.at.infoseek.co.jp/kitaurawa/index_j.html.
- [7] T. Yamada, et. al., "Low-Power Design of 90-nm SuperH Processor Core", Proc. Of Computer Design 2005, Int'l. Conf on Computer Design, 2005.
- [8] 伊藤, 「リコンフィギュラブル LSI ~いよいよ黙ってはいない国内大手ベンダ」, 第 13 回 FPGA/PLD Design Conference 2006.
- [9] 田中 博志, 他, 「再構成プロセッサ FE-GA のオーディオ処理への応用」, 信学技報 RECONF2005-67.
- [10] H. Kawaguchi, et. al., "ultron-LP: Power Conscious Real-Time OS Based on Cooperative Voltage Scaling for Multimedia Applications", IEEE Trans. On multimedia, Feb. 2005.
- [11] S. Naffziger, et. al., "The Implementation of a 2-core Multi-Threaded Itanium-Family Processor", ISSCC2005.