

電圧・電流制御に基づく低電力化を指向した 多値リコンフィギャラブルVLSI

岡田 信彬 ハアクモハマッド ムニルル 亀山 充隆

東北大学大学院情報科学研究科 〒 980-8579 宮城県仙台市青葉区荒巻字青葉 6-6-05

E-mail: {nokada,topusumi,kame}@kameyama.ecei.tohoku.ac.jp

あらまし 低電力化を達成するためのプログラマブルな機能を有する、多値ソースカップルドロジックを用いたリコンフィギャラブルVLSIを提案する。演算を行わないときは、差動対回路の電流源トランジスタをオフにすることで定常電流による消費電力を削減する。また、電流源がオフのときに生じるサブスレッショルドリーク電流を、電流源トランジスタのしきい値を大きくすることで低減する。さらに、動作時に演算セルへの入力は2値~4値の値をとり、それぞれの場合で遅延が異なることに着目して、性能を保持したまま消費電力を低減する。

キーワード ソースカップルドロジック, 多値論理, リコンフィギャラブルVLSI, 電圧・電流制御, 低消費電力VLSI

Voltage/Current-Control-Based Low-Power Design of a Multiple-Valued Reconfigurable VLSI

Nobuaki OKADA, Mohammad MUNIRUL HAQUE, and Michitaka KAMEYAMA

Graduate School of Information Sciences, Tohoku University 6-6-05 Aoba, Aramakiyazana, Aoba, Sendai,
Miyagi 980-8579 Japan

E-mail: {nokada,topusumi,kame}@kameyama.ecei.tohoku.ac.jp

Abstract A new reconfigurable VLSI based on multiple-valued source-coupled logic which has programmable capability is proposed for low-power digital processing. If cell operations are always inactive, a current source of the corresponding differential-pair circuit is programmed to be cut off so that the power consumption due to the steady current can be eliminated. On the other hand, if it is active, the current source is set on. Also, subthreshold leakage currents in the cut-off state can be reduced by increasing the transistor threshold voltage. Moreover, power minimization in the ON state under a delay constraint is discussed from the viewpoint of the fact that the delay depends on a cell-input current level.

Key words Source-Coupled Logic, Multiple-Valued Logic, Reconfigurable VLSI, Voltage/Current Control, Low-power VLSI

1. ま え が き

近年リコンフィギャラブルVLSIが注目されているが、既に実用化されているFPGAは、演算セルやそれらを結ぶ配線網、および配線スイッチブロックが複雑になり、面積・遅延が大きくなるという問題がある。本稿では、このような問題点を解決するリコンフィギャラブルVLSIである、多値ソースカップルドロジック(Multiple-Valued Source-Coupled Logic: MVSC L)に基づくリコンフィギャラブルVLSIを提案し、さらにその低電力化手法について述べる。

MVSC Lは論理値を示す物理量として電流信号を用いている。そのため、結線のみで高速かつコンパクトな線形加算回路を実

現することができる。また、差動対回路を用いてしきい値演算を行うため、図1のように用いるしきい値を変えるだけで、回路構造を変えることなく演算の種類を変えることができる。このように容易に演算を変えることができるため、MVSC LはリコンフィギャラブルVLSIの演算セルに向いていると言える。

多値リコンフィギャラブルVLSIの低電力化手法としては、まず稼動しないセルは、差動対回路の定常電流をカットすることで無駄な消費電力を削減する。また、その結果生じるサブスレッショルドリーク電流は、電流源トランジスタのしきい値を大きくすることで削減することが可能である。一方、稼動するセルは、入力が4値、3値、2値のそれぞれの場合で遅延が異なることに着目して、入力によって使用する電源電圧を変える

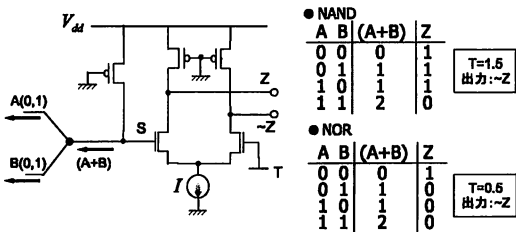


図1 しきい値を変えることによる演算の変化

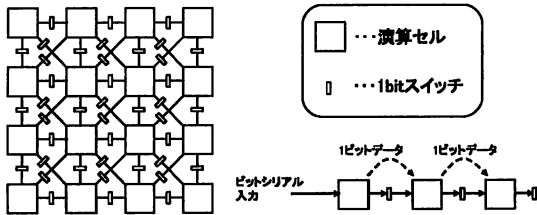


図2 多値リコンフィギャラブル VLSI のアーキテクチャ

ことで消費電力を削減する。このとき、遅延制約を満たす電源電圧でそれぞれの場合を駆動させることで、クロック周波数を一定に保ったまま消費電力を小さくすることが可能である。

CMOS 0.18 μm デザインルールを用いて、上記のような制御を行う演算セルを構成することで、稼働しないセルのサブスレッショルドリーク電流は約 87%、稼働するセルの消費電力を最大で約 14%削減できることを示す。

2. 多値リコンフィギャラブル VLSI の概要

2.1 アーキテクチャ

多値リコンフィギャラブル VLSI は多数のセルから構成されている。1 個 1 個のセルは図 2 に示すように隣接する 8 方向のセルと接続されている。また、転送方式としてビットシリアル転送を採用している [1]。このようなアーキテクチャにすることで、以下に述べるような利点を得ることができる。

- セル間の配線や配線スイッチに起因する性能劣化 (面積・遅延) を小さくすることができる。
- ビット長に依存しない柔軟な構成にでき、かつパイプライン方式により高い稼働率を得ることができる。
- ビットパラレル方式と比較して、セルの面積を小さくすることができる。

2.2 MVSLC に基づく演算セル

多値リコンフィギャラブル VLSI に用いる演算セルとして、MVSLC による回路構成を考える。MVSLC は論理値を示す物理量として電流信号を用い、図 3 に示す線形加算回路、I-V 変換回路、しきい値演算回路、出力生成回路の 4 つの基本構成要素から構成される [2]。しきい値演算回路、および出力生成回路として用いている差動対回路は、電流源として nMOS トランジス

	関数	回路図
線形加算回路	$I_S = \sum_k I_k$	
電流-電圧変換回路	$V_S = V_{dd} - r \cdot I_S$	
しきい値演算回路	$S > T \begin{cases} G=1 \\ \sim G=0 \end{cases}$ $S < T \begin{cases} G=0 \\ \sim G=1 \end{cases}$ $S = (0, 1, 2, \dots, R-1)$ $T = (\frac{1}{2}, \frac{3}{2}, \dots, \frac{2R-3}{2})$	
出力生成回路	$\begin{cases} G=1 \\ \sim G=0 \end{cases} \Rightarrow \begin{cases} I_y = I_0 \\ \sim I_y = 0 \end{cases}$ $\begin{cases} G=0 \\ \sim G=1 \end{cases} \Rightarrow \begin{cases} I_y = I_0 \\ \sim I_y = 0 \end{cases}$	

図3 MVSLC の基本構成要素

表 1 入力 4 値、出力 2 値の論理演算

S	f ₀	f ₁	f ₂	f ₃	f ₄	f ₅	f ₆	f ₇	f ₈	f ₉	f ₁₀	f ₁₁	f ₁₂	f ₁₃	f ₁₄	f ₁₅
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

タを用いる。

演算セルは、しきい値演算を行うことにより、以下のようなアップリテラル関数、およびダウンリテラル関数を出力するように構成する。

$$F_{UL}(S, T) = \begin{cases} 1 & S \geq T \\ 0 & \text{その他} \end{cases}$$

$$F_{DL}(S, T) = \begin{cases} 1 & S < T \\ 0 & \text{その他} \end{cases}$$

このセルをいくつか組み合わせることで表 1 に示す任意の関数を得ることができるようにする。これらの関数は、アップリテラル関数、ダウンリテラル関数、およびこれらの関数としきい値演算を組み合わせることで実現できるデルタリテラル関数、ウィンドウリテラル関数に分類できる。

まず、 f_0 、 f_1 、 f_3 、 f_7 のようなアップリテラル関数、およびその反転したダウンリテラル関数は演算セル 1 個で実現することができる。

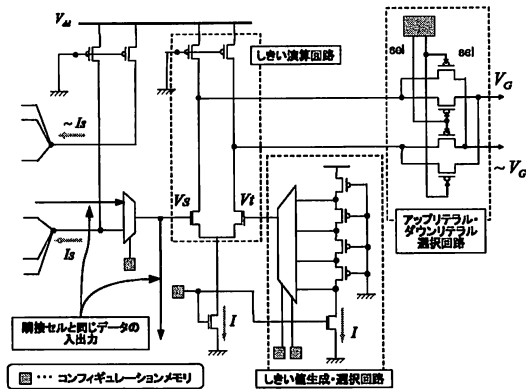


図4 セルの演算部分

$$f_0 \Rightarrow S > 3.5 : f_{15} \Rightarrow \sim f_0$$

$$f_1 \Rightarrow S > 2.5 : f_{14} \Rightarrow \sim f_1$$

$$f_3 \Rightarrow S > 1.5 : f_{12} \Rightarrow \sim f_3$$

$$f_7 \Rightarrow S > 0.5 : f_8 \Rightarrow \sim f_7$$

次に、 f_2, f_4, f_6 のようなデルタリテラル関数およびその反転した関数について示す。

$$f_2 \Rightarrow 1.5 < S < 2.5 \Rightarrow (f_3 + \sim f_1) > 1.5 : f_{13} \Rightarrow \sim f_2$$

$$f_4 \Rightarrow 0.5 < S < 1.5 \Rightarrow (f_7 + \sim f_3) > 1.5 : f_{11} \Rightarrow \sim f_4$$

$$f_6 \Rightarrow 0.5 < S < 2.5 \Rightarrow (f_7 + \sim f_1) > 1.5 : f_9 \Rightarrow \sim f_6$$

これらの関数は、しきい値演算を2個のセルで行い、それらを線形加算し、結果を再びしきい値演算することで実現できる。よって、必要となるセルは3個である。

最後に、 f_5, f_{10} のようなウィンドウリテラル関数について示す。

$$f_5 \Rightarrow 0.5 < S < 1.5, 2.5 < S$$

$$\Rightarrow (f_7 + \sim f_3 + f_1) > 1.5$$

$$f_{10} \Rightarrow \sim f_5$$

この関数は、3個のセルでしきい値演算を行った後、それらを線形加算し再びしきい値演算することで実現できる。このため、4個のセルが必要である。

以上のように、表1の関数を得るためには最大で3個のセルに同じデータを入力させる必要がある。加えて、アップリテラル関数とダウンリテラル関数を選択する回路、4種のしきい値(0.5, 1.5, 2.5, 3.5)を生成、選択する回路が必要になる。以上に基づき、セルの演算部分は図4に示す構成にする。

上に示した演算機能のほかに、ダイナミック記憶機能を行えるようにする。これは、データ転送を隣接セル間のみで行っているため、演算セルに1ビットの記憶機能を持たせる構成にする必要があるからである。また、それぞれのセルに記憶機能を持たせることで粒度が細かくなり、パイプラインによって稼働率の向上が期待できる。この機能は、図5に示すように、出力

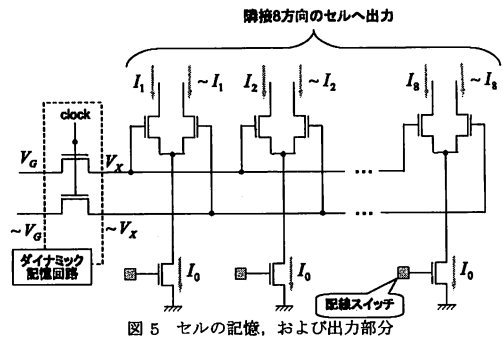


図5 セルの記憶、および出力部分

生成回路の前段にバスゲートを挿入することで実現することができる。差動対回路の出力は、pMOS トランジスタのしきい値よりも常に大きいので、pMOS パスゲートのみで電圧値を保持することが可能である。pMOS トランジスタがオンになるときは $V_x = V_g$ となり、オフのときは V_x が保持される。このような構成により、小さな面積増で個々の演算セルに1ビットのメモリ機能をもたせることができる。

また、1個のセルは出力結果を最大で隣接する8個のセルにコピーする必要がある。そこで、図5に示すように差動対回路を8個用いて、隣接するそれぞれのセルに電流信号を出力する構造にする。この構造では、配線スイッチはこれらの差動対回路の電流源トランジスタのゲート入力にあたる。

3. 稼動しないセルのカットオフ制御とリーク電流の低減

差動対回路はCMOS論理回路とは異なり、入力に変化がなくても定常電流が流れる。このため、演算を行わないセルは差動対回路の電流源トランジスタをオフにすることで定常電流をカットオフし、無駄な電力消費を削減する。しかし、この状態でもリーク電流により電力を消費する。リーク電流は、近年トランジスタを用いた回路で問題となっており、今後ますます深刻になると考えられる。

CMOS論理回路においてサブスレッショルドリーク電流を低減するための方法として、MT-CMOS技術が挙げられる。これは、図6に示すようにCMOS論理回路部分とグランドとの間に高しきい値トランジスタを新たに挿入し、演算を行わないときはこのトランジスタをオフにすることでサブスレッショルドリーク電流を低減する手法である。この手法は差動対回路に適用するのに適している。差動対回路には定常電流を流すためにnMOSトランジスタを用いているため、新たにトランジスタを加える必要がなく、このnMOSトランジスタをしきい値を高くすることでサブスレッショルドリーク電流の低減が可能だからである。

4. セル動作時における電源電圧の最適化

4.1 遅延と消費電力の関係

差動対回路の消費電力は、定常電流 I と電源電圧 V_{dd} を用いて

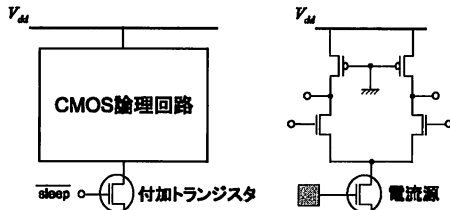


図6 MT-CMOSと差動対回路

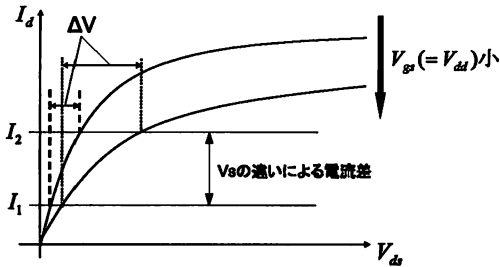


図7 pMOSトランジスタの特性

$$W_{act} = I \cdot V_{dd}$$

のよう表すことができるため、このどちらかを小さくすることで低電力化を達成することが可能である[3]。一方で、差動対回路の伝搬遅延時間は用いるトランジスタのパラメーターが一定のとき、

$$\tau_{PD} = f(I, \frac{1}{\Delta V})$$

のように、定常電流 I と差動対回路の入力が変化することによる出力電圧の変化幅 ΔV に依存する。このように、 I を小さくすることによる低電力化は遅延を大きくしてしまう。また、 V_{dd} を小さくすると、差動対回路の出力を電圧信号にするために用いている pMOS トランジスタの特性が図7のように変化するため、結果として ΔV が大きくなってしまい、やはり遅延を大きくしてしまう。

4.2 電源電圧制御による消費電力の削減

低電力化を達成する手法として、入力によって使用する電源電圧を変えることで動作速度を維持しながら消費電力を低減する。差動対回路は入力の振幅が大きいくほど、出力の振幅も大きくなり、遅延も大きくなる。一方、セルへの入力は隣接するいくつかのセルからデータが送られるかに関係する。すなわち、図8の示した回路のうち、3方向からデータが送られる演算セルの入力は4値、2方向からなら3値、1方向からなら2値の入力になる。これらのうち、入力の振幅は4値のときが最も大きくなるので、このときはしきい演算回路の電源電圧を V_{dd} で駆動させる。これに対して、図9のように3値、2値のときは4値場合の遅延を越えない電源電圧で駆動させることで、回路の性能を保持したままセルの低電力化を達成することができる。

同様の考え方を、入力電流による消費電力の低減にも応用することができる。I-V変換回路で用いる電源電圧を入力によ

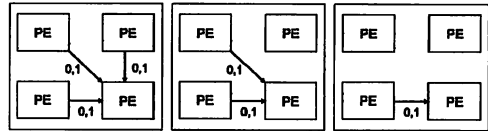


図8 演算セルの入力数

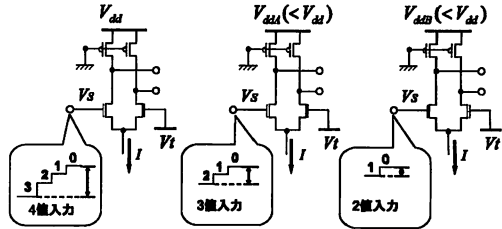


図9 しきい演算回路における電源電圧の選択

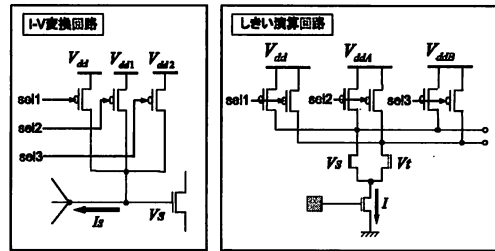


図10 電源電圧の選択回路

て変化させる。このとき、論理値を示す電圧値が変化しないように電源電圧を定めることで、4値の場合としきい値電圧を共有化することができる。

4.3 制御回路

I-V変換回路、およびしきい演算回路の電源電圧を選択する回路は図10のように構成する。電源電圧は常に pMOS トランジスタのしきい値以上なので pMOS トランジスタのみで信号の選択が可能である。pMOS トランジスタのパラメータをオンときは抵抗として動くように設定することで、ひとつの pMOS トランジスタに抵抗とスイッチの役割を行わせることができる。このような構造にすることで電源電圧選択のための回路付加によって生じる電圧降下や遅延をなくすることができる。

5. セルの性能評価

提案手法によりセルのリーク電流、および動作時の消費電力を評価するために、CMOS 0.18 μm デザインルールを用いてシミュレーションを行った。

リーク電流の比較結果を表2に示す。今回は、トランジスタのしきい値を高くする方法として、基板バイアス効果を用いる。この結果は、セル100個分のリーク電流である。このように、nMOS トランジスタのしきい値を高くすることによって、リーク電流を約87%削減できることがわかる。

続いて、動作時の遅延時間、消費電力の比較結果を表3、表

表 2 リーク電流の比較

	normal V_{th}	high V_{th}
リーク電流	12.39nA	1.65nA

表 3 セルの遅延時間の比較

入力論理値	電源制御なし	電源制御あり
4 値論理	0.98nS	0.98nS
3 値論理	0.87nS	0.98nS
2 値論理	0.64nS	0.70nS

表 4 動作時の消費電力の比較

入力論理値	電源制御なし	電源制御あり
4 値論理	88.19 μ W	88.19 μ W
3 値論理	71.51 μ W	66.11 μ W
2 値論理	54.67 μ W	47.19 μ W

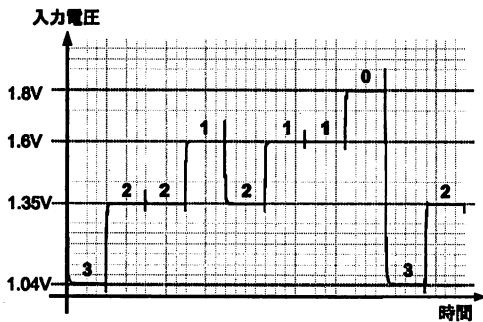


図 11 4 値入力電圧波形

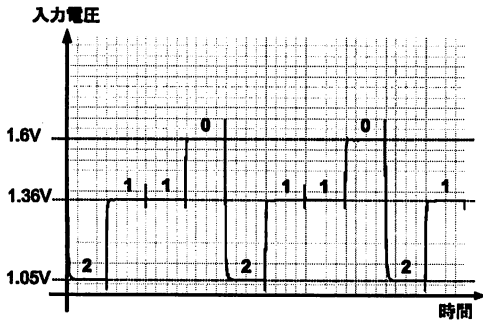


図 12 3 値入力電圧波形

4 に示す。遅延時間はセルにデータが入力してから、演算結果が出力されるまでの時間である。このように 3 値、2 値の場合では、電源電圧を選択することで遅延を大きくすることなく、定常電流による消費電力を削減することが可能であることがわかる。また、各入力電圧の波形は図 11、図 12、図 13 のようになり、論理値は異なるものの用いている差動対回路の入力される電圧そのものはほぼ等しい。よって、しきい値電圧を共通化することができる。

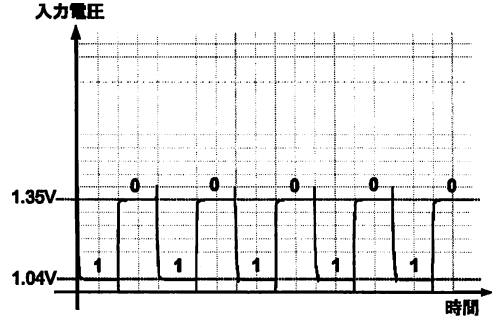


図 13 2 値入力電圧波形

6. むすび

ソースカップルドロジックでは差動対回路で用いる電流源のオンオフ制御が付加回路なしに実現できることに着目し、セルの稼働使用状態に応じて電流源をプログラマブルに設定可能である、リコンフィギャラブル VLSI アーキテクチャを提案した。電流源トランジスタのオフ時にはリーク電流を抑制するために高しきい値トランジスタも使用している。また、入力レベル数に応じて電源電圧をプログラマブルに設定できる機能を備えることにより、遅延時間制約を保ちながら定常電流による電力消費の低減化を達成できる。

今後は、具体的処理へのマッピングを通して応用上の評価を行うと共に、統合設計 CAD の開発も興味ある課題である。また、ソースカップルドロジックが、デバイスのばらつきに対してもロバスト性が高くプログラマブルに対処可能であることに着目した、細粒度リコンフィギャラブル VLSI アーキテクチャの検討も興味ある課題である。

謝辞

本研究における性能評価のシミュレーションは、東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社、シノプシス株式会社より提供されているツールを用い、行ったものである。

文 献

- [1] Haque Mohammad Munirul, Michitaka Kameyama, "Implementation and Evaluation of a Fine-Grain Multiple-Valued Field Programmable VLSI Based on Source-Coupled Logic", Intl. Symposium on Multiple-Valued Logic, pp.120-125 (2005).
- [2] Haque Mohammad Munirul, Michitaka Kameyama, "Ultra-Fine-Grain Field-Programmable VLSI Using Multiple-Valued Source-Coupled Logic", Intl. Symposium on Multiple-Valued Logic, pp.26-30 (2004).
- [3] Massimo Alioto, Gaetano Palumbo, "Design Strategies for Source Coupled Logic Gate", IEEE Transactions on Circuit and Systems-I:Fundamental Theory and Applications, VOL.50, NO.5(2003).