

動的タイミング・エラー検出のための「書き込み保証バッファ」の評価

入江英嗣^{††} 杉本 健[†]
五島正裕[†] 坂井修一[†]

近年では、製造ばらつきや動作時の温度のばらつきのため、悲観的なマージンに基づく設計、製造手法は困難になりつつある。そのため、動的なタイミング・エラー対策技術がいくつか提案されている。本稿では、我々の提案した“書き込み保証バッファ(WAB)”について回路評価を行い、そのタイミング・エラー耐性を議論する。次世代のデバイスと高クロックアーキテクチャを想定してレジスタ・ファイルのモデルを決定し、HSPICEによる評価を行った。評価結果から、WABはレジスタ・ファイルに較べて500MHzから1GHz高い動作周波数を持つことが分かった。

Evaluation of “Write Assurance Buffer” for Dynamic Timing-error Detection

HIDETSUGU IRIE,^{††} KEN SUGIMOTO, MASAHIRO GOSHIMA
and SHUICHI SAKAI

Recently, conventional worst-case logic design is getting unrealistic because of variations in the manufacturing and operational environments. Some techniques to detect run-time timing error have been proposed to attack these problems. In this paper, we perform a circuit-level evaluation of “Write Assurance Buffer(WAB)” which we previously proposed.

Assuming next-generation device technology and high speed architecture, the model of the register file was determined and evaluated. HSPICE simulation showed that WAB can operate at 500MHz-1GHz higher frequency than the register file.

1. 序 論

今日、コンピュータ・システムは社会の隅々にまで浸透しており、その中核となるマイクロプロセッサには非常に高い信頼性が求められている。

マイクロプロセッサの信頼性を脅かす新しい課題として、製造ばらつきによって引き起こされるタイミング・エラーが挙げられる。実際に製造されるトランジスタや配線は、それぞれ設計時の見積もりとは異なる遅延をもっており、特に性能が悪い箇所があった場合、想定外の動作を引き起こしてしまう。典型的には、クロック信号に対して、回路の応答が間に合わない現象として現れる。

従来は、設計時にばらつきに対するマージンを見込み、その範囲を逸脱した場合は出荷検査によって取り除いたり、あるいは代替回路を適用したりすることにより、いわばハードエラー的に対策されてきた。

しかし、微細化が進むにつれてばらつきは激化し、近年では同じチップの中でもトランジスタの性能は大き

くばらつくようになってきている²⁾。このため、全ての場合に対して十分なマージンを確保することはコストに見合わなくなり、タイミング・エラーは動作温度や入力データの影響を無視できない、動的な性格のものとなってきた。

そこで、マイクロアーキテクチャによってタイミング・エラーに対処する技術が注目されている^{3)~5),7),8)}。このようなアーキテクチャでは、タイミング・エラーの発生やその兆候を動的に検出することによって信頼性を担保しつつ、個々のチップに合わせた高クロックあるいは低電圧での高効率実行を目指している。これらの技術は、特に、電圧や周波数の制御にフィードバックすることで、従来よりも積極的な低電力実行や高クロック実行を狙うことができる。

我々は文献 8)において、レジスタ書き込み時に発生するタイミング・エラーを検出・回復するマイクロアーキテクチャ手法を提案した。この提案手法では、タイミング・エラー・フリーである“書き込み保証バッファ”(WAB:Write Assurance Buffer)を基点として、レジスタ書き込みをベリファイする。

本論文では、このWABについて、回路シミュレーションを行い、そのタイミング・エラー耐性を定量的に議論する。

本稿は以下のように構成される。まず、第2章で

[†] 東京大学大学院 情報理工学系研究科
Grad. School of Info. Science and Technology, The University of Tokyo

^{††} 科学技術振興機構
Jpan Science and Technology Agency

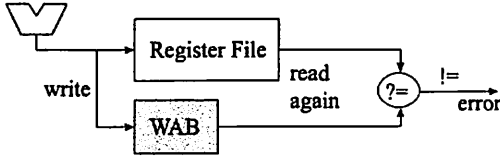


図1 提案手法の概要
Fig. 1 The Outline of the Proposal Technique

WABを用いたレジスタ書き込み時タイミング・エラー検出・回復手法の概要を説明する。続く第3章では、レジスタ・ファイルやWABを構成するSRAMについて、そのタイミング・マージンに関する議論を行う。第4章で、評価に用いたSRAMモデルについて説明し、第5章で回路シミュレーションによる評価結果を示す。最後に第6章でまとめを述べる。

2. レジスタ書き込み時タイミング・エラーの検出/回復手法

2.1 提案手法の概要

レジスタ・ファイルはばらつきの影響の大きいSRAMで構成されること、ホットスポットとなりやすいこと⁹⁾、セル・アレイ・アクセスがクリティカルパスとなることなど、タイミング・エラーに脆弱なユニットとなっている。

レジスタ・ファイル書き込み時にタイミング・エラーが生じれば、間違った値がレジスタ・ファイルに書き込まれ、アーキテクチャステートが破壊されてしまう。このため、レジスタ・ファイル書き込み時タイミング・エラーの対策技術は非常に重要である。

我々の提案手法の概要を図1に示す。提案手法の基本は、単純なライト・ベリファイである。レジスタ・ファイルに書き込む値（命令の実行結果）は、レジスタ・ファイルへの書き込みと並行して、書き込み保証バッファ（WAB: Write Assurance Buffer）にも書き込まれる。その後、書き込んだ値をレジスタから再び読み出し、WABに保持されている値と一致比較して、書き込みを検証する。検証の済んだ値はWABから削除される。もし値が食い違っていた場合は、電圧を上げ、あるいは周波数を下げ、タイミング・エラーの起こりにくい環境としてから、WABの値をレジスタ・ファイルに再び書き込んで回復する。

ここで重要な点は、WABは検証待ちの値だけを格納するため、レジスタ・ファイルに較べて容量を少なくできることである。小容量であれば、動作速度やばらつき幅などの点で、タイミング・エラー耐性を高くすることができると思われる。このため、WABがレジスタ・ファイルに先んじてタイミング・エラーを起こす可能性は低い。レジスタ・ファイルでタイミング・エラーが検出されれば電圧や周波数にフィードバックされるため、プロセッサは常に、“レジスタ・ファイルは

表1 測定条件

Table 1 Parameters of base model

way数	4
命令セット	Alpha ISA
命令ウィンドウ	32 entries
LSQ	16entries
機能ユニット	4 iALU, 1 iMUL/DIV, 2 LD/ST, 1 fpADD, 1 fp-MUL/DIV/SQRT
レジスタ・ファイル	64 entries, 1 cycle latency
L1 I/D-Cache	32KB, LRU, 4way, 32B line, 2cycle latency
L2 Cache	512KB, LRU, 4way, 64B line, 12cycle latency

タイミング・エラーを起こすかも知れないが、WABは安全”という電圧/周波数に保たれることになる。

2.2 WAB容量のIPCへの影響

提案手法では、レジスタ・ファイル書き込みのベリファイのために、一度書き込んだ値を再びレジスタ・ファイルから読み出さなければならない。ベリファイのタイミングを工夫することにより、後続命令のオペランド読み出しと競合せずにベリファイを進めることができる。我々は、後続命令のオペランド読み出しを利用してベリファイを進めるパッシブ方式と、1オペランド命令などによる、空きポートを利用するアクティブ方式とを提案している。

両方式とも、タイミングが合えば後続命令の実行を妨げることなくベリファイを進めることができるが、WABにおける待機時間が長くなる。つまりWABのサイズを小さく保つこととIPC低下を抑えることとの間にはトレードオフが存在する。

WABのエントリ数がIPCに与える影響を調べるために、SimpleScalar Tool Set Ver. 3.0dのsim-outorderに提案手法を実装し、評価を行なった。ベンチマークはSPEC2000を用い、1G命令を実行して計測した。

ベース・モデルは、表1に示したようなパラメタ設定の、out-of-order スーパースカラ・プロセッサである。

図2に、書き込み保障機能を持たないベースモデルのIPCを1とした、パッシブとアクティブの正規化IPCを示す。グラフには3本1組のバーが12組ある。各組はSPEC2000の各プログラムに対応しており、一番右の組はそれらの調和平均である。3本のバーは、左から、WABエントリがそれぞれ8、16、32のときを表している。WABの読み出しポート数は、レジスタ・ファイルと同じ8としている。

グラフから、アクティブ方式であれば、WABサイズは8エントリから16エントリで殆どIPC低下を引き起こさないことが分かる。以降の議論では、WABはこのサイズを仮定する。

3. SRAM書き込みのタイミング・マージン

レジスタ・ファイルの書き込み時タイミング・エラー検出手法では、128エントリのSRAMであるレジスタ・ファイルと16エントリのSRAMであるWABとを同

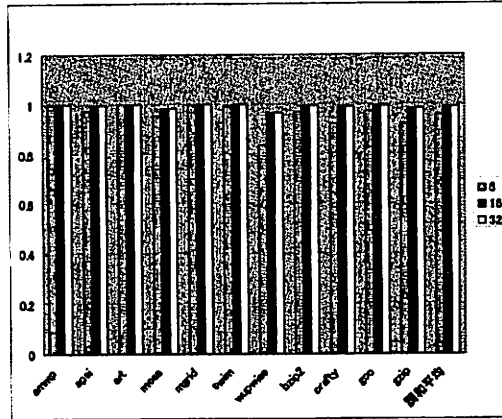
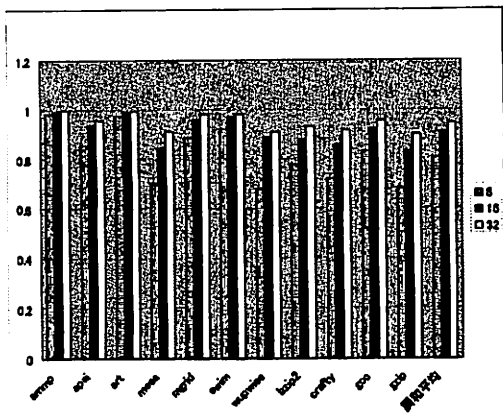


図2 パッシブ方式とアクティブ方式の正規化 IPC

じ動作周波数で動作させたときに、WABの方が余裕がある、ということ的前提としている。

本章では、SRAMの書き込みメカニズムを追いながら、エントリ数がタイミング・マージンにどのような影響を与えるかを議論する。

以後の議論では、レジスタ・リネーミング方式のスーパーカラ・プロセッサを例として用いる。この方式では、実行の直前にレジスタ読み出しを行う。MIPS R10000、DEC Alpha 21264 などをはじめ、最近の多くのスーパーカラ・プロセッサがこの方式を採用している。ただし、以降の議論は、リオーダ・バッファ方式など他の方式においても本質的な違いはない。

3.1 レジスタ・ファイル書き込み処理のクリティカルパス

レジスタ・ファイル書き込みでは、i) 書き込みアドレス(レジスタ番号)をデコードして、該当するセル・アレイの行を選択する、ii) 実行結果をセル・アレイへ転送する、iii) セル・アレイへの書き込み操作を行う、という処理が行われる。i) と ii) の処理は並行して同時に行ってよい。

一般に、処理を、複数のパイプラインステージに分けることによって、タイミング・エラー耐性を高めることができる。レジスタ・ファイル書き込みにおいても、アドレス・デコードや、書き込み値のセル・アレイへの転送などは、パイプライン化が可能である。このような部分は、必要であれば、パイプライン化によってタイミング・エラー体制を高めることができる。また、パイプラインラッチに、RAZOR等の既存手法を適用することができる。

しかし、ビットラインやワードラインを操作する、セル・アレイ・アクセスは、その間をポートが占有されるので、パイプライン化することができない。レジスタ・ファイルのセル・アレイは、実行幅の二倍のリードポートと実行幅と同じ数だけのライトポートを備え、アクセスにかかる遅延は大きい。セル・アレイ・アクセス

の遅延は、サブ・アレイへの分割等の技術によって短くすることができるが、削減には限界がある。このため、この部分がレジスタ・ファイル書き込み処理におけるクリティカル・パスとなる。

3.2 アドレス・デコーダのタイミング・エラー耐性

なお、ここで、アドレス・デコーダのタイミング・エラー耐性について、もう少し詳細に確認しておく。何故なら、アドレス・デコーダのタイミング・エラーによって、本来とは異なるワードに書き込みが行われるようなことがあれば、そのレジスタの内容が破壊され、回復はほとんど不可能になるためである。

このような破壊的なエラーを回避するためには、前述の議論のように、パイプライン化によってアドレスデコーダのタイミング・エラー耐性を高めることが有効である。

書き込みアドレスは、読み出しアドレスとともに、命令発行ステージの最後で決まる。それに対して、書き込みデータが決まるのは、実行ステージの最後である。つまり、書き込みアドレスが分かった後、ライトバック・ステージで実際にデータが書き込まれるまでには、1サイクル以上の余裕がある。このため、レジスタ・ファイル読み出しの場合と異なり、レジスタ・ファイル書き込みでは、アドレス・デコーダのパイプライン化は自然に実現できる。

また、アドレス・デコーダをドミノ論理で構成するなどのロジックの工夫も有効である。ドミノ論理で構成すれば、想定外の遅延が発生しても、必要なワードラインがアサートされないことはあっても、異なるワードラインがアサートされることはない。

結論として、パイプライン構成や従来技術を利用すれば、アドレス・デコーダに生じるタイミング・エラーによる、無関係なレジスタへの破壊は生じないと言える。後述するように、セル・アレイ・アクセスで生じるタイミング・エラーは、書き込もうとしたレジスタ・ファイルへの書き損じとしてのみ生じる。

3.3 セル・アレイ・アクセスの概要

以降、レジスタ・ファイル書き込み処理でクリティカルとなる、セル・アレイ・アクセスに注目する。

図3に、セルの回路図とレジスタ・ファイル書き込み時のタイミング・チャートを示す。まず、ビットライン(BL)に書き込み値がセットされる。次に、該当するワードライン(WL)がアサートされ、該当する行のセルのアクセス・トランジスタがONとなり、BLの値にしたがって、セル内のFFが(必要であれば)反転する。その後、WLはディアサートされ、その時点のFFの値が保持される。

同図の回路は、電圧や周波数を動的に調整することを想定し、周波数に合わせてタイミング・エラー耐性が変わるようにデザインされている。書き込みパルスWPの立ち上がりはクロックパルスの立ち上がりから、書き込みパルスの立ち下りは次のクロックパルス立ち上がりから生成されるため、周波数が下がれば、書き込みパルスの長さは増えるようになっている。

3.4 セル・アレイ書き込みにおけるタイミング・エラー

書き込みが正しく行われるためには、一般には、以下の4条件が満たされねばならない：

データ・セットアップ・タイム $t_{DS} > 0$ 。

WLがアサートされるまでにBLのセットが完了していなければならない。

ライト・パルス幅 $t_{WP} > d_{FF}$ 。

WLは、FFの反転に必要な時間 d_{FF} より長くアサートされ続けなければならない。

ライト・リカバリ・タイム $t_{WR} > 0$

BLは、WLがディアサートされるまで値を保たねばならない。

サイクル・タイム $t_{DS} + t_{WP} + t_{WR} < t_{CLK}$

1クロック・サイクル t_{CLK} 以内に、書き込みを終えなければならない。

ここで、図3のタイミングチャートに点線で示したWLやBLやFFの回路遅延が想定外に増大し、上の条件のいずれかが破れると、タイミング・エラーとなる。どの条件が破られる場合も、そのサイクルに書き込まれていたアドレスに、間違った値が書き込まれるエラーとなる。同じアドレスの各ビットで独立に発生しうるので、マルチビットのエラーとなる可能性が高い。

詳細に見ると、まずBLの遅延が増えて t_{DS} の条件が破られると、書き込みの開始が遅れ、実質的な t_{WP} を減少させ、タイミング・エラーを生じさせやすくなる。WLの遅延が増大すると、やはり t_{WP} を減少させる他、 t_{WR} の条件が保てなくなる。 t_{WR} の条件が破れると、次のサイクルに書き込むべき値をフリップフロップが取り込んでしまうタイミング・エラーが生じ得る。最後に、フリップフロップの遅延が増大し、 t_{WP} の条件が破れると、書き込むべき値が書き込まれないタイミ

ング・エラーが生じる。

この中で特にばらつきの影響を受けやすいのはフリップフロップの遅延であり、 t_{WP} の余裕が、タイミング・エラー耐性の上で重要になると考えられる。

なお、厳密には、 t_{DS} と t_{WR} の条件は、緩和して動作速度を最適化することができる。すなわち、 t_{DS} が負であっても、実質的な書き込み時間が t_{FL} を超えていれば、書き込みは成功する可能性がある。また、 t_{WR} が負であっても、WLがディアサートされるまでの時間が t_{FL} を超えていなければ、間違った値はフリップフロップに反映されない可能性がある。

3.5 容量とタイミング・エラー耐性

ここでは、以上の議論を踏まえ、同じクロック周波数でレジスタ・ファイルとWABを動作させた時のタイミング・エラー耐性の差について考える。

エントリ数が増え、ビットラインが長くなると、以下のような影響が出てくると考えられる。

- 同じセル・アレイ内で、セルの位置によって t_{DS} や t_{WR} の変化が大きくなる
- 含まれるセルが多くなり、フリップフロップの遅延のばらつき幅が増加する
- ドライバから遠いセルになるほど、フリップフロップの反転開始と反転速度の双方が遅くなる

最初の項目のためエントリ数が増えるほど、 t_{DS} および t_{WR} に必要な時間が長くなる。その一方で残り二つの項目のため、 t_{WP} に必要とされる時間も増加する。

これらの効果が合わせて現れるため、同じ周波数で書き込み動作を行う場合、エントリ数の少ないセル・アレイの方が、タイミング・エラーに対して余裕のある設計が可能となると言える。

4. 評価に用いたSRAM回路モデル

本章では、タイミングマージンの評価に用いたSRAMセル・アレイについて述べる。

4.1 記述した回路

4way スーパーカラム・プロセッサで用いるレジスタ・ファイル及びWABを想定し、8リード4ライトのSRAMセル・アレイを記述した。また、レジスタ・ファイル高速化のために、上位32ビットと下位32ビットへのサブアレイ分割が行われることを想定し、セル・アレイのビット幅を32ビットとした。

このセル・アレイはクロックの立ち上がりでアドレス・デコーダの出力を取り込み、リクエストのあったエントリに対する読み出し操作および書き込み操作を1サイクルで行う。

4.2 遅延素子の設計

遅延素子はインバータによって実現される。評価では様々なエントリ数のSRAMセルを測定したが、エントリ数に応じて遅延素子を最適化した。それぞれ、動作電圧0.7v~1.1v、動作温度25℃~85℃の範囲で、セ

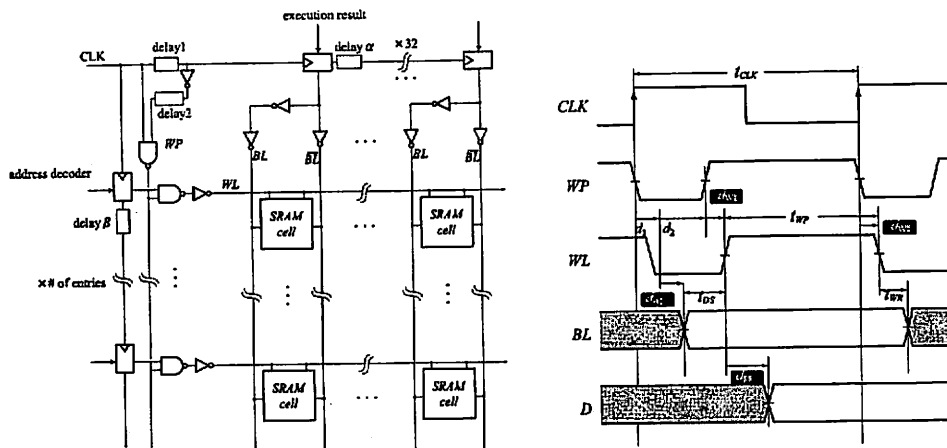


図3 SRAMセルの回路図(左)とセル・アクセスのタイミング・チャート(右)
Fig. 3 Circuit diagram of SRAM cell (left) and timing chart of cell access (right).

表2 中間層配線のパラメータ
Table 2 Parameters

配線幅	100nm
配線間隔	100nm
配線高	200nm
グラウンドとの距離	200nm
R	1099.99k Ω/m
C(対グラウンド)	17.653pF/m
C(配線カップリング)	48.802pF/m

ルアレイの4隅に位置するセルそれぞれの t_{DS} および t_{WR} が 18ps 以上となるように調整した。18ps という値は、ビットラインやワードラインのばらつきの 6σ を見込んだ値として見立てたが、厳密な値ではない。

4.3 デバイスパラメータ

デバイス世代は 45nm を想定し、PTM^(10,11) による予測パラメータを用いた。

配線による影響は、特に影響が大きいと考えられるビットラインおよびワードラインについて考慮した。双方とも長い配線であるため、中間層の配線を用いることを想定した。中間層の配線パラメータを表2に示す。

セルの大きさは以下のように概算した。8リード4ライトの計12ポートを持つため、各セルにはビットラインが24本、ワードラインが12本それぞれ並ぶことになる。ワードラインとビットラインには別の層を用いて、それぞれ隙間なく並んでいると仮定すれば、中間層の配線幅と配線間幅から、各セルの大きさを求めることができる。

5. 評価

5.1 評価方法

前章で説明した回路について、同じエントリに対してまず書き込み、次のサイクルで読み出す、という動作を hspice を用いてシミュレーションした。

正常に動作する状態から動作周波数を上げていくと、フリップフロップ反転(書き込み終了)から読み出しまでの時間が徐々に縮まっていき、やがてタイミング・エラーが発生する。評価した回路では、基本的に書き込みエラーが、読み出しエラーよりも先に発生した。ただし、動作電圧 0.7V でエントリ数が大きい場合、書き込みエラーと読み込みエラーの複合したエラーが発生するケースが存在した。このようなケースでは、フリップフロップは反転するものの、読み出し開始までに反転が終わらず、読み出しにかかる遅延が大幅に増加してタイミング・エラーとなっている。

5.2 最大動作周波数の測定

セルアレイのエントリ数を変化させながら、前のサイクルに書き込んだ値を正常に読み出せる最大周波数を調べた結果を図4に示す。異なる電圧および温度の動作条件についてそれぞれ測定した。横軸がセル・アレイのエントリ数、縦軸は最大動作周波数となっている。遅延素子を前章で示したように設定しているため、この最大動作周波数の高さは、タイミングマージンの大きさを意味している。

図4では、それぞれの動作条件について、エントリ数が少ないほど最大動作周波数が高くなっている。128エントリと8エントリについて比較すると、0.7Vで1GHz、1.1Vでも500MHzの差として現れている。低電圧時、高温時のような、タイミング・エラーを起こしやすい条件のときほど、レジスタ・ファイルとWABの最大動作周波数の差が大きいことが分かる。

レジスタ・ファイルとWABを同じ周波数で動作させた場合、この差の分だけの余裕をWABが持つことになる。

5.3 マージンに対する影響

図4では、マージンに対する影響は電圧が最も大きく、温度とエントリ数が同程度の影響となっている。こ

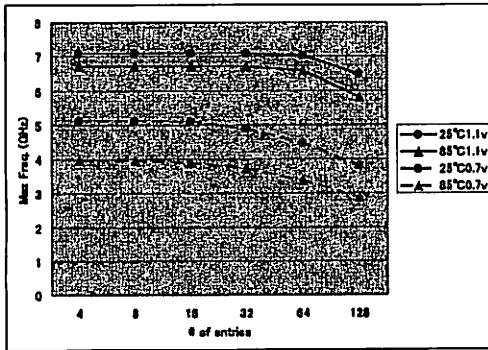


図4 エントリ数と動作周波数

Fig. 4 Relationship between WAB Size and Operation Frequency

ことから、WABのタイミング・エラー・フリーを実現する手法として、WABを高い電圧で動作させる、という手法も考えられる。この場合、WABはエントリ数が少ないので、全体の消費電力を上げることなく、高信頼実行を実現することができる。

6. 結 論

LSIの微細化に起因するばらつき増大のため、動的なタイミング・エラー検出手法が有効になると考えられている。

我々は、従来の技術で考慮されていなかった、レジスタ・ファイルの書き込み時のタイミング・エラーを検出・回復する手法を提案している。本論文では、提案手法で用いるWABについて、そのタイミング・マージンを評価した。

まず提案手法である、WABを用いるマイクロアーキテクチャについて概要を紹介した。さらにIPCに関する評価を通して、WABに必要とされる容量を明らかにした。

次に、レジスタ・ファイルの書き込み回路について、詳細に述べ、ばらつきに耐性をもたせるためのタイミング・マージンがどのように確保されるかを議論した。また、エントリ数が少ないことが、どのようにマージンに影響するかを議論した。

本論文では、45nm世代の高クロック動作を行うスーパースカラプロセッサを想定し、そのプロセッサで用いるレジスタ・ファイルのモデルを述べ、回路シミュレーションにより評価した。

評価では、エントリ数、温度、電圧によって、どのように最大動作周波数に変化するかを調べた。最大動作周波数として、周波数を上げていった時に、前のサイクルに書き込んだ値を正常に読み出せる限界の周波数を採用した。

評価結果からは、WABの小エントリ構成により、500MHzから1GHz分のマージン効果があることが

分かった。一方で、電圧による影響が大きいことも分かった。

提案したレジスタ・ファイルのタイミング・エラー対策技術を利用して、マイクロプロセッサの他のアーキテクチャステートについてもタイミング・エラー対策を実現するアーキテクチャの研究が今後の課題である。また、今回評価したタイミング・マージンについて、ばらつきに対してどれだけ有意な差となっているかという定量評価を行っていく予定である。

謝辞 本論文の研究の一部は、21世紀COE「情報技術戦略コア」、および、科学技術振興機構CREST「ディベンダブル情報処理基盤」による。

参 考 文 献

- 1) Hung, L., Irie, H., Goshima, M. and Sakai, S.: Utilization of SECCED for Soft Error and Variation-Induced Defect Tolerance in Caches, *Proceedings of Design, Automation and Test in Europe(DATE)*, pp. 1134-1149 (2007).
- 2) 岡田健一: 集積回路における性能ばらつき解析に関する研究, 京都大学博士論文 (2003).
- 3) 谷野亜沙美, 佐藤寿倫, 有田五次郎: 建設的タイミング違反方式に基づくALUのHDL設計とその評価, *信学技報ICD2002-212* (2003).
- 4) Ernst, D., Kim, N., Das, S., Pant, S., Pham, T., Rao, R., Ziesler, C., Blaauw, D., Austin, T. and Mudge, T.: Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation, *Int. Symp. on Microarchitecture* (2003).
- 5) Memik, G., Chowdhury, M., Mallik, A. and Ismail, Y.: Engineering over-clocking: reliability-performance trade-offs for high-performance register files, *Int. Conf. on Dependable Systems and Networks*, pp. 770-779 (2005).
- 6) 五島正裕, 入江英嗣, 坂井修一: メモリ装置およびメモリ読み出しエラー検出方法, 特願2006-189029 (2006).
- 7) 入江英嗣, 杉本健, 五島正裕, 坂井修一: レジスタファイルの書き込み時タイミングエラーの検出・回復手法, 先進的計算基盤システムシンポジウム2007(SACSIS2007) (2007).
- 8) Skadron, K., Stan, M., Huang, W., Velusamy, S., Sankaranarayanan, K. and Tarjan, D.: Temperature-aware microarchitecture, *30th Int. Symp. on Computer Architecture*, pp. 2-13 (2003).
- 9) : Predictive Technology Model(PTM): <http://www.eas.asu.edu/ptm/>.
- 10) Zhao, W. and Cao, Y.: New generation of Predictive Technology Model for sub-45nm design exploration, *ISQED*, pp. 585-590 (2006).