

独立に周波数制御可能な 4320MIPS、SMP/AMP 対応 4 プロセッサ LSI の開発

早瀬 清¹ 吉田 裕¹ 亀井 達也¹ 芝原 真一¹ 西井 修¹
服部 俊洋¹ 長谷川 淳¹ 高田 雅士² 入江 直彦² 内山 邦男²
小高 俊彦² 高田 究³ 木村 啓二⁴ 笠原 博徳⁴

- 1 (株)ルネサステクノロジ システムコア技術統括部 〒187-8588 東京都小平市上水本町 5-20-1
2 日立製作所 中央研究所 〒185-8601 東京都国分寺市東恋ヶ窪 1-280
3 日立超 LSI システムズ 〒187-8522 東京都小平市上水本町五丁目 22 番 1 号
4 早稲田大学 〒169-8555 東京都新宿区大久保 3-4-1
E-mail: {hayase.kiyoshi, yoshida.yutaka, kamei.tatsuya2}@renesas.com

あらまし 低消費電力と高性能を備えた、4320MIPS 4 プロセッサ SOC を 90nm プロセスで設計した。それぞれのプロセッサには、32KB のデータキャッシュを内蔵しており、プロセッサ間のデータキャッシュのコヒーレンスを維持するためのモジュールを内蔵する。プロセッサ毎に処理量に応じた周波数制御と、プロセッサ間のデータキャッシュのコヒーレンスを維持するスリープモードの採用により、低電力を実現する。

キーワード マルチプロセッサ、周波数独立制御、キャッシュコヒーレンシ、MESI

A 4320MIPS four Processor-core SMP/AMP with Individually Managed Clock Frequency for Low Power Consumption

Kiyoshi HAYASE¹ Yutaka Yoshida¹ Tatsuya KAMEI¹ Shinichi SHIBAHARA¹
Osamu NISHII¹ Toshihiro HATTORI¹ Atsushi HASEGAWA¹ Masashi TAKADA²
Naohiko IRIE² Kunio UCHIYAMA² Toshihiko ODAKA² Kiwamu TAKADA³
Keiji KIMURA⁴ and Hironori KASAHARA⁵

¹Renesas Technology Corp., 5-20-1 Josuihon-cho, Kodaira, Tokyo, 187-8588 Japan

²Hitachi Ltd., 1-280 Higashikoigakubo, Kokubunji, Tokyo, 185-8601 Japan

³Hitachi ULSI Systems Co., Ltd., 5-22-1 1 Josuihon-cho, Kodaira, Tokyo, 187-8522 Japan

⁴Waseda University, 3-4-1 Ookubo, Shinjuku-ku, Tokyo, 169-8555 Japan

E-mail: {hayase.kiyoshi, yoshida.yutaka, kamei.tatsuya2}@renesas.com

Abstract 4320MIPS 4-processor SoC that provides with low power consumption and high performance was designed using 90nm process. The 32KB-data cache is built into each processor, and the module to maintain the coherency of the data cache between processors is built into. A low electric power is achieved by frequency control of each processor according to amount of processing and adopting sleep mode that maintains coherency of the data cache between processors.

Keyword multi processor, individually managed clock frequency, cache coherency, MESI protocol,

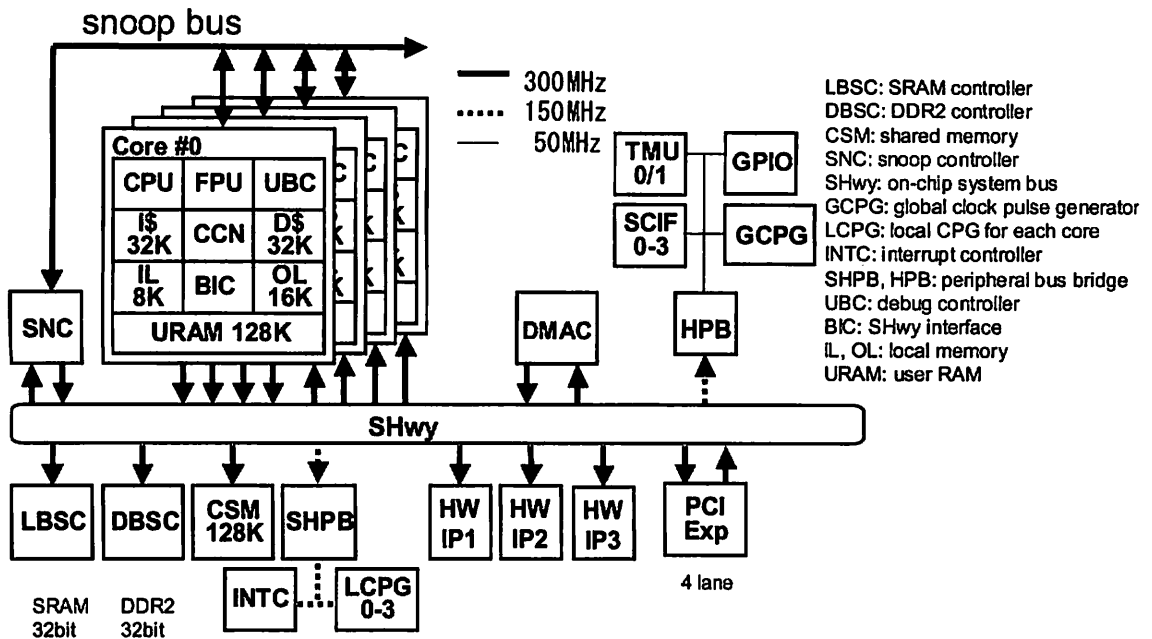


図1: Block diagram of the processor.

1. はじめに

従来、SoC(System On Chip)に搭載されるプロセッサは、携帯分野では低電力化、CIS(Car Information System)分野では高速化の要求が高かった。近年は、モバイルの分野でも高速化の要求が高まり、CIS 分野でも発熱の観点から低電力が重要な項目となりつつある。低電力と高速化の両方を達成するため、マルチプロセッサシステムの採用が増えている。

性能劣化を最小限にして低電力を実現するため、プロセッサ毎に周波数を制御できる4プロセッサ搭載のLSIを開発した。本LSIのブロック図を図1に示す。それぞれのプロセッサは、CPU, FPU, 32KB 4way 命令/データキャッシュ、4エントリ命令TLB、64エントリ共用TLB、8Kバイトと16Kバイトのローカルメモリ(IL/OL)及び、128KBのユーザメモリ(URAM)を搭載する。SNC(Snoop Controller)は、プロセッサ間でデータキャッシュのコヒーレンスを保つためのモジュールである。メモリインタフェースは、DDR2-SDRAM 及びSRAMとの接続が可能である。また、PCI-Express やその他のハードウェア IP を持つ。これらのハードウェア IP は、パケットベースのオンチップシステムバス(SHwy)により接続されている[1]。4つのプロセッサ及びSNCはSHwyと別のスヌープバスで接続されており、キャッシュコヒーレンシ制御のためのデータ転送は、SHwyのトラフィックを避けることができる。

2. LSI の特徴

本LSIは以下の特徴を有する。

(i) SMP (symmetrical multiprocessing) システムとAMP (asymmetrical multiprocessing) システムの両方に適した構造。

(ii) automatic parallelizing compiler[2,3]のようなソフトウェアと協調した動的な周波数制御による低電力化。

本LSIは、一般的なMESIキャッシュコヒーレンシプロトコルによるSMPモードと、データキャッシュのタグチェックによるオーバヘッドを避けるAMPモードの両方をサポートしている。AMPモードでは各プロセッサがもつ152KBバイトのローカルメモリを共有することができる。

4つのプロセッサはそれぞれ独立に周波数を制御することができ、また、プロセッサが動作中に動的に周波数を変更することができる。SMPモードでは、周波数が違うプロセッサ間においてもデータキャッシュのコヒーレンスを保つことができる。データキャッシュのコヒーレンスを保ちながら低電力を実現するため、次の4つの機構を有する。

(1) 各プロセッサは独立に周波数を変更できる分周器を持つ。

(2) 周波数変更とバスアクセスの競合を避けるため、周波数変更を行うプロセッサに対してハンドシェイクを行う。

(3) CPUクロックとシステムクロック(SCLK)の間で、

低消費電力のためにCPUクロックがSCLKよりも遅くした場合を含め、多様なクロック比をサポートする。

(4) 各プロセッサはCPU間のデータキャッシュのコヒーレンスを保ちつつ、CPUクロックを停止するライトスリープモードをサポートする。

3. 低消費電力

図2にクロック分周のゲーティング回路と各プロセッサへのクロック分配を示す。このクロック分周回路はスタンダードセルのNOR, AND及びスルーラッチを使用している。スルーラッチは、クロックラインのハザードノイズの除去とイネーブル信号のタイミング最適化の役割を果たす。従来の設計では、NORとclocked inverterの2ゲート使用していたが、今回はclocked NORの1ゲートのみ使用し、セットアップのタイミング改善と面積削減を実現している。

ICLKは600MHzで発振するプロセッサのクロックで、SCLKは300MHzで発振するシステムクロックであり、両クロックはGCPGで生成され各プロセッサへ分配される。ICLKとSCLKは、GCPGのレジスタで制御され、図中のCase G1, G2やCase S1, S2のように発振する。クロック分周周期(C0, C1, C2及びC3)はICLKをゲーティングにより分周し、図中のCase i1, i2, i3及びi4のようなプロセッサ内部のクロック(ick)を生成する。LCPG内の対象プロセッサのfrequency control registerが設定されると、LCPGは対象のプロセッサの

み動作を一時停止させ、対象でないプロセッサやSHwy上のIPは動作したまま周波数を変更することができる。

周波数変更対象外のプロセッサやSHwy上のIPは動作させたまま、LCPGは対象のプロセッサのみ動作を一時停止させ、その間に周波数を変更する。

プロセッサはライトスリープモードをサポートしている。このモードでは、データキャッシュのみにickを供給し、プロセッサや命令キャッシュへのickの供給を停止する。このモードはSMPシステムで低消費電力に有効である。

4. データキャッシュコヒーレンシ制御

図3にコヒーレンシ制御のブロック図とその動作の例を示す。MESIプロトコルでシェアード状態(S)からモディファイド状態(M)への遷移の例である。(1)から(7)の数字はオペレーションの順番を示している。SNCは全てのプロセッサが持つデータキャッシュのアドレスタグのコピーであるDAAを持っている。各プロセッサのデータキャッシュはickのタイミングで動作し、DAAはSCLKのタイミングで動作するため、各プロセッサは同期化回路を備えている。snoop acknowledge (4)はコア#1のinvalidate acknowledge (7)より前にコア#0にアサートされるため、コア#1のオーバーヘッドサイクルを隠蔽することができる。

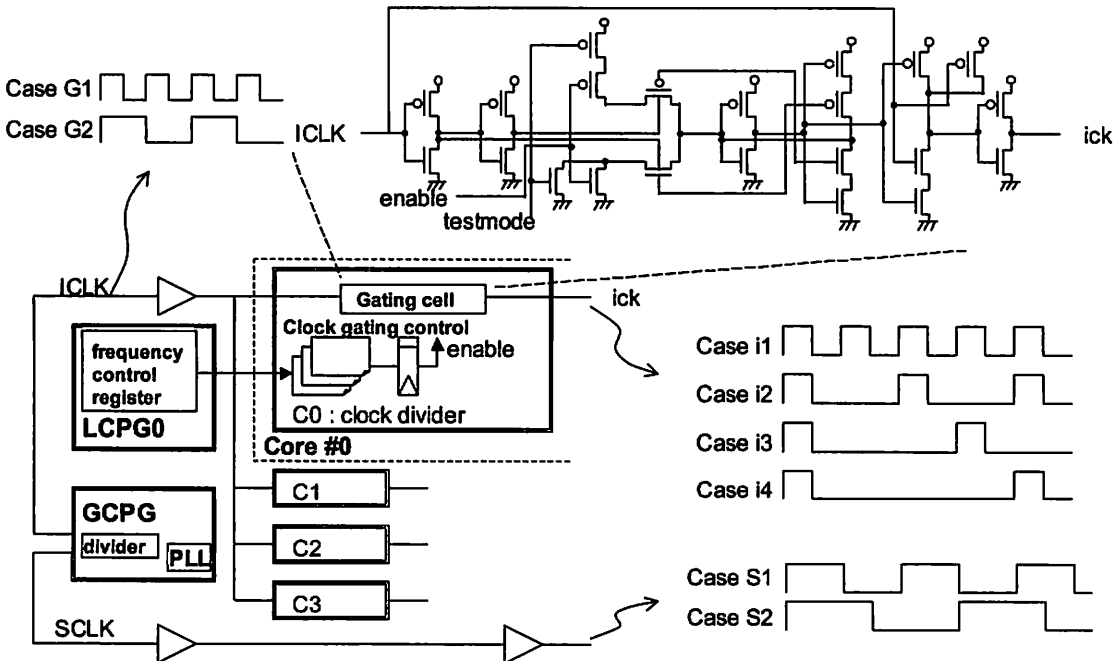


図2: Clock gating circuit and clock distribution.

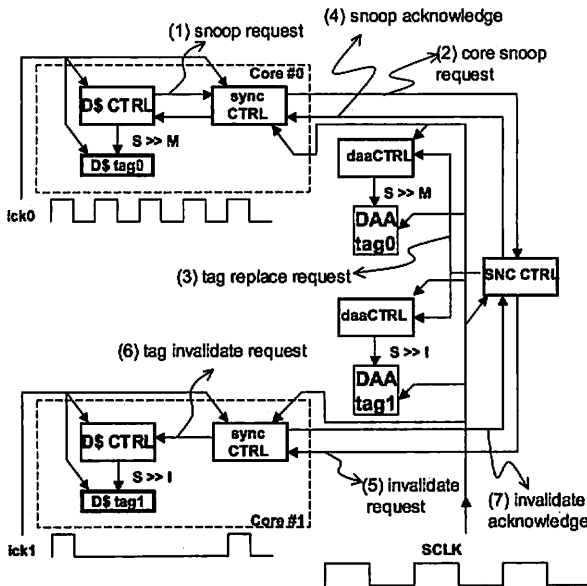


図3: Coherency functional block and example of operation.

4.1. コヒーレンシ制御によるオーバーヘッド

図4にコヒーレンシ制御のために必要なサイクル数を示す。コア#0がリクエスト元で600MHz動作している。コア#1がターゲットのタグを持っており、600MHz動作の場合と150MHz動作の場合を示している。SCLKは300MHzである。コア#0は、キャッシュミスまたは共有状態のタグに対してライトを行った場合にSNCにリクエストを発行する。SNCはDAAを読むことにより、コア#1をアクセスせずにコア#1のデータキャッ

シュの状態を確認することができる。DAAをチェックした結果、コア#1がキャッシュミスまたはシェアード状態(S)の場合、コヒーレンシ制御によるオーバーヘッドはコア#1の動作周波数に関係ない。コア#1がExclusive状態(E)またはModified状態(M)の場合、コヒーレンシ制御によるオーバーヘッドサイクルはコア#1の周波数を下げていると大きくなるが、タスク毎にプロセッサを割り当てることにより、EまたはM状態を避けることができるため、このオーバーヘッドサイクルは影響を少なくすることができる。

5. 評価

評価結果を図5に示す。サイクルシミュレータにより、4プロセッサのSMP構成でMPEG2をデコードするベンチマークを実行し、サイクル数を計測した。通常動作時、ループによる待ち状態及びライトスリープモードの電力を前もって計算しておき、その電力と計測したサイクル数から電力を計算している。この図はプロセッサ毎の電力消費を示す。次の4つの場合について電力を計算している。(1)全てのプロセッサが600MHz動作で、プロセッサはタスク完了後ループによる待ち状態(IDLE)。(2)全てのプロセッサは600MHz動作で、タスク完了後はライトスリープモード。(3)コア#0とコア#1は600MHz動作、コア#2は300MHz動作、コア#3は150MHz動作で、プロセッサはタスク完了後IDLE状態。(4)コア#0とコア#1は600MHz動作、コア#2は300MHz動作、コア#3は150MHz動作で、タスク完了後はライトスリープモード。電力は、(1)の場合に比べて、(2)では88%、(3)では83%、(4)では80%の電力消費に抑えることができる。

Core #0 status	target tag status	overhead (SCLK cycles)		
		Core #1=600MHz (*1)	Core #1=150MHz (*1)	
Read hit	shared / not shared	0	same	
Write hit	not shared	0	same	
	shared	4 (*2)	same	
Read/Write miss	DAA miss:Invalid (I)	5	same	
	DAA hit	Shared (S)	10 (*2)	same
		Exclusive (E)	10	1.9 times
		Modified (M)	13	1.9 times

*1: Core #0 runs at 600MHz and SNC runs at 300MHz

*2: case of single transaction

図4: Coherency overhead cycles.

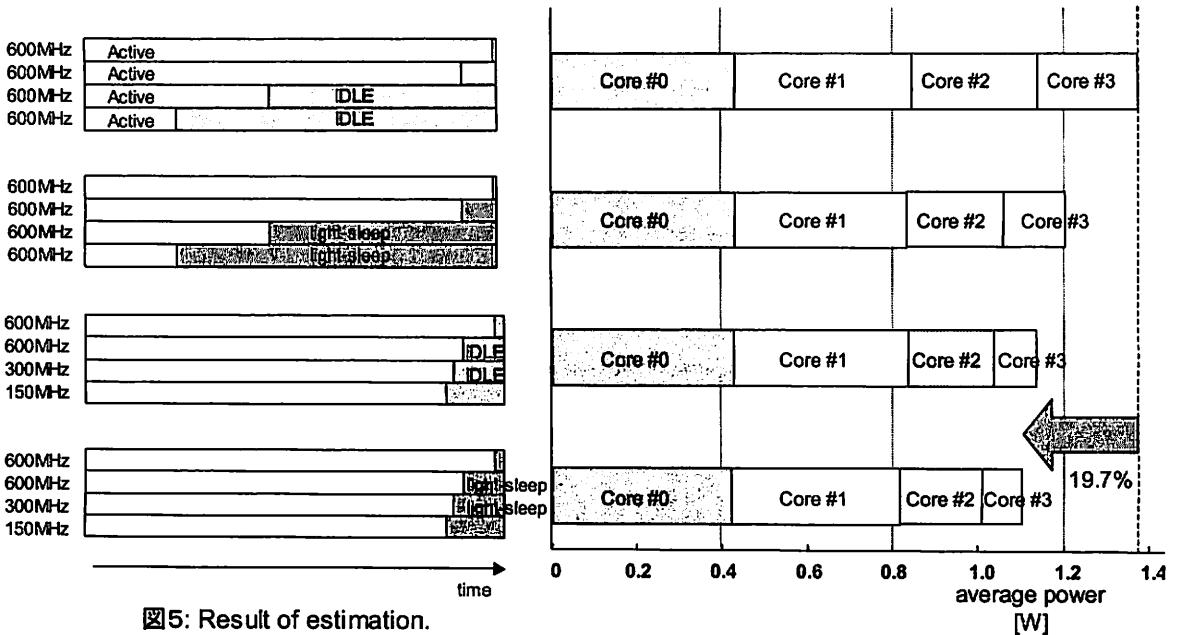


図5: Result of estimation.

6. おわりに

90nm、CMOS プロセスを用いて、4プロセッサ搭載のLSIを開発した。CPU間のデータキャッシュのコヒーレンシ制御は一般的なMESIプロトコルを採用している。プロセッサ毎に周波数を制御する機能を備えることにより、プロセッサの負荷に応じた周波数で動作することが可能になり、低電力を実現している。また、プロセッサ間のデータキャッシュのコヒーレンシを維持しつつCPUのクロック供給を停止するライトスリープモードのサポートにより、SMPモードでの有効な低電力を実現している。これらの機能を実装することにより、常に600MHzで動作する場合に比べ、20%の電力を削減することができる。図6にLSIの仕様を、図7にチップ写真を示す。

Process Technology	90nm, 8-layer, triple-Vth, CMOS
Chip Size	97.6mm ² (9.88mm x 9.88mm)
Supply Voltage	1.0V (internal), 1.8/3.3V (I/O)
Clock Frequency	600MHz
CPU Performance	4320 MIPS (Dhrystone 2.1)
FPU Performance	16.8 GFLOPS
I/D Cache	32KB 4way set-associative (each)
ILRAM/OLRAM	8KB/16KB (each CPU)
User Memory	128KB (each CPU)
Package	FCBGA 554pin, 29mm x 29mm

図6: Chip specification.

文 献

- [1] K. Uchiyama, et al., "Embedded Processor Core with 64-Bit Architecture and Its System-On-Chip Integration for Digital Consumer", IEICE, pp. 139-149, Feb. 2001.
- [2] J. Shirako, et al., "Compiler Control Power Saving Scheme for Multi Core Processors", Proc. of The 18th International Workshop on Languages and Compilers for Parallel Computing (LCPC2005), Oct. 2005.
- [3] Keiji Kimura, et al., "Multigrain Parallel Processing on Compiler Cooperative Multiprocessor", Proc. of 9th Workshop on Interaction between Compilers and Computer Architectures (INTERACT-9), Feb. 2005.

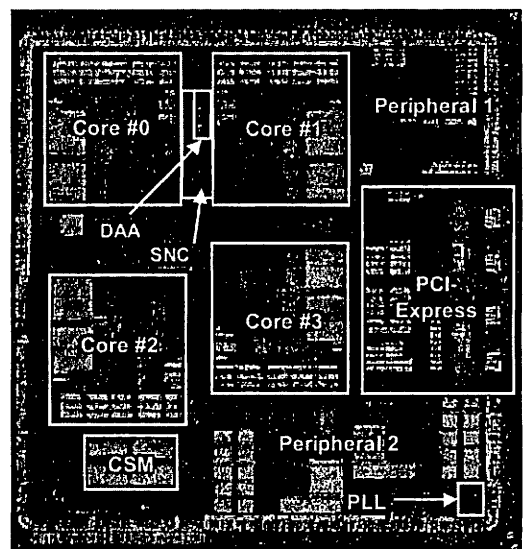


図7: Die photograph.