

Drowsy キャッシュの効率化

石川 健一郎[†]

[†]慶應義塾大学 〒223-8522 神奈川県横浜市港北区日吉 3-14-1

E-mail: [†]shinzan@mtb.biglobe.ne.jp

あらかし キャッシュメモリの省消費電力化技術の一つである Drowsy キャッシュの改良を行った。Drowsy キャッシュではキャッシュにアクセスが行われるとそのラインのキャッシュをスタティック電力の高い通常モードに変化させ、一定時間が過ぎるとスタティック電力の低い Drowsy モードに変化させる。Drowsy モードのキャッシュラインは値は保持するが読み込みができない。本論文では L1 キャッシュのヒット/ミスによって値が増減するカウンタを用い、カウンタが一定値を超えた場合 Drowsy モードに変化させる省消費電力手法を提案した。また、L2 ユニファイドキャッシュ内の命令とデータを区別し、それぞれカウンタを用意し制御する省消費電力手法を提案した。

キーワード Cache, Low Power Consumption, Drowsy Cache

Improvement of Drowsy cache

Ken-ichiro ISHIKAWA[†]

[†] Faculty of Science and Engineering, Keio University 3-14-1 Hiyoshi, Kohoku-ku, Yokohama City, Kanagawa Japan

E-mail: [†]shinzan@mtb.biglobe.ne.jp

Abstract Improvement of drowsy cache which is technique of low power consumption in cache memory is proposed in this paper. Cache memory transits from normal power consumption mode to drowsy cache mode by up/down counter. L2 unified cache memory is controlled by up/down counters distinguish between data and instruction. In the result, power consumption becomes lower in L1 data cache. Cache lines in normal power consumption mode in L2 unified cache are decreased.

Keyword Cache, Low Power Consumption, Drowsy Cache

1. はじめに

近年、プロセス技術の進歩とともにチップの微細化技術が進歩し、より多くの素子をチップに実装することが可能になってきている。だが、プロセス技術の進歩による素子の微細化はスタティック電力の増大問題をもたらしている[1]。旧来の技術ではスタティック電力はダイナミック電力と比較し十分小さかったため問題にならなかったが、素子の微細化によりリーク電力が増大し、スタティック電力が無視できないレベルまで増加している。

プロセッサにおいてキャッシュ技術は有効な高速化技術である。アクセスした命令/データは再度アクセスされる確率が高いため、高速にアクセス可能なキャッシュメモリに一時的に保存することにより高速な実行が実現される。

プロセス技術の発展とともにキャッシュメモリの容量は増大してきたが、それに伴い素子数も増加した。その結果、キャッシュメモリのスタティック電力が無視できなくなっている。

キャッシュメモリのスタティック電力問題を解決するため様々な手法が考えられている。キャッシュメモリ内の命令/データはすべてが頻繁にアクセスされないことに着目したものとしては主に2つの考え方があ

1. 再度アクセスされることが予想される命令/データのみを保持し、アクセスされないことが予想される命令/データを保持しているキャッシュラインの電源を落とすことによりスタティック電力を下げる[2]
2. 再度アクセスされることが予想される命令/データのみを保持し、アクセスされないことが予想される命令/データを保持しているキャッシュラインの電圧を下げ、値は保持するがアクセスは不可能なモードに変更することによりスタティック電力を下げる[3]

前者の手法は後者の手法と比較しスタティック電力の低減効果は高いが性能に対するインパクトも大きい。そのため、本論文では後者の手法に注目してその

効率的な手法を論じる。

本論文は第 2 章で既存研究である Drowsy キャッシュについて述べた後、第 3 章において本論文で提案する手法を述べ、第 4 章で提案手法の評価方法を、第 5 章で結果を論じ、第 6 章でまとめを行う。

2. Drowsy キャッシュ

キャッシュメモリのスタティック電力問題を解決する手法として Drowsy キャッシュ[3][4]が提案されている。Drowsy キャッシュではキャッシュメモリに電圧が低くスタティック電力が少ない Drowsy モードを追加する。Drowsy モードのキャッシュメモリは電圧が低いためデータ/命令を読み込むことは不可能であるが、キャッシュメモリ内のデータは保持される。Drowsy モードのキャッシュメモリにアクセスする際には通常の電圧まで電圧を上昇させた後、アクセスが行われる。Drowsy モードと通常電圧モードの制御はキャッシュライン単位など任意の粒度で行われる。

過去の研究の一例として Drowsy モードと通常モードの制御を下記の手法で行っている研究がある。

1. Drowsy モードから通常モードへ遷移した後、一定のインターバルを置き Drowsy モードへ遷移させる[3]
2. もっとも最近アクセスされたキャッシュラインを Drowsy モードから通常モードへ遷移させる[5]

本論文で提案される手法は前者をベースにしている。前者で提案されている通常モードから Drowsy モードへ遷移する条件の他に L1 キャッシュメモリのヒット/ミスで増減するカウンタの値を評価に加えることにより、さらなる高効率化を目指す。

3. 提案手法

本論文で提案する手法は次の仮定を元に行っている。

- ・ L1 データキャッシュメモリがヒットするプログラムの領域と L1 データキャッシュメモリがヒットしないプログラムの領域があり両者は L1 データキャッシュのヒット/ミスに応じて増減するカウンタを用い、実行中にカウンタの値を評価することにより区別可能である。
- ・ L1 命令キャッシュメモリがヒットするプログラムの領域と L1 命令キャッシュメモリがヒットしないプログラムの領域があり両者は L1 命令キャッシュメモリのヒット/ミスに応じて増減するカウンタを用い、実行中にカウンタの値を評価することにより区別可能である。

- ・ L1 データキャッシュメモリのヒット領域、ミス領域と L1 命令キャッシュメモリのヒット領域、ミス領域は異なっている
- 上記仮定を元に Drowsy キャッシュの改良を目指した。

3.1. L1 データキャッシュメモリ

第 1 に L1 データキャッシュメモリに着目した。L1 データキャッシュメモリをキャッシュラインごとに通常モードと Drowsy モードに変更可能であるとし、下記の条件で評価を行った。

1. アクセスされた際 Drowsy モードだった場合通常モードに移行した後アクセスされる。Drowsy モードから通常モードへ遷移した場合、一定のインターバル毎に出力されるクリア信号に合わせて Drowsy モードへ遷移させる手法(以下、DL1-NORMAL)
2. L1 データキャッシュメモリに対するメモリアクセス命令によるメモリアクセスがヒットした場合インクリメントされ、L1 データキャッシュメモリに対するメモリアクセス命令によるメモリアクセスがミスした場合デクリメントされるカウンタ(以下、データカウンタ)を用意する。アクセスされた際 Drowsy モードだった場合、通常モードに移行した後アクセスされる。データカウンタが一定値以下の場合アクセス終了後直ちに通常モードから Drowsy モードへ遷移、通常モードから Drowsy モードへ遷移させる。また、カウンタが一定値以上の場合においても一定のインターバル毎に出力されるクリア信号に合わせて Drowsy モードへ遷移させる手法(以下、DL1-ALPHA)

評価項目として、

1. プログラムの実行に必要なサイクル数
2. Drowsy モードから通常モードへ遷移した回数
3. Drowsy モードとなっていたキャッシュラインの総数
4. 通常モードとなっていたキャッシュラインの総数
5. 2, 3, 4 から計算されるスタティック電力を用いた。

3.2. L2 ユニファイドキャッシュメモリ

L2 ユニファイドキャッシュメモリに対しても同様に Drowsy キャッシュの改良を目指した。

L2 ユニファイドキャッシュメモリの評価において L1 データキャッシュメモリは DL1-ALPHA の手法を用いて制御されているとした。

評価対象として、通常の Drowsy キャッシュを想定した下記の条件を評価した。

1. L2 ユニファイドキャッシュメモリについてはアクセス中を除き常に Drowsy モードのままとする手法 (UL2-DROWSY)
2. L2 ユニファイドキャッシュメモリについてはアクセスされた際 Drowsy モードだった場合通常モードに移行した後アクセスされ、一定のインターバル(A)毎に出力されるクリア信号 A に合わせて Drowsy モードへ遷移する手法(UL2-NORMAL)

また、L1 命令キャッシュメモリに対するメモリアクセスがヒットした際インクリメントされ、ミスした場合デクリメントされるカウンタ(以下、命令カウンタ)とデータカウンタによる制御を行った際の評価として下記の条件で評価を行った。

3. UL2-NORMAL の制御に加え、データカウンタが一定値以上の場合、Drowsy モードから通常モードへの遷移を抑制し、通常モードから Drowsy モードへ遷移させる手法(UL2-DATA)
4. UL2-NORMAL の制御に加え、命令カウンタが一定値以上の場合、Drowsy モードから通常モードへの遷移を抑制し、通常モードから Drowsy モードへ遷移させる手法(UL2-INST)

L2 ユニファイドキャッシュメモリに記憶されている命令/データを命令とデータを区別し Drowsy モードと通常モードの遷移を制御する手法の評価として下記の条件で評価を行った。

5. UL2-NORMAL の制御に加え、データとして記憶されている L2 ユニファイドキャッシュメモリの内容のみデータカウンタが一定値以下の場合 Drowsy モードから通常モードへの遷移を抑制し、通常モードから Drowsy モードへ遷移させる (UL2-DATA-C-INST-S)
6. UL2-NORMAL の制御に加え、命令として記憶されている L2 ユニファイドキャッシュメモリの内容のみ命令カウンタが一定値以下の場合 Drowsy モードから通常モードへの遷移を抑制し、通常モードから Drowsy モードへ遷移させる (UL2-DATA-S-INST-C)
7. UL2-NORMAL の制御に加え、データとして記憶されている L2 ユニファイドキャッシュの内容はデータカウンタが一定値以下の場合 Drowsy モードから通常モードへの遷移を抑制し、通常モードから Drowsy モードへ遷移

させ、命令として記憶されている L2 ユニファイドキャッシュの内容は命令カウンタが一定値以下の場合 Drowsy モードから通常モードへの遷移を抑制し、通常モードから Drowsy モードへ遷移させる (UL2-DATA-C-INST-C)

8. UL2-NORMAL の制御に加え、データとして記憶されている L2 ユニファイドキャッシュメモリの内容のみデータカウンタが一定値(a)以下の場合 Drowsy モードから通常モードへの遷移を抑制し、a とは異なる一定値(b)の場合通常モードから Drowsy モードへ遷移させる (UL2-DATA-C-INST-S-Gap)
9. UL2-NORMAL の制御に加え、データとして記憶されている L2 ユニファイドキャッシュメモリの内容はデータカウンタが一定値(a)以下の場合 Drowsy モードから通常モードへの遷移を抑制し、a とは異なる一定値(b)の以下の場合通常モードから Drowsy モードへ遷移させ、命令として記憶されている L2 ユニファイドキャッシュの内容は命令カウンタが一定値(c)以下の場合 Drowsy モードから通常モードへの遷移を抑制し、c とは異なる一定値(d)の場合通常モードから Drowsy モードへ遷移させる (UL2-DATA-C-INST-C-Gap)

また、通常、一度アクセスされたキャッシュラインは至近に再度アクセスされる可能性が高いため、Drowsy モードから通常モードに遷移した際、一定のインターバル通常モードから Drowsy モードへの遷移を行わない条件の評価を行った。キャッシュライン毎に一定のインターバルをカウントする場合ハードウェア資源を大量に必要とするため、一定のインターバルをカウントするハードウェアは 1 回路とし、カウントするハードウェアが一定のインターバルをカウントする毎に、対象となるすべてのキャッシュラインがデータカウンタ、命令カウンタにより制御され通常モードから Drowsy モードへ遷移することを許可するとした。評価対象として下記条件を評価した。

10. UL2-NORMAL の制御に加え、データとして記憶されている L2 ユニファイドキャッシュメモリの内容のみデータカウンタが一定値(a)以下の場合 Drowsy モードから通常モードへの遷移を抑制し、a とは異なる一定値(b)の場合、一定のインターバル(B)毎に出力されるクリア信号 B を受け取った後通常モードから Drowsy モードへ遷移させる (UL2-DATA-C-INST-S-Gap-Keep)
11. UL2-NORMAL の制御に加え、データとして記憶されている L2 ユニファイドキャッシュ

	通常モード への遷移	データ/ 命令分け	データ カウンタ	命令 カウンタ	カウンタの ギャップ	一定時間 遷移抑制
UL2-DROWSY	×	×	×	×	×	×
UL2-NORMAL	○	×	×	×	×	×
UL2-DATA	○	×	×	×	×	×
UL2-INST	○	×	×	×	×	×
UL2-DATA-C-INST-S	○	○	○	×	×	×
UL2-DATA-S-INST-C	○	○	×	○	×	×
UL2-DATA-C-INST-C	○	○	○	○	×	×
UL2-DATA-C-INST-S-Gap	○	○	○	×	○	×
UL2-DATA-C-INST-C-Gap	○	○	○	○	○	×
UL2-DATA-C-INST-S-Gap-Keep	○	○	○	×	○	○
UL2-DATA-C-INST-C-Gap-Keep	○	○	○	○	○	○

表 1:L2 ユニファイドキャッシュに対する評価項目

メモリの内容はデータカウンタが一定値(a)以下の場合 Drowsy モードから通常モードへの遷移を抑制し、a とは異なる一定値(b)の以下の場合、一定のインターバル(B)毎に出力されるクリア信号 B を受け取った後通常モードから Drowsy モードへ遷移させ、命令として記憶されている L2 ユニファイドキャッシュメモリの内容は命令カウンタが一定値(c)以下の場合、一定のインターバル(B)毎に出力されるクリア信号 B を受け取った後 Drowsy モードから通常モードへの遷移を抑制し、c とは異なる一定値(d)の場合通常モードから Drowsy モードへ遷移させる (UL2-DATA-C-INST-C-Gap-Keep)

評価対象の特徴を表 1 に示す。

評価項目として、DL1 と同様に

1. プログラムの実行に必要なサイクル数
2. Drowsy モードから通常モードへ遷移した回数
3. Drowsy モードとなっていたキャッシュラインの総数
4. 通常モードとなっていたキャッシュラインの総数
5. 2, 3, 4 から計算されるスタティック電力を用いた。

L2 ユニファイドキャッシュメモリにおいて命令とデータを区別する際に 1 ビットのデータをキャッシュラインに付け加える必要がある。

また、UL2-DATA-C-INST-S-Gap-Keep と UL2-DATA-C-INST-C-Gap-Keep は L2 ユニファイドキャッシュメモリにおいて一定のインターバルを経過していないことを示す 1 ビットのデータをキャッシュラインに追加する必要がある。

4. 評価方法

CPU のシミュレータとして SimpleScalar-3.0d[6]を用いて評価を行った。Out-Of-Order 発行、実行の CPU シミュレータ sim-outorder を使い、sim-outorder のキャッシュメモリ関係のプログラムである cache.c に各種カウンタ、キャッシュメモリのレイテンシの調整、評価項目の情報収集のプログラムを加えた。Drowsy モードの実装方法としては L1 データキャッシュメモリ、L2 ユニファイドキャッシュメモリのアクセスレイテンシを増加させ、通常モードにあるキャッシュラインへのアクセスと判定した場合は増加させた分を減少させることにより、Drowsy モードのキャッシュラインへのアクセスレイテンシが増加することをシミュレートした。

CPU の各種パラメータを表 2 に挙げる。sim-outorder のデフォルトの値を使用している。

Drowsy モードから通常モードへの遷移には 1 クロックかかるとした。通常モードから Drowsy モードへ遷移するまでのインターバルは論文[3]を元に L1 データキャッシュメモリ、L2 ユニファイドキャッシュメモリとも 2000 サイクルとした。

Drowsy モードと通常モードの制御を行う粒度は L1 データキャッシュメモリは粒度を 1 キャッシュラインとした。L2 ユニファイドキャッシュメモリは粒度を 4 つのウエイをひとまとめにしたものとした。

データカウンタは L1 データキャッシュメモリにヒットした場合 1 インクリメントされ、L1 データキャッシュメモリにミスした場合 2 デクリメントされるとした。データカウンタは 5 ビットのデータ幅を持つ。

L1 データキャッシュメモリは、Drowsy モードから通常モードへの遷移基準はデータカウンタが 5 以上、通常モードから Drowsy モードへの遷移基準はデータカウンタが 4 以下とした。データカウンタによって制御される L2 ユニファイドキャッシュメモリは、Drowsy モードから通常モードへの遷移基準と通常モードから

Drowsy モードへの遷移基準が同じ場合は Drowsy モードから通常モードへの遷移基準はデータカウンタが 4 以下、通常モードから Drowsy モードへの遷移基準はデータカウンタが 5 以上とした。L2 ユニファイドキャッシュメモリの場合、Drowsy モードから通常モードへの遷移基準と通常モードから Drowsy モードへの遷移基準が異なる場合は Drowsy モードから通常モードへの遷移基準はデータカウンタが 2 以下、通常モードから Drowsy モードへの遷移基準はデータカウンタが 10 以上とした。

命令カウンタは L1 命令キャッシュメモリにヒットした場合 1 インクリメントされ、L1 命令キャッシュにミスした場合 0 になるとした。命令カウンタは 5 ビットとした。

命令カウンタによって制御される L2 ユニファイドキャッシュメモリは、Drowsy モードから通常モードへの遷移基準は命令カウンタが 8 以下、通常モードから Drowsy モードへの遷移基準は命令カウンタが 9 以上とした。

評価に使用する消費電力を表 3 に挙げる。

L2 ユニファイドキャッシュメモリにおいて命令とデータを区別するための 1 ビットのデータ、および、L2 ユニファイドキャッシュメモリにおいて一定のインターバルを経過していないことを示す 1 ビットのデータが必要になるが消費電力の計算の際に考慮していない。

ベンチマークプログラムとして MIBench[7]を改造したものを用いた。MIBench 中から bitcnts, qsort, susan, rijndael, sha, bf, gs, ispell, search, cjpeg, djpeg, tiff2bw, tiffdither, tiffmedian, lame、15 種類 40 パターンの評価

Stages	5(Fetch, Dispatch, Issue, Execute, Write back)
Integer ALU	4(1 multiplier / divider)
Floating Point ALU	4(1 multiplier / divider)
Load/Store unit	2
L1 Data cache size	16Kbytes(32 Bytes/entry)
L1 Data cache control	4way-set associative
L1 Data cache latency	1 cycle latency
L1 Inst. cache size	16Kbytes(32 Bytes/entry)
L1 Inst. cache control	Direct Map
L1 Inst. cache latency	1 cycle latency
L1 Unified cache size	256Kbytes(64 Bytes/entry)
L1 Unified cache control	4 way-set associative
L2 Unified cache latency	6 cycle latency
Main memory	18 cycle latency

表 2: sim-outorder のパラメータ

	Power consumption
Leakage energy per bit	1.65E-15(J)
Drowsy leakage energy per bit	2.59E-16(J)
Transition energy	2.56E-11(J)

表 3:消費電力

を行った。

5. 結果

L1 データキャッシュメモリの評価を表 4 に挙げる。評価項目として、すべてのプログラムを実行するために必要なサイクル数(cycle)、Drowsy モードから通常モードに遷移した回数(active)、通常モードのラインの総数(line)、モード遷移に必要な電力およびキャッシュメモリのスタティック電力の総計(power)、1 サイクルあたりのモード遷移に必要な電力およびキャッシュのスタティック電力(power/cycle)、DL1-NORMAL を基準としたときのそれぞれの値(cycle-r.) (active-r.) (power-r.) (power/cycle-r.)を挙げた。

L2 ユニファイドキャッシュメモリに対する評価を表 5 に挙げる。評価項目として、すべてのプログラムを実行するために必要なサイクル数(cycle)、Drowsy モードから通常モードに遷移した回数(active)、通常モードのラインの総数(line)、モード遷移に必要な電力およびキャッシュのスタティック電力の総計(power)、1 サイクルあたりのモード遷移に必要な電力およびキャッシュのスタティック電力(power/cycle)、モード遷移に必要な電力およびキャッシュメモリのスタティック電力の総計(power-r.)、UL2-NORMAL を基準としたときのそれぞれの値(cycle-r.) (active-r.) (power-r.) (power/cycle-r.)を挙げた。

L1 データキャッシュメモリの評価の結果、DL1-NORMAL と DL1-ALPHA はほぼ変わらないことがわかった。カウンタによる制御の結果、DL1-NORMAL と比較し DL1-ALPHA はサイクル数のごくわずかに増加し、Drowsy モードから通常モードに遷移する回数、通常モードを維持する回数のごくわずかに減少した。その結果、DL1-ALPHA の消費電力、サイクルあたりの消費電力は減少した。

L2 ユニファイドキャッシュメモリの評価の結果、カウンタによる制御による速度に対する影響は非常に少ないことがわかった。また、line はもっとも効果のあるもので 1 割以下に減少するが、active が 7 倍から 23 倍に増加する。そのため、消費電力に対する影響はもっとも消費電力が少ないもので 2.3 倍と大幅に増加することがわかった。消費電力が増大する最大の原因は、カウンタによる制御によりキャッシュメモリの drowsy モードから通常モードへの遷移が抑制されている状態では、L2 ユニファイドキャッシュメモリへアクセスが行われるたびにキャッシュメモリが一時的に drowsy モードから通常モードへ遷移されるため、active が非常に多くなってしまいうためである。この問題は Drowsy モードの制御の粒度を小さくすることにより影響を軽減できる可能性がある。

	cycle	active	line	power	power/cycle
DL1-NORMAL	6616841046	171928343	148884083548	9.01E-3	1.36E-12
DL1-ALPHA	6616858448	171861699	148469690144	9.01E-3	1.36E-12

表 4: L1 データキャッシュの評価(1)

	cycle-r.	active-r.	line-r.	power-r.	power/cycle-r.
DL1-NORMAL	1	1	1	1	1
DL1-ALPHA	1.00	1.00	1.00	1.00	1.00

表 5: L1 データキャッシュの評価(2)

	cycle	active	line	Power	power/cycle
UL2-NORMAL	6623201701	9952100	14490652324	2.29E-03	3.45E-13
UL2-DROWSY	6766553792	180618049	1288030534	1.10E-02	1.63E-12
UL2-DATA	6766553792	180595890	1288947351	1.10E-02	1.63E-12
UL2-INST	6692329291	105644729	1524206137	7.19E-03	1.07E-12
UL2-DATA-C-INST-S	6640810987	68057011	8756871680	5.26E-03	7.92E-13
UL2-DATA-S-INST-C	6687794641	230571258	6738953741	1.36E-02	2.03E-12
UL2-DATA-C-INST-C	6692364864	106527199	1409447823	7.23E-03	1.08E-12
UL2-DATA-C-INST-S-Gap	6640789656	68052594	8758742086	5.26E-03	7.92E-13
UL2-DATA-C-INST-C-Gap	6692361225	106519242	1409634640	7.23E-03	1.08E-12
UL2-DATA-C-INST-S-Gap-Keep	6640794710	68052173	8755665511	5.26E-03	7.92E-13
UL2-DATA-C-INST-C-Gap-Keep	6678995005	111017137	1927463373	7.46E-03	1.12E-12

表 6: L2 ユニファイドキャッシュの評価(1)

	cycle-r.	active-r.	line-r.	power-r.	power/cycle-r.
UL2-NORMAL	1	1	1	1	1
UL2-DROWSY	1.0216	18.149	0.0889	4.83	4.73
UL2-DATA	1.0216	18.147	0.0890	4.83	4.73
UL2-INST	1.0104	10.615	0.1052	3.14	3.11
UL2-DATA-C-INST-S	1.0027	6.838	0.6043	2.30	2.29
UL2-DATA-S-INST-C	1.0098	23.168	0.4651	5.94	5.89
UL2-DATA-C-INST-C	1.0104	10.704	0.0973	3.16	3.13
UL2-DATA-C-INST-S-Gap	1.0027	6.838	0.6044	2.30	2.29
UL2-DATA-C-INST-C-Gap	1.0104	10.703	0.0973	3.16	3.13
UL2-DATA-C-INST-S-Gap-Keep	1.0027	6.838	0.6042	2.30	2.29
UL2-DATA-C-INST-C-Gap-Keep	1.0084	11.155	0.1330	3.26	3.23

表 7: L2 ユニファイドキャッシュの評価(2)

6. まとめ

Drowsy キャッシュを改良する手法を提案した。L1 データキャッシュに対する提案手法は L1 データキャッシュが Drowsy モードから通常モードに移移する回数を減らし、通常モードにあるキャッシュラインを減少させることが可能であることを示した。L2 ユニファイドキャッシュに対する提案手法は通常モードにあるキャッシュラインを減少させたが Drowsy モードから通常モードへ移移する回数が増加するため消費電力を削減させることはできなかった。

今後は L2 ユニファイドキャッシュの消費電力を減少させる手法の確立を目指したい。

文 献

- [1] SIA, International Technology Roadmap for Semiconductors, 2001
- [2] M. Powell, et. al. Gated-Vdd: A circuit technique to reduce leakage in deep-submicron cache memories. Proc. of International Symposium Low Power Electronics and Design, 2000, pp. 90-95.

- [3] K. Flautner, N. Kim, S. Martin, D. Blaauw and T. Mudge, "Drowsy Caches: Simple Techniques for Reducing Leakage Power," International Symposium on Computer Architecture, 2002, pp. 148-157.
- [4] NS Kim, K Flautner, D Blaauw and T Mudge, "Drowsy instruction caches. Leakage power reduction using dynamic voltage scaling and cache sub-bank prediction," IEEE/ACM International Symposium on 35th Annual Microarchitecture, 2002, pp. 219-230.
- [5] J. S. Hu, A. Nadgir, N. Vijaykrishnan, M. J. Irwin and M. Kandemir, "Exploiting Program Hotspots and Code Sequentiality for Instruction Cache Leakage Management," International Symposium on Low power electronics and design, 2003, pp. 402-407.
- [6] Todd Austin, Eric Larson and Dan Ernst, "SimpleScalar: An Infrastructure for Computer System Modeling," Computer, 2002, pp. 59-67.
- [7] Matthew R. Guthaus, Jeffrey S. Ringenberg, Dan Ernst, Todd M. Austin, Trevor Mudge and Richard B. Brown, "MiBench: A free, commercially representative embedded benchmark suite," IEEE International Workshop on Workload Characterization, 2001, pp. 3-14.