

## VSP(Variable Stages Pipeline) の低消費電力、高性能化

秋田 直己<sup>†</sup> 佐々木 敬泰<sup>†</sup>  
大野 和彦<sup>†</sup> 近藤 利夫<sup>†</sup>

近年、モバイルコンピューティングからハイパフォーマンスコンピューティングに至るまで、幅広い分野において低消費エネルギーと高性能の両立が要求されており、様々な手法が研究されている。現在行われている低消費エネルギー化の手法の一つとしてDVSがある。しかし、この手法は将来的に消費エネルギー削減効率の低下が予想される。なぜなら近年CMOSの電源電圧は低下の一途をたどり、電源電圧の下げ幅は小さくなっているからである。そこで我々は、電源電圧に依存しない低消費エネルギー手法として可変パイプライン段数アーキテクチャ(VSP)を提案している。VSPとはパイプライン段数を動的に変化させ、同時にグリッチの緩和を行うことで、高性能と低消費エネルギーの両立を目指す手法である。VSPは高性能と低消費電力の両立を実現できるが、VSPの要素技術であるLDS-Cellを導入することでパイプラインレジスタの遅延増大を招くという問題があった。LDS-cellとはパイプラインステージ間に存在するD-FFの動作を動的にD-ラッチへ変化させることでパイプライン統合と同時にグリッチの緩和を行うものである。そこで本論文ではVSP手法を実現する上で重要なセルであるLDS-cellの改良及び評価を行った。提案手法を詳細設計し、評価したところ、従来のLDS-cellと比較して15%程度高速化できた。

### Improvement of VSP (Variable Stages Pipeline) for Low Energy and High Performance Computing

NAOKI AKITA,<sup>†</sup> TAKAHIRO SASAKI,<sup>†</sup> KAZUHIKO OHNO<sup>†</sup>  
and TOSHIO KONDO<sup>†</sup>

Recently, in the field of not only mobile computing but also high performance computing, the achievement of low energy computing and high performance computing is required simultaneously. The DVS (Dynamic Voltage Scaling) is one of the current major methodologies for low power devices. However, by DVS, the lower the chip voltage becomes in the future, the less energy saving we get by DVS. So, in order to reduce the power consumption for lower voltage devices, we propose VSP (Variable Stages Pipeline) processor with the LDS-cell that unifies pipeline stages dynamically and also decreases power consumption caused by glitch propagations on low energy mode. But, because the delay of the LDS-cell is larger than a D-FF, the maximum clock rate for VSP must be lower than the original processor. So this paper improves the LDS-cell to reduce latency and power consumption. According to evaluation results, the improved LDS-cell can achieve 15% faster than the conventional LDS-cell.

#### 1. はじめに

近年モバイルコンピューティングからハイパフォーマンスコンピューティングに至るまで、幅広い分野において低消費エネルギーと高性能の両立が要求されている。現在の汎用プロセッサの代表的な低消費電力手法であるDVS<sup>1)</sup>は、動的に電源電圧と動作周波数を変化させることで消費エネルギーを削減する。しかし、DVSは将来的に電源電圧の低下による電源電圧変化幅の減少によって消費エネルギーの削減効率が低下することが予想される。また、動作周波数の低下に比例して性能が低下するという問題点もある。そこで、我々は電源電圧に依存しない低電力化手法として、アプリケーションの特性やユーザの要求性能に応じてパイプライン段数を動的に変化させることで低消費電力と高性能の両立を目指した可変パイプライン段数アー

キテクチャ(VSP; Variable Stages Pipeline)<sup>2)3)4)</sup>を提案している。VSPはパイプラインレジスタの代わりにLDS-cellという特殊なD-FFを用いることで、動的なパイプライン段数の変更を実現している。しかしながら、従来のLDS-cellはD-FFと比較して遅延時間が大きいので、可変段数パイプライン化するためには、オリジナルのプロセッサと比較して最高クロック周波数を下げなければならないという問題があった。また、D-FFと比較してトランジスタ数が多いため、パイプラインレジスタでの消費電力が増大するという問題があった。そこで、本研究では、LDS-cellを改良し、D-FFと比べても遜色のない遅延時間を実現しつつ、消費電力を削減する回路構成を提案する。

#### 2. 関連研究

本節では、プロセッサの低消費エネルギー手法に関連する研究について概括する。現在の代表的な低消費エネルギー手法の一つとしてDVS (Dynamic Voltage Scaling)<sup>1)</sup>があげられる。DVSは動的に電源電圧と

<sup>†</sup> 三重大学大学院工学研究科情報工学専攻  
Graduate School of Engineering, Mie University

動作周波数を制御することによって消費エネルギーを削減する。消費エネルギーは電源電圧の2乗に比例するため、電源電圧を低下させることは消費エネルギーを大きく削減することにつながる。しかし、LSIの電源電圧は年々低下しており、将来的に閾値電圧の制御などの問題から電源電圧を低下させることのできる変化幅は小さくなる。そのためDVSによる消費エネルギーの削減効率は低下することになる。そこで、DVSに代わって、電源電圧に依存しないアーキテクチャレベルの低消費エネルギー手法が多く提案されている。アーキテクチャレベルの低消費エネルギー手法の一つとして、PSU (Pipeline Stage Unification)<sup>5)6)</sup> や DPS (Dynamic Pipeline Scaling)<sup>7)</sup> のように動的にパイプラインステージを変化させる手法がある。これらのプロセッサのパイプライン構造の例を図1に示す。PSUやVSPの手法は動作周波数に応じて動的にパイプラインステージを統合する。これによって以下の利点がある。

- 分岐ミスペナルティとデータ依存による待ちサイクルの削減によって実行時間を削減することが可能である。
- 使用しないパイプラインレジスタやユニットへのクロックを停止することでその部分の消費エネルギーを削減できる。

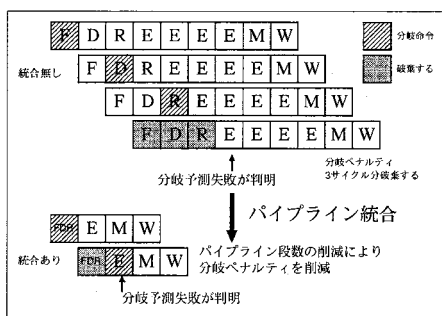


図1 パイプライン段数の変更

以上の利点によって低消費エネルギー化が可能である。

また非同期のプロセッサにおいてパイプラインラッチコントローラを制御することでパイプライン段数を削減し、低消費エネルギー化を実現する手法も提案されている<sup>8)</sup>。しかしながら、いずれの手法もパイプラインを統合することにより、巨大な組み合わせ回路ができ、その結果多大なグリッチが発生することになる。これは、パイプライン結合時に電力消費が増大する一因になり、低電力化の低減に繋がる。一方、本研究ではパイプラインステージ統合時に増加する組合せ回路内のグリッチを緩和するLDS-cellという特殊なセルを搭載している。本論文ではVSPにおける要素技術であるLDS-cellに注目し、LDS-cellのさらなる効率化と低電力化を目指す。

### 3. VSP(Variable Stages Pipeline)

本節では提案手法の説明に先立ち、まずVSPにつ

いて述べる。VSPはPSUと同様、パイプライン段数を動的に変更することで低消費エネルギー化を目指すアーキテクチャであるが、PSUとは異なり単純にステージ統合を行うのではなく、統合により発生するグリッチの増加をLDS-cellという特殊なセルを導入することにより抑制している(LDS-cellの詳細は第5節に示す)。図2にVSPプロセッサの構成図を示す。

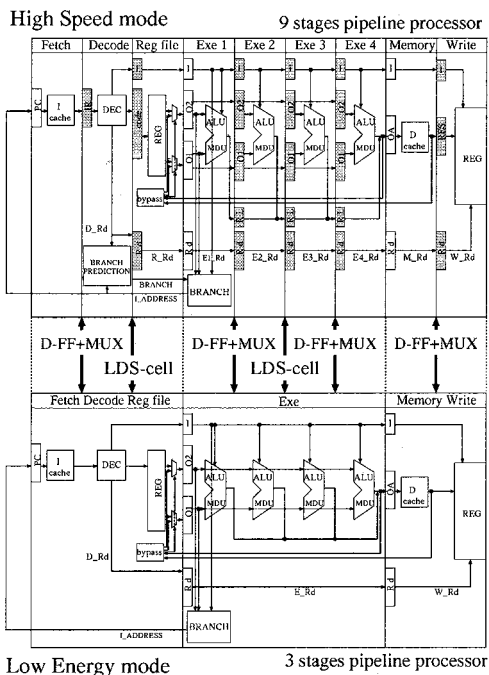


図2 VSPプロセッサの構成図

VSPはパイプライン段数の違いによってHigh Speed(HS)モードとLow Energy(LE)モードの2つのモードを持つ。これら2つのモードの特徴は以下の通りである。

#### HSモード

- 9段パイプラインであり、LDS-cellはパイプラインレジスタとして動作する。
- デコードステージに分岐予測ユニットを搭載しており、分岐ミスペナルティは3サイクルである。
- 無条件分岐は分岐予測ユニットにおいて100%の分岐予測が可能である。
- インターロックと演算結果のフォワーディング機構を搭載している。

#### LEモード

- 3段パイプラインであり、LDS-cellはグリッチの緩和を行うD-ラッチとして動作する。
- HSモードの1/4の周波数で動作する。
- 遅延分岐、遅延ロード、フォワーディングによって分岐ペナルティやデータ依存によるインターロックが発生しない。

- 分岐予測ユニットやバイパスされて使用しなくなったパイプラインレジスタのクロックを止めることでパイプラインレジスタで消費されるエネルギーを削減することができる。

著者らはこれまでに VSP を詳細設計し、その有効性を示している<sup>4)</sup>。図 3 に DVS, PSU, VSP それぞれの手法を用いたプロセッサについて消費エネルギーについて行った評価結果を示す。ベンチマークプログラムは、10 個の整数をバブルソートによってソートする”bubble sort”, ユークリッドの互除法のプログラムである”euclidean algorithm”である。

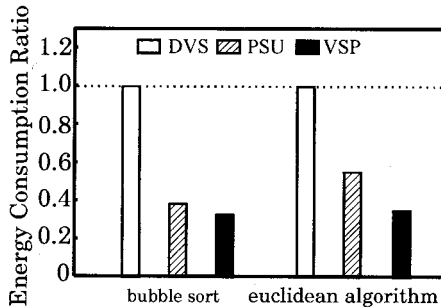


図 3 LE モード消費エネルギー比

図 3 より、VSP は低消費電力モードである LE モードにおいて従来法よりも消費エネルギーを削減できていることが見られる。一方、紙面の都合上グラフは省略したが、HS モードでは VSP と PSU は、DVS と比較してわずかに消費電力が増加した。

#### 4. 消費エネルギー

本研究の目的は低消費エネルギーと高性能の両立である。そこで本節では消費エネルギーと性能について定義を行う。今回は性能は計算の実行時間を指標とする。今回はパイプラインを持つ演算器であるため、計算実行のためのサイクル数にクロック周期を掛けることで実行時間を求めることができる。次に消費エネルギーは計算を実行するために必要な消費エネルギーと定義する。CMOS で構成された回路の消費エネルギー  $E$  は消費電力  $P$  実行時間  $T$  を用いて以下の式によって求められる。

$$E = P \times T = St \times C \times V^2 \times G \times cycle$$

$St$  はゲートのスイッチング確率、 $C$  は容量 (ゲート容量、配線容量を含む)、 $V$  は電源電圧、 $G$  はゲート数、 $cycle$  はアプリケーションを実行するサイクル数である。この式から、今回消費エネルギーを減らすためには LDS-cell のトランジスタ数、遅延時間を減らす必要があることがわかる。式からも分かるように消費エネルギーは動作周波数に依存しない。これが消費エネルギーと消費電力の違いである。本研究ではなるべく性能を低下させずに計算を実行するために必要なエネルギーを削減するための手法の考案、実装が目的である。

#### 5. Latch D-FF Selector - cell の改良

本節では VSP の要素技術である LDS-cell とその改良手法について述べる。まず、第 5.1 項で LDS-cell の基本動作について説明を行う。次に、第 5.2 項では改良型 LDS-cell の提案について述べ、最後に第 5.3 項で実際に実装を行った LDS-cell のレイアウト手法について説明を行う。

##### 5.1 LDS-cell の基本動作

LDS-cell はパイプライン統合時において図 4 のような働きをする。

- D-FF パイプラインステージを統合しない時のパイプラインレジスタとして動作。
- D-ラッチ パイプラインステージを統合した時にパイプラインステージ内に挿入され、パイプラインステージをクロックの前半と後半に分けて動作させることで、グリッチの伝播を防ぐ。

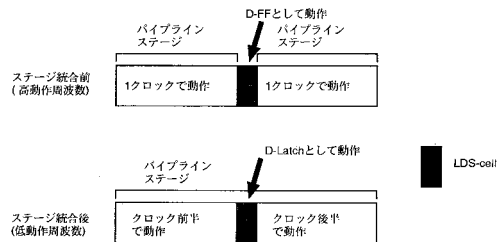


図 4 LDS-cell 型パイプラインレジスタの動作

グリッチは組合せ回路内のゲートの遅延によって各ゲートに入力される信号の時刻がそろっていないために発生する。また、発生したグリッチによって新たなグリッチが発生するため、一般的に組合せ回路の規模が増大するとグリッチの量も増大する。VSP では統合されたパイプラインステージに D-ラッチを挿入することでグリッチ増加を緩和する。これにより D-ラッチより前の組み合わせ回路で発生したグリッチを D-ラッチ以降に伝播させず、D-ラッチ以降のデータ入力時刻を一致させることができるという効果が得られる。この効果によって統合されたパイプラインステージでのグリッチの緩和が可能になる。

図 5 は LDS-cell の動作の概念図で、LDS-cell が D-FF と D-ラッチの両方の役割を果たすことを示している。LDS-cell 型パイプラインレジスタはパイプラインステージ統合時において図 5 のようにクロックの前半部分と後半部分において動作を行う。クロックの前半部分はマスター・ラッチの値が出力されるため、グリッチが含まれる前段の出力が次段の入力へ伝えられない。クロックの後半部分ではスレーブ・ラッチがバイパスされるため、前段の出力が次段の入力へと伝えられてステージ間の統合を実現し、save\_power 信号線を High にすることによってパイプラインレジスタは D-ラッチとして機能している。非統合時には LDS-cell 型パイプラインレジスタは save\_power 信号線を Low にすることで D-FF と同じ振る舞いをする。

##### 5.2 改良型 LDS-cell の提案

LDS-cell は D-FF をベースに設計されている。と

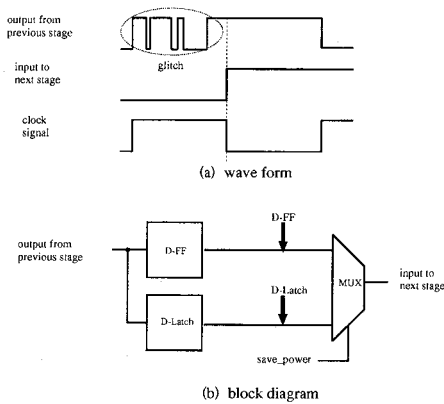


図 5 LDS-cell 型パイプラインレジスタの動作の概念図

というのは我々がスタンダードセルを用いた設計を前提としており、パイプラインレジスタが D-FF を用いて設計されているプロセッサを想定しているためである。図 6 に D-FF の構成を示し、図 7 に従来の LDS-cell

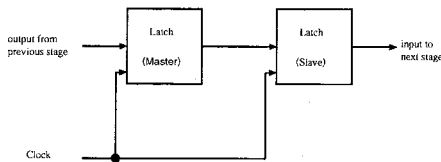


図 6 マスタースレーブ型 D-FF

の構成を示す。従来の LDS-cell は通常のマスタースレーブ方式の D-FF に含まれている 2 つのキーパー (Master と Slave) に MUX を 1 つ追加したセルである。LDS-cell は D-FF + MUX と同じスタンダードセルをベースにしているため、D-FF + MUX と同じ大きさで同じ駆動能力となる。対して、提案手法の

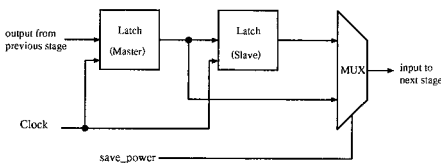


図 7 従来 LDS-cell の構成図

LDS-cell はマスタースレーブ型の D-FF のクロックを分割、操作することで従来のものから MUX を省いたものである。LDS-cell のブロック図を図 8 に、回路図を図 9 に示す。

この手法でどのように動作するかを説明する。HS モード時は Clock2 を Clock1 の逆位相に、LE モード時は Low に固定することでスレーブ・ラッチはマスター・ラッチからの出力を素通りさせるようになる (図 10 参照)。よって LDS-cell はマスター・ラッチの

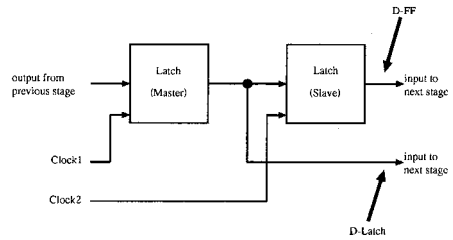


図 8 提案手法 LDS-cell の構成図

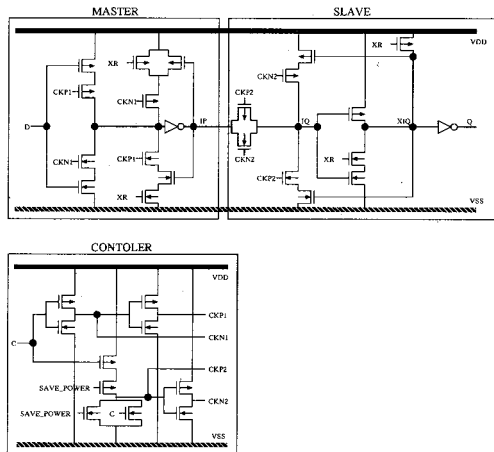


図 9 提案手法 LDS-cell のトランジスタ構成

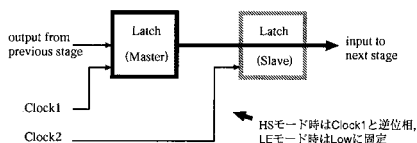


図 10 提案手法 LDS-cell の動作

値を出力し続けることになる。このようにして、LE モード時に Clock2 を Low に固定することで MUX を削減しつつ従来の LDS-cell と同じ様に D-FF と D-ラッチの働きをスイッチさせることが可能となる。

### 5.3 LDS-cell の効率的なレイアウト手法の提案

今回の手法はクロック信号線が 2 本になり制御が難しくなる、また、クロック信号線の制御のために追加する回路の追加によるオーバーヘッドの問題がある。これらの問題については以下のように解決を試みる。

図 11 のように多ビット版 LDS-cell の提案をする。このような設計で 2 相クロックはセル利用者側からは単相クロックに見せかけることができるようになり、提案手法 LDS-cell の持つ複雑さを隠蔽することが可能である。また、トランジスタの共通部分をまとめることで更にトランジスタを削減し、小面積化も図ることができる。多ビット版 LDS-cell はクロックを二つに分割するためにコントローラを追加している。LDS-cell

はマスタースレーブ型 D-FF を元に設計されており、この D-FF のクロックスキューは非常にシビアであるためそれぞれのクロック信号を同期させることは困難である。そこでコントローラを追加し、コントローラでクロックを生成することでクロックスキューの問題を解決しつつクロックの制御を可能にしている。

また、一般に LSI 内の D-FF は膨大であり、クロック線の負荷が非常に大きくなるため、通常の設計ではクロック線に対して、適宜バッファを挿入しながら樹状に配線を行うクロックツリーを用いる。そこで、本研究では、多ビット版 LDS-cell のコントローラをクロックバッファの一部とみなし、図 12 のようにクロックツリー内に混ぜて配置・配線することで、LDS-cell で発生する遅延を隠蔽し、かつ LDS-cell 利用者からは単層クロックの多ビットセルとして見せるようにしている。

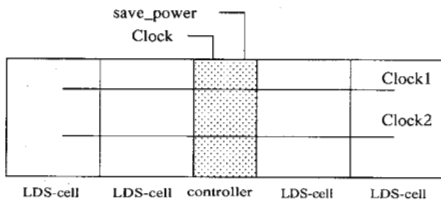


図 11 多ビット版 LDS-cell の提案

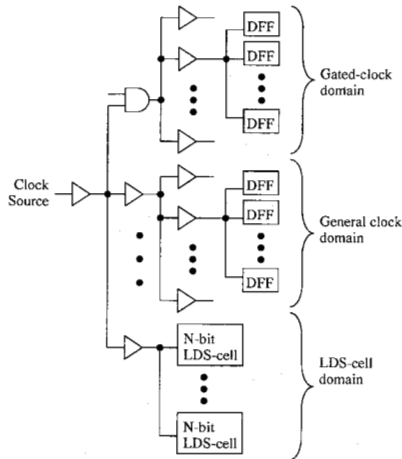


図 12 提案手法 LDS-cell で生じる遅延の隠蔽

## 6. 評価

実際に提案手法の LDS-cell を詳細設計し、提案手法を用いた 4 ビット版 LDS-cell を従来手法の LDS-cell、スタンダードセルである D-FF と比較評価した。結果を表 1 に示す。

表 1 は同じ駆動力の提案手法 LDS-cell、従来手法

表 1 4 ビット版 LDS-cell の遅延時間と消費電力量評価

	遅延 (ns)	消費電力量 (pJ)
提案 LDS-cell(P010)	0.481	0.06047
従来 LDS-cell(P010)	0.610	0.05388
D-FF(P010)	0.481	0.04725

LDS-cell、D-FF の遅延及び消費電力量を評価した結果であり、評価対象のセルに Hitachi 0.18um CMOS テクノロジーのスタンダードセルである HIT18INVP010 10 個分を負荷として与え、クロック信号が Hi の時の入力信号の立ち上がり、立ち下がり、クロック信号が Low の時の入力信号の立ち上がり、立ち下がり、の遅延と消費電力の平均を計測したものである。

ここで提案手法の LDS-cell は 4 ビット単位のセルであり、また内部にクロックバッファ相当の回路を有している。一方、従来の LDS-cell、および D-FF は 1 ビット単位のセルである。そこで、提案手法の評価が不当に有利にならないように、従来の LDS-cell、および D-FF の評価では、4 ビット分を並べ、クロックバッファには無限のドライブ能力を持つものとして評価を行った。

表 1 に示されるように従来手法と比較して遅延時間に大幅な改善が見られる。これは提案手法の LDS-cell はクロックバッファを内部に取り込んでおり、かつ D-ラッチ用の 2 相クロック生成用のバッファを LDS-cell 用にチューニングしたためと考えられる。これは、例えば VSP 化していないオリジナルのパイプラインでは最大動作周波数が 1000MHz であった時に、従来手法では LDS-cell の遅延時間が原因で最大動作周波数が 880MHz まで低下してしまうが、提案手法なら最大動作周波数をオリジナルと同じクロックにすることができることになる。

しかしながら、消費電力に関しては従来手法よりも増大してしまう結果となった。提案手法は、従来手法よりもトランジスタ数が減っており、実際に 1 ビット単体での消費電力は従来手法よりも提案手法の方が小さかった。この結果は、提案手法 LDS-cell を制御するためのコントローラ部分で想定外の消費電力の増大を招いたことが原因と思われる。

また、複数ビット LDS-cell の効果を評価するためにパイプライン化された配列乗算器 (図 13 参照) を Verilog HDL を用いて詳細設計を行い、Hitachi 0.18um CMOS テクノロジーを用いて論理合成したネットリストに対し手で LDS-cell を挿入した。この配列乗算器で数万サイクル分演算を行わせ、消費エネルギーを測定した結果を図 14、図 15 に示す。

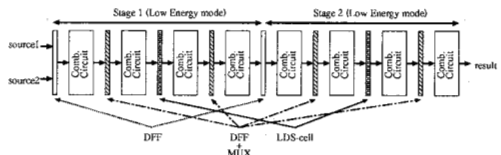


図 13 LDS-cell を搭載した配列乗算器

図 14 より、HS モードでは組み合わせ回路部分、D-FF 自体では当然電力には差が出ないが、提案手法の

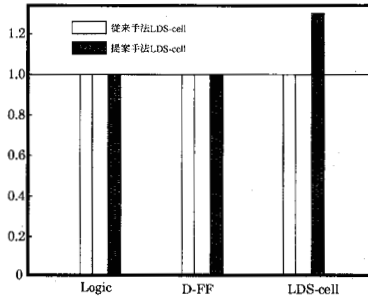


図 14 HS モード消費エネルギー比

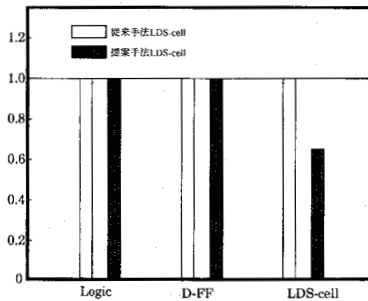


図 15 LE モード消費エネルギー比

LDS-cell の消費電力が従来手法よりも増加してしまっ  
た。先に述べたとおりコントローラ部分での電力消費  
によるものと思われる。一方図 15 より LE モードで  
は LDS-cell の部分で消費電力が削減されている。こ  
れは従来手法からのトランジスタ数の大幅な削減と、  
提案手法が LE モード時にスレep・ラッチを停止し、  
その部分で電力を消費しないということが理由とし  
てあると思われる。トランジスタ数の削減という点で  
は HS モード時にも従来手法より消費エネルギーが削  
減されるべきだが今回はこのような結果となった。こ  
の原因については、現在調査中であり、原因を解析し  
た上で、今後のコントローラ回路の改良を行う予定で  
ある。

## 7. まとめ

本節では本論文のまとめを述べる。本研究では従来  
の LDS-cell からクロック信号の制御という観点より、  
より低消費電力、構成を達成することを目的として新  
型 LDS-cell の開発を試みた。LE モード時には 15%程  
度の高速化と 30%程度の停電力化を実現できた。一  
方、HS モード時には D-FF と同程度の速度を実現で  
きるようになったが、従来手法と比較して消費電力が  
増大するという結果になった。この原因については現  
在調査中であり、原因を解析した上で、今後はコント  
ローラ回路の改良、改良型 LDS-cell のプロセッサへ  
の組み込み及び、評価を行う予定である。

## 謝 辞

本研究の一部は科研費補助金 (19700042) の援助を  
受けている。また、LSI 設計は東京大学大規模集積シ

ステム設計教育研究センターを通し、シノプシス株式  
会社、株式会社日立製作所および大日本印刷株式会  
社の協力で行われたものである。

## 参 考 文 献

- 1) J. Pouwelse, K. Langendoen, and H. Sips, "Dynamic voltage scaling on a low-power microprocessor", 7th ACM Int. Conf. on Mobile Computing and Networking (Mobicom), pp.251-259, July 2001.
- 2) 市川 裕二, 佐々木 敬泰, 弘中 哲夫, "可変パイプラインを用いた低消費エネルギープロセッサの設計と評価", 情報処理学会 研究報告, pp.37-42, 2005 年 8 月.
- 3) 市川 裕二, 佐々木 敬泰, 弘中 哲夫, 谷川 一哉, 北村 俊明, 近藤 利夫, "可変パイプラインを用いた低消費エネルギープロセッサの設計と評価", 情報処理学会論文誌 (コンピューティングシステム), Vol.47, pp.231-242, 2006 年 5 月.
- 4) Yuji Ichikawa, Takahiro Sasaki, Tetsuo Hironaka, Kazuya Tanigawa, Toshiaki Kitamura, and Toshio Kondo, "A Design of Prototype Low Energy Processor by Variable Stages Pipeline Technique," Proc. of International Technical Conference on Circuits/Systems Computers and Communications (ITC-CSCC2005), Vol.2, pp.561-562 2005 年 7 月.
- 5) 嶋田 創, 安藤 秀樹, 島田 俊夫, "パイプラインステージ統合: 将来のモバイルプロセッサのための消費エネルギー削減技術", 2003 年先進的計算基盤システムシンポジウム SACSIS 2003, pp.283-290, 2003 年 5 月.
- 6) 嶋田 創, 安藤 秀樹, 島田 俊夫, "パイプラインステージ統合とダイナミック・ボルテージ・スケールリングを併用したハイブリッド消費電力削減機構", 2004 年先進的計算基盤システムシンポジウム SACSIS 2004, pp.11-18, 2004 年 5 月.
- 7) Koppanalil, J., Ramrakhiani, P., Desai, S., Vaidyanathan, A. and Rotenberg, E., "A Case for Dynamic Pipeline Scaling", Proc. of Int. Conf. on Compilers, Architecture, and Synthesis for Embedded Systems 2002, pp.1-8, 2002.
- 8) Efthymiou, A. and Garside, J. D., "Adaptive Pipeline Depth Control for Processor Power-Management", "Proc. of Int. Conf. on Computer Design 2002, pp.454-457, 2002.