

## 強誘電体機能パスゲートを用いた マルチコンテキストフィールドプログラマブルVLSIの構成

井戸端 紀彰 石原 翔太 張山 昌論 亀山 充隆

東北大学大学院情報科学研究科 〒 980-8579 宮城県仙台市青葉区荒巻字青葉 6-6-05

E-mail: {idobata, ishihara}@kameyama.ecei.tohoku.ac.jp, {hariyama, kameyama}@ecei.tohoku.ac.jp

あらまし マルチコンテキストFPGA(Field Programmable Gate Array)では、コンテキストを高速に切り替える為に複数のコンテキストプレーンを事前にチップ内に記憶する必要がある。そのため、それを記憶するメモリの容量が膨大となり、面積、消費電力が増大する。この問題を解決するために、マルチコンテキストスイッチ(MC-switch)に演算と記憶を一体化することが可能な強誘電体機能パスゲートを用いる。強誘電体機能パスゲートを用いることで、従来のSRAMセルを用いたMC-switchに比べ、約86%のトランジスタ数でMC-switchを実現することが可能である。本稿では、その試作および評価結果を報告する。

キーワード 動的再構成, マルチコンテキスト, FPGA, 強誘電体キャパシタ, 機能パスゲート

### Design of a Multi-Context Field Programmable VLSI Using Ferroelectric-Based Functional Pass-Gates

Noriaki IDOBATA, Shota ISHIHARA, Masanori HARIYAMA,  
and Michitaka KAMEYAMA

Graduate School of Information Sciences, Tohoku University  
6-6-05 Aoba, Aramaki, Aoba, Sendai, Miyagi, 980-8579 Japan

E-mail: {idobata, ishihara}@kameyama.ecei.tohoku.ac.jp, {hariyama, kameyama}@ecei.tohoku.ac.jp

**Abstract** Multi-Context FPGAs have multiple memory bits per configuration bit forming configuration planes for fast switching between contexts. Large amount of memory causes significant overhead in area and power consumption. In order to overcome the overhead, this paper presents a ferroelectric-based functional pass-gate that merges storage and switching functions for a multi-context switch (MC-switch). The transistor count of the proposed MC-switch is reduced to 86% in comparison with that of a SRAM-based one. This paper reports the implementation and its result.

**Key words** Dynamically Reconfigurable, Multi-Context, FPGA, Ferroelectric Capacitor, Functional Pass-Gates

#### 1. まえがき

DPGA(Dynamically Programmable Gate Array)では、時間に連続な処理を行う際に、複数のプログラムを動的に切り替えることでハードウェアを再利用することが可能であり、従来のFPGA(Field Programmable Gate Array)に比べ面積の削減に有効である[1]。DPGAの典型的なアーキテクチャの一つとして、マルチコンテキストFPGA(MC-FPGA)がある。MC-FPGAでは、回路情報であるコンテキストの切り替えを高速に行うために複数のコンテキストプレーンをあらかじめチップ内のコンフィグレーションメモリに記憶する。図1にMC-FPGAの全体の構

成を示す。それぞれのセルはプログラム可能なロジックブロック(MC-LB)とスイッチブロック(MC-SB)から構成されている。コンテキスト切替信号(CS)はチップの外部から入力され、全てのセルで共有されている。各MC-SBはクロスバー構造をとり、各クロスポイントはマルチコンテキストスイッチ(MC-switch)により構成されている。図2に従来のSRAM(Static Random Access Memory)セルを用いたMC-switch(4コンテキスト)の構成を示す。1つのMC-switchには記憶するためのSRAMセルが4bit、コンテキストIDによってどのSRAMセルの情報を用いるかを定めるためのマルチプレクサ(MUX)とデータパスでのパストランジスタが必要となる。Nコンテキストを実現す

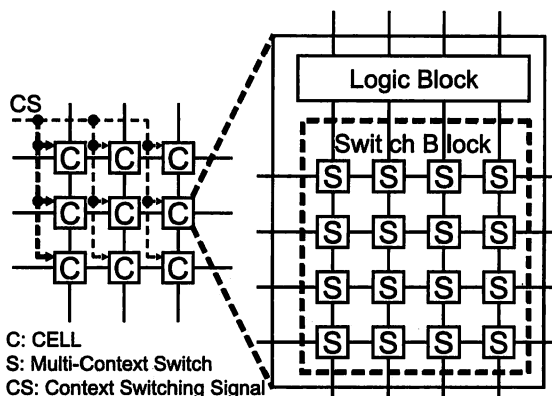


図1: MC-FPGA の構成

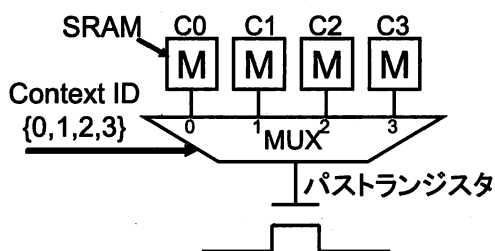


図2: SRAM を用いた MC-switch(4 コンテキスト)

るためには  $N$  ビットの SRAM セルが必要となり、面積効率が良くない [2]。SRAM セルを用いているために、電源投入後、外部メモリよりコンフィグレーションデータを読み込む必要があり、これらの面積や消費電力も問題となってきている。

それらを解決する手法として、記憶と演算が不揮発メモリである FGPMOS (Floating Gate MOS) を用いて単一の回路で実現可能な FGFP (Floating Gate Functional Pass-gate) [3] を用いたマルチコンテキスト FPGA が提案されている [4], [5]。記憶と演算が一体となっているため回路面積が小さく、不揮発メモリを用いているため、電源投入後に外部メモリよりコンフィグレーションデータを読み込む必要がなく、静的消費電力も小さいという利点がある。

FGFP を用いた手法では、面積の削減および消費電力の低減は可能となったが、多値信号を用いて閾演算していることから、データパスで大きな遅延が発生している。また、FGPMOS を用いるためにその製造に特殊なプロセスが必要であること、FGPMOS への書き込みに高電圧を用意する必要があることなど、CMOS 部との親和性が悪いという問題がある。それらの問題を解決するために本研究では CMOS との親和性の良い強誘電体キャパシタを用いる。

本稿では、強誘電体キャパシタを用いた機能パスゲートを提案する。データパスでの遅延の解消のために、パストランジスタのゲート入力には、強誘電体キャパシタから読み出したデータを 2 値信号にして用いる。そのための動作として、強誘電体キャパシタの電荷の初期化、強誘電体キャパシタからのデータ

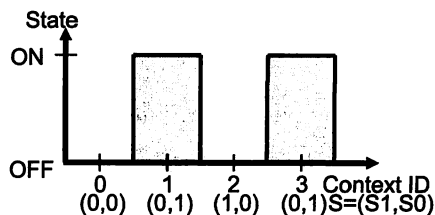


図3: MC-switch の機能の一例

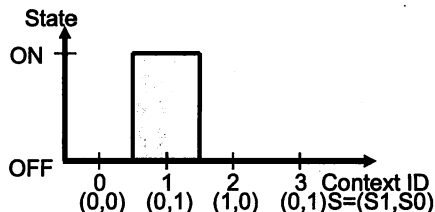


図4: ウィンドウリテラル  $F_{WL1}$

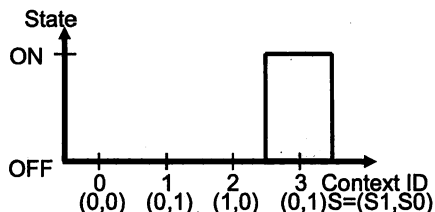


図5: ウィンドウリテラル  $F_{WL2}$

の読み出し、読み出したデータの保持が必要である。同時に、従来から強誘電体キャパシタで問題となっていたリーク電流の問題を解決する。提案回路には、コンテキスト切替信号に多値・2 値ハイブリッド制御信号 [5] を用いており、SRAM セルを用いた MC-SB に比べ、約 86% のトランジスタ数で MC-SB を実現可能である [6]。本稿では、その試作結果について報告する。

## 2. 機能パスゲートを用いたマルチコンテキストスイッチの構成

MC-switch の機能は図 3 示すような論理関数で表すことができる。図 3 において横軸はコンテキスト ID であり、縦軸は MC-switch のパスゲートの状態を示している。この論理関数は 2 つのウィンドウリテラルの論理和で表すことができる (図 4, 図 5)。パスゲートの閾値  $S_a, S_b$  ( $S_a < S_b$ )、入力としてコンテキスト ID を信号としたコンテキスト切替信号  $S$  が与えられたとき、ウィンドウリテラル  $F_{WL}$  は式 (1) にて表される。

$$F_{WL}(S, S_a, S_b) = \begin{cases} 1 & (S_a \leq S \leq S_b) \\ 0 & (\text{その他}) \end{cases} \quad (1)$$

よって、MC-switch の機能を表す論理関数  $F$  は、式 (2) にて表される。

$$F(S) = F_{WL}(S, S_a, S_b) + F_{WL}(S, S_c, S_d) \quad (2)$$

ウィンドウリテラル  $F_{WL}$  は図 6 と図 7 に示すようなアップリテラルとダウンリテラルの論理積により表すことができる。

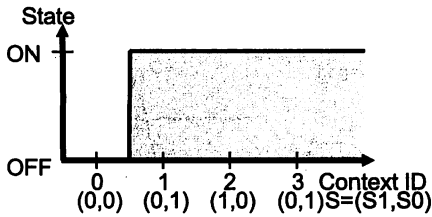


図 6: アップリテラル

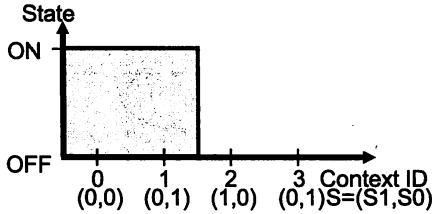


図 7: ダウンリテラル

アップリテラルとは図 6 に示すように、入力が増える時のみパルスの状態が ON となる論理関数である。

閾値  $T$ 、コンテキスト切替信号  $S$  が与えられた時、アップリテラル  $F_{UL}$  は式 (3) にて表される。

$$F_{UL}(S, T) = \begin{cases} 1 & (T \leq S) \\ 0 & (\text{その他}) \end{cases} \quad (3)$$

また、ダウンリテラルは図 7 に示すように、入力が増える時のみパルスの状態が OFF となる論理関数である。

閾値  $T$ 、コンテキスト切替信号  $S$  が与えられた時、ダウンリテラル  $F_{DL}$  は式 (4) にて表される。

$$F_{DL}(S, T) = \begin{cases} 1 & (S \leq T) \\ 0 & (\text{その他}) \end{cases} \quad (4)$$

よって、ウィンドリテラル  $F_{WL}$  は、 $F_{UL}$ 、 $F_{DL}$  を用いて式 (5) にて表される。

$$F_{WL}(S, S_a, S_b) = F_{UL}(S, S_a) \cdot F_{DL}(S, S_b) \quad (5)$$

これまでに、FGMOS を用いてパストランジスタの閾値電圧を変化することで、アップリテラル、ダウンリテラルをそれぞれ単一の FGMOS で実現できる FGFP が提案されている [3]。

FGFP を用いた手法では、アップリテラル、ダウンリテラルの論理積は FGFP の直列接続で実現でき、ウィンドリテラルの論理和は FGFP の直列接続した回路同士を並列接続することで実現可能である。よって、図 8 に示すように 4 コンテキストの MC-switch は 4 つの FGFP で実現することが可能である [4]。

また、FGFP と多値・2値ハイブリッド制御信号を用いた手法 [5] を用いると、4 コンテキストの場合、各 MC-switch は図 9 に示すように 2 つの FGFP から構成され、多値のレベルを 3 レベルで表現することで MC-switch の機能を満たすことができる。

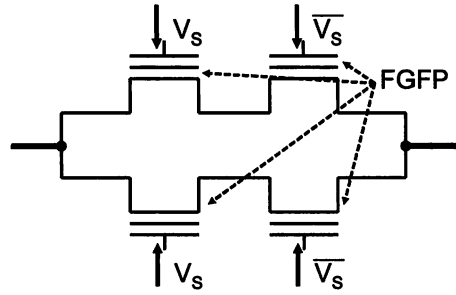


図 8: FPGA を用いた MC-switch

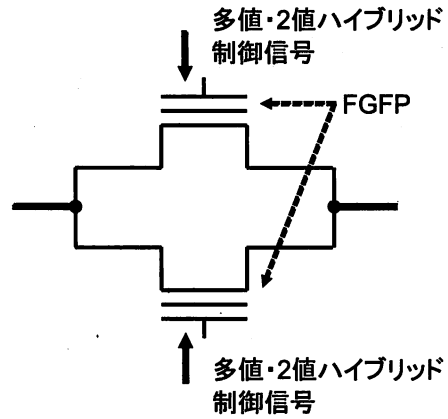


図 9: FPGA と多値・2値ハイブリッド制御信号を用いた MC-switch

### 3. 強誘電体機能パルスをを用いたマルチコンテキストスイッチの構成

FGFP を用いた手法では、これまでに 2 つの問題点が存在した。1 つは、FGMOS は CMOS とは別工程で製造する必要があり、CMOS との親和性が良くない。もう 1 つは、多値電圧を使っているためにデータパスで遅延が大きい。前者の問題を解決するために、CMOS と親和性の良い強誘電体キャパシタを用いる。後者の問題を解決するために、強誘電体キャパシタから読み出したデータが閾値を超えていれば  $v_{dd}$ 、閾値を超えていなければ  $gnd$  をパストランジスタのゲート入力とすることで、データパス上での遅延を減少させる。

強誘電体キャパシタは図 10 に示すように、その容量とその両端にかかる電圧との間にヒステリシス特性を持ち、両端にかかる電圧が 0[V] であっても、分極が残る (残留分極)。図 11 に示した 2 つの強誘電体キャパシタを容量結合した機能パルスを構成する。その残留分極の向きの違いにより、入力電圧が印可されたときに強誘電体キャパシタの同士の結合部位の電位  $V_{fg}$  に生じる電圧が異なる。そのため、 $V_{fg}$  をパストランジスタのゲート入力とし、 $V_1$ 、 $V_2$  に対して閾演算することができる。ここで、 $V_2$  は強誘電体キャパシタのプログラム時のみに入力を変化させ、動作時にはグラウンド電位とする。 $V_1$  をコンテキスト切替信号とすると、MC-switch では  $V_1$  の閾演算によって、パルスの状態が決まる。

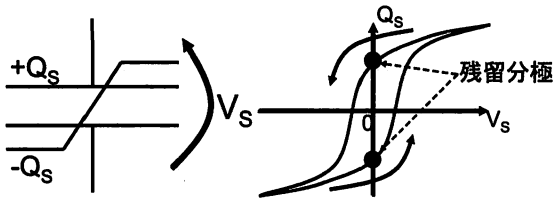


図 10: 強誘電体キャパシタのヒステリシス特性

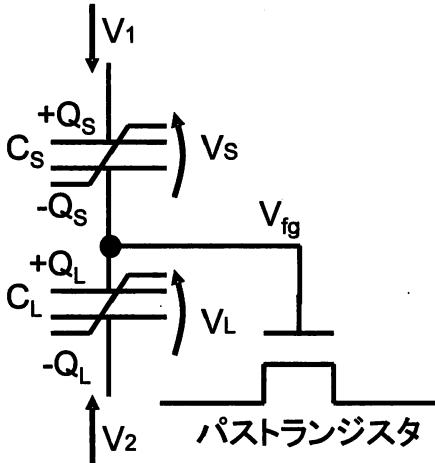


図 11: 強誘電体キャパシタを用いた機能パスゲート

図 11 の回路の閾演算動作を図 12 と図 13 に示す。ここでは、プログラムの一例としてそれぞれの強誘電体キャパシタの残留分極が  $(Q_S, Q_L) = (-1, -1)$  の例を挙げる。ここで、残留分極の値が “-1” とは図 12 と図 13 において分極の向きが下向きであることを指す。  $V_{fg}$  はフローティングノードである。図 12 に示すように初期状態として、  $V_1, V_2$  にはそれぞれグラウンド電位が入力されている。このとき、図 12 には残留分極以外の電荷は存在しないものとする。この状態より、  $V_1$  に電源電圧  $vdd$  を入力したときの様子を図 13 に示す。  $V_1$  に電圧が印可されたことにより、強誘電体キャパシタ  $C_S$  の上部に  $\Delta Q$  の電荷が増加する。そのため、  $C_S$  の下部には  $-\Delta Q$  の電荷が増加する。ここで、  $C_S$  と  $C_L$  の残留分極を除く電荷の総量は 0 でなければならないので、  $C_L$  の上部には  $\Delta Q$  の電荷が増加し、  $C_L$  の下部には  $-\Delta Q$  の電荷が増加する。そのようにして、それぞれの電荷に応じて  $V_S, V_L$  が決まる。ここで、2 つの強誘電体キャパシタの特性が等しければ、  $Q_S = Q_L$  であり、  $\Delta V_S = \Delta V_L$  となる。  $V_S + V_L = vdd$  であるので、  $V_S = V_L = vdd/2$  となる。  $V_2$  がグラウンド電位であるため、  $V_{fg} = V_L$  なので、  $V_{fg} = vdd/2$  となる。残留分極の向きによって、強誘電体キャパシタの特性は異なるため、残留分極の向きの組み合わせによって、4 種類の  $V_{fg}$  の値を作ることができる。表 1 に残留分極の向きの組み合わせとパスゲートで実現したい機能について示す。図 11 の回路をシミュレーションした結果を図 14 に示す。強誘電体キャパシタのシミュレーションモデルは [7], [8] を基に作成されている。図 14 の横軸は時間軸であり、一定時間ごとにコンテクス

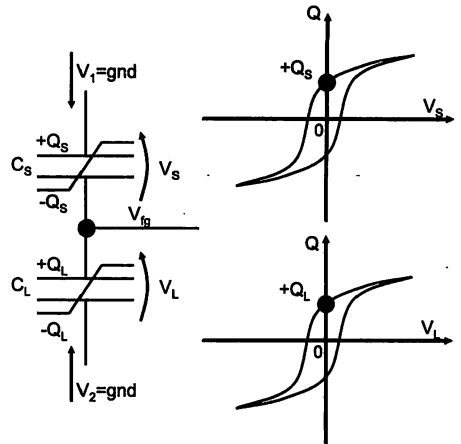


図 12: 初期状態

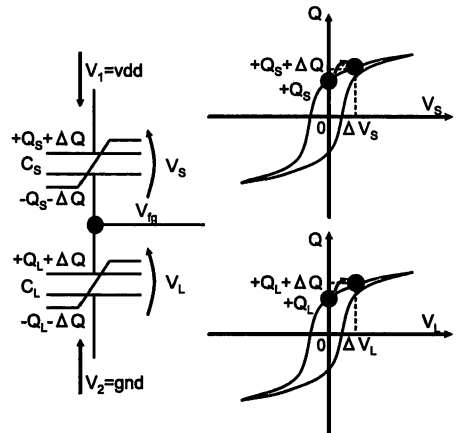


図 13:  $V_1$  に電源電圧を印可した状態

ト ID を切り替えている。縦軸は、  $V_{fg}$  の電位を示している。  $V_1$  にはコンテキスト切替信号が入力されており、3 値の電圧を持つ。図 14 より、残留分極の違いにより  $V_{fg}$  に生じる電圧が異なることがわかる。図 14 に示したように閾値電圧を設定すると、  $(Q_S, Q_L) = (-1, +1), (+1, -1)$  のときはパストランジスタの機能は等しいため、どちらか一方のみ満たせば、機能パスゲートとして機能するため、表 1 を満たすことができる。

図 11 に示す回路では、強誘電体キャパシタの両端に電位差があると微小ながらリーク電流が流れ、パストランジスタのコントロールゲートの電位  $V_{fg}$  が徐々に変化するという問題がある。この問題を解決するためには一定時間ごとに  $V_{fg}$  にたまった電荷を初期化する動作が必要である。電荷の初期化は図 11 中において  $V_1, V_2, V_{fg}$  を同電位にすることで行うことができる。MC-switch の機能として、コンテキスト ID の切り替え時以外の動作中にパストランジスタの状態を変化することは許されていない。そこで、リーク電流の問題を解決するために、コンテキスト ID の切り替え時に強誘電体キャパシタからデータを読み出し、それ以後そのデータを保持する動作を行う。パストランジスタの状態は ON か OFF かの 2 値をとるため、保持するデータは 2 値信号となる。図 15 に保持するための回路を付

表 1  $Q_S, Q_L$  の残留分極と機能パスゲートの状態の関係

$Q_S$ の残留分極	$Q_L$ の残留分極	パストランジスタの機能
-1	-1	1 以上で ON
-1	+1	2 以上で ON
+1	-1	2 以上で ON
+1	+1	常に OFF

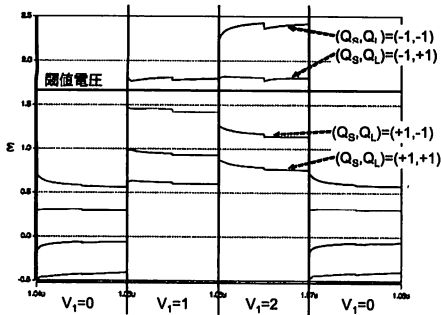


図 14: シミュレーション結果

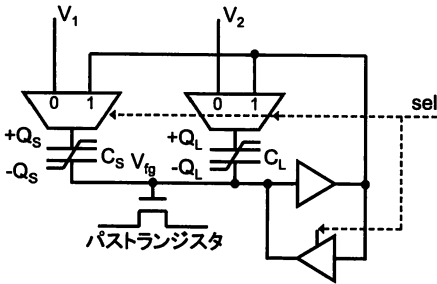


図 15: リフレッシュ動作が不要である機能パスゲートの構成

加した機能パスゲートの構成を示す。この回路では、制御信号 sel が 0 の時は  $V_{fg}$  がフローティングノードとして働き、各強誘電体キャパシタへ  $V_1, V_2$  が入力されることで、強誘電体キャパシタに保存されているデータを読み出すことができる。制御信号 sel が 1 の時は、強誘電体キャパシタから読み出したデータがバッファを通ることで 2 値化され、 $V_{fg}$  へと入力される。それと同時に各強誘電体キャパシタへ  $V_{fg}$  と同電位が印可されるために各強誘電体キャパシタにおいて両端の電位差がそれぞれ 0[V] となるので、残留分極が保持される。

図 15 の回路にプログラムに必要な回路を付加した機能パスゲートの回路図を図 16 に示す。図 16 では、コンテキスト ID の切り替え時に次の 3 動作を行う。

- A: 強誘電体キャパシタの電荷の初期化
- B: 強誘電体キャパシタからのデータの読み出し
- C: 読み出したデータの保持

まず、強誘電体キャパシタからデータを読み出すにあたり、強誘電体キャパシタの電荷を残留分極以外には無い状態にしなければならない。そこで、強誘電体キャパシタの両端にグラウンド電位を印可する。そのときの動作として、図 16 に示す回路の各部には次に示す電圧を印可する。

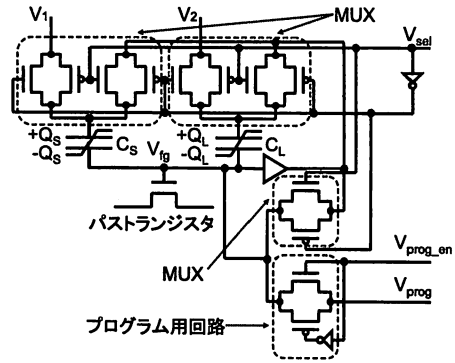


図 16: リフレッシュ動作が不要である機能パスゲートの回路図

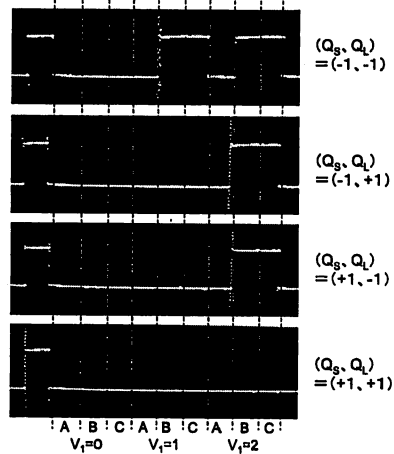


図 17: 図 16 の回路の測定結果

$V_{sel} = gnd, V_1 = gnd, V_2 = gnd, V_{prog-en} = vdd, V_{prog} = gnd$

次に強誘電体キャパシタからデータを読み出すためには、 $V_{fg}$  をフローティングノードとし、 $C_S, C_L$  には  $V_1, V_2$  の入力が必要とされない。図 16 に示す回路の各部には下に示す電圧を印可する。ここで、 $V_S$  はコンテキスト切替信号である。

$V_{sel} = gnd, V_1 = V_S, V_2 = gnd, V_{prog-en} = gnd, V_{prog} = gnd$

最後に次のコンテキスト ID の切り替え時まで読み出したデータを保持する。 $V_{fg}$  の電圧はバッファを通すことで 2 値化され、その値を各強誘電体の両端に同時に印可する。各部の電圧を次に示す。

$V_{sel} = vdd, V_1 = gnd, V_2 = gnd, V_{prog-en} = gnd, V_{prog} = gnd$

その動作結果を図 17 に示す。図 17 の  $V_1$  はコンテキスト切替信号であり、グラウンド電位から電源電位までを 3 値で表した値である。A, B, C とあるのは、前述した動作を示している。図 17 の結果は表 1 の機能を満たし、本回路が機能パスゲートとして動作可能であることがわかる。また、動作 C において、 $V_{fg}$  はグラウンド電位または電源電位の 2 値をとるため、データバスでの遅延が FGFP を用いた MC-switch に比べ大幅に減少させることが可能である。

この回路を用いた MC-switch は図 9 に示すように、2 つの機

表 2 MC-SB の構成に必要なトランジスタ数

	トランジスタ数	キャパシタ数
SRAM セルを用いた	4300	0
MC-SB		
強誘電体を用いた	3680	280
MC-SB		

能パスゲートが並列に接続している回路と同様に、図 14 の回路のバストラジスタを並列接続した回路である。

表 2 に  $10 \times 10$  のクロスバー構造のマルチコンテキストスイッチブロック (MC-SB) を構成するために SRAM セルを用いた場合 (図 2) と強誘電体キャパシタを用いた場合 (図 9 の各 FGFP の代わりに図 14 の回路を使用した場合) とで必要なトランジスタ数の比較をする。表 2 より、強誘電体キャパシタを用いた MC-SB のトランジスタ数は、SRAM を用いた MC-SB の約 86% で構成できることがわかる。また、強誘電体キャパシタを用いた MC-SB では強誘電体キャパシタが 280 個必要だが、強誘電体キャパシタは CMOS ロジックの上層部に作成するため、そのための面積は必要ない。

#### 4. むすび

本稿では、強誘電体機能パスゲートを用いた MC-switch を提案した。提案した MC-switch を用いることにより、強誘電体キャパシタのリーク電流の問題を解消し、従来の FGFP におけるデータパスでの遅延の問題を解消した。今後、強誘電体キャパシタの安定した読み出しを求め、強誘電体キャパシタからデータを読み出した後に書き込む動作について研究を行う必要がある。また、更なる小面積化の為に、強誘電体キャパシタの読み出し・書き込み回路について他の MC-switch との共有化について研究を行う必要がある。

#### 謝 辞

本研究はローム株式会社の協力で行われたものである。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社の協力で行われたものである。

#### 参考文献

- [1] A. Dehon, "Dynamically programmable gate arrays: A step toward increasing computational density," In the Fourth Canadian Workshop on Field-Programmable Devices, pp.47-54, 1996
- [2] S. Trimberger, D. Carberry, A. Johnson and J. Wong, "A Time-multiplexed FPGA," Proc. of FCCM'97, pp.22-28, 1997
- [3] T. Hanyu, M. Kameyama, "Multiple-Valued Logic-in-Memory VLSI Architecture Based on Floating-Gate-MOS Pass-Transistor Logic," IEICE Trans. Electron, Vol.E82-C, No.9, 1999
- [4] M. Hariyama, W. Chong, S. Ogata, M. Kameyama, "Novel Switch Block Architecture Using Non-Volatile Functional Pass-gate for Multi-Context FPGAs," IEEE Computer Society Annual Symposium on VLSI, pp.46-50, 2005
- [5] Y. Nakatani, M. Hariyama, M. Kameyama, "Switch Block Architecture for Multi-Context FPGAs Using Hybrid Multiple-Valued/Binary Context switching Signals," ISMVL2006, CDROM, 2006

- [6] 中谷好博, 張山昌隆, 亀山充隆, "強誘電体機能パスゲートを用いたマルチコンテキスト FPGA のアーキテクチャ" 電子情報通信学会集積回路研究会 (信学技報), ICD2006-143, pp.1-6, 2006
- [7] A. Sheikholeslami, P. Glonn Gulak, H. Takauchi, H. Tamura, H. Yoshioka, T. Tamura, "A Pulse-Based, Parallel-Element Macromodel for Ferroelectric Capacitors," IEEE Trans. Ultrasonics, Ferroelectrics, and Frequency Control, Vol.47, No.4, pp.784-791, July 2000
- [8] T. Tamura, Y. Arimoto, H. Ishiwara, "A parallel Element Model for Simulating Switching Response of Ferroelectric Capacitor," IEICE Trans. Electron., Vol.E84-C, No.6, pp.785-790, June 2001