

# 実回路の経年速度劣化測定結果の環境変動補正手法

島村光太郎<sup>†</sup> 竹原剛<sup>†</sup> 池田尚弘<sup>†</sup>

半導体の微細化の進行に伴い、経年速度劣化による回路の遅延時間増大量が拡大し、製造されたチップの信頼性を脅かす要因となっている。経年速度劣化による遅延時間増大量は、回路構成とワークロードに依存することが報告されているが、既存の評価結果はいずれもシミュレーションに基づくものであり、実回路で現実的なワークロードを実行して劣化による遅延時間の増大量を測定した例は報告されていない。一方、筆者のグループでは、実回路の劣化量の回路構成とワークロード依存性を測定可能な精度を実現する実回路のディレイ測定手法を提案している。この手法を用いて劣化量を測定する場合、温度などの環境変動によりクリティカルパスの遅延時間が変動すると、正しく劣化量を評価することができない。本論文では、劣化を抑制したリング発振器の周波数の変動を用いて環境変動を検出し、クリティカルパスの遅延時間を補正する手法を提案する。提案手法では、リング発振器の周波数とクリティカルパスの周波数の関係を直線で近似し、近似直線を用いて環境変動のクリティカルパス周波数への影響を補正する。65nm 低消費電力プロセスのテストチップでの劣化量測定結果に提案手法を適用したところ、劣化量を関数で近似した場合の誤差を平均で 68%削減できるという結果が得られた。

## Method to Correct the Effect of Environmental Condition Fluctuation on Real Circuit Delay Degradation Measurement Results

Kotaro Shimamura<sup>†</sup> Takeshi Takehara<sup>†</sup> Naohiro Ikeda<sup>†</sup>

With the progress of semiconductor process miniaturization, delay degradation by aging increases and threatens the reliability of fabricated chips. The amount of delay degradation is known to be circuit and workload dependent, but previous evaluations are based on simulations, and delay degradation measurement of real circuit under realistic workload has not been reported yet. The authors have already proposed real circuit delay measurement method, which achieves enough accuracy to measure circuit and workload dependent delay degradation. When measuring degradation by the proposed method, the variation of the environmental conditions such as temperature causes critical path delay variation, which leads to inaccuracies of degradation measurement results. This paper proposes a method to detect environmental condition variation by measuring frequency variation of ring oscillator with small degradation, and to correct critical path delay. In the proposed method, the relationship between ring oscillator frequency and critical path frequency is approximated by a linear function, and the critical path frequency variation caused by environmental condition fluctuation is corrected by utilizing the linear function. The proposed method has been applied to the degradation measurement results of 65nm low power process test chip, and has achieved 68% reduction of degradation approximation error.

### 1. はじめに

半導体の微細化の進行とともに、HCI (Hot Carrier Injection), NBTI (Negative Bias Temperature Instability), PBTI (Positive Bias Temperature Instability)といった経年速度劣化によるディレイ増加量が增大する傾向にある。製造されたチップの信頼性を確保するためには、経年速度劣化によるディレイ増加量を把握し、誤動作が発生しない様に適切なマージンを確保する必要がある。経年速度劣化によるディレイ増加量は回路構成と回路で実行するワークロードに依存することが知られている 1)2)3)。しかしながら、既存の評価結果は基本的な回路の測定結果に基づいて構築した劣化モデルを使用したシミュレーションによるものであり、実回路で現実的なワークロードを実行して経年速度劣化量を測定した例は報告されていない。一方、筆者のグループでは、実回路で現実的なワークロードを実行した時の経年速度劣化量を測定するために必要な精度を実現する実回路のディレイ測定手法を提案している 4)5)。この手法を用い

て劣化量を測定する場合、温度などの環境変動によりクリティカルパスの遅延時間が変動すると、正しく劣化量を評価することができない。

劣化量測定において環境変動による遅延変動を補正する手法に関しては、複数の既存研究がある。文献 6)では、劣化量を測定する前にクリティカルパスの遅延時間の温度依存性を測定し、温度と遅延時間の関係を直線で近似する。この近似直線と、劣化量測定時の温度センサの出力値を用いて、クリティカルパスの遅延時間に温度変動が与える影響を補正する手法を採用している。温度センサには劣化の起こりにくいリング発振器(以下、リング発振器を RO と表記する)を使用することで、温度センサの劣化による誤差拡大を防止する手法を提案している 7)。文献 6)の手法は、複数のクリティカルパスで遅延時間の温度依存性が異なっても、それぞれのパスの温度依存性を事前に測定しておけば温度の補正が可能である。一方、クリティカルパスの遅延時間の温度依存性を測定するために、温度を高精度で制御できる装置が必要となるのが難点である。

文献 8)では、劣化の起こりにくい RO(以下センサ RO)を環境変動のセンサとして使用している。センサ RO と劣化

<sup>†</sup> (株)日立製作所  
Hitachi, Ltd.

測定対象の RO の周波数の時間変動を測定し、両者の時間変動の差を取ることで、測定対象の RO の周波数に環境変動が与える影響を補正する手法を採用している。この方法は、事前にセンサ RO の環境依存性の測定を行う必要が無い点が文献 6)の手法より優れている。一方、センサ RO と遅延時間の環境依存性が異なるクリティカルパスに適用することはできないのが難点である。

本論文では、文献 6)と文献 8)の手法を組み合わせた手法を提案する。具体的には、文献 8)と同様に、センサ RO の周波数の時間変動を使用して劣化測定対象のクリティカルパスの遅延時間を補正するが、補正する際に文献 6)と同様にパス毎に近似直線を求めて補正を行う。これによって、事前にセンサ RO の環境依存性の測定を行う必要が無く、かつ、センサ RO と環境依存性が異なるクリティカルパスにも適用が可能となる。

以下、2章で 4)5)で提案した実回路のディレイ測定手法の概要、3章で提案する環境影響補正手法、4章でテストチップでの評価結果を述べる。

## 2. 実回路のディレイ測定手法

本章では、文献 4)5)で提案した実回路のディレイ測定手法の概要を説明する。本論文に記載する測定結果は、文献 4)5)で述べた 65nm 低電力プロセスのテストチップで測定したものである。

### 2.1 可変周波数動作

本手法では、実回路を可変動作周波数で動作させる(図 1)。図 1において、VFO は周波数設定を格納するレジスタを内蔵しており、VFO の出力の周波数はこの設定値によって制御される。詳細は省略するが、プロセス、電源電圧、温度(PVT)のばらつきに起因する周波数誤差は、外部に設けたカウンタで補正するため、VFO 内部には補正回路は有していない。

マルチプレクサ (MUX) は入力クロックと VFO の出力のいずれかを選択してクロック生成回路に出力する。入力クロックは固定周波数であり、PVT が worst の条件でもクロック生成回路や内部回路が正しく動作する周波数を選定する。入力クロックの周波数精度はディレイ測定精度に直接影響するため、高精度なクロック源からクロックを入力するのが好ましい。テストチップの測定では、水晶発振子を使用した。

クロック生成回路は内部回路へのクロックを生成する。テストチップではクロック生成回路は入力を 6 倍に逓倍する機能を有しており、これによって VFO の出力の 6 倍の分解能でディレイを測定することができる。

図 2 は実回路のディレイ測定概念図である。VFO の周波数が向上するとクロック周期が短くなる。図 1 の MUX で VFO の出力を選択した場合、低い周波数では内部回路は正しく動作するが、高い周波数では内部回路で誤動作が

発生する。誤動作の発生しない最大の周波数が、その動作で活性化される最悪クリティカルパスのディレイ値に相当する。特定のパスのディレイを測定するためには、そのパスが活性化され、かつ、活性化されるクリティカルパスの中でディレイが最大となる動作を行わなければならない。テストチップの測定においては、測定したいクリティカルパス毎にそのパスを活性化するテストパターンを作成して測定を行った。

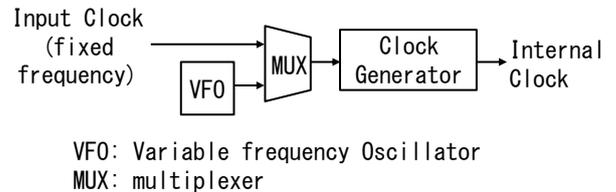


図 1 実回路の可変周波数動作

Figure 1 Variable Frequency Operation of Real Circuit.

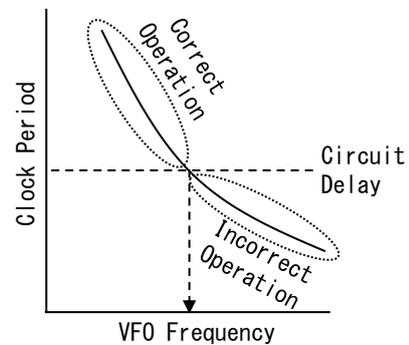


図 2 実回路のディレイ測定概念図

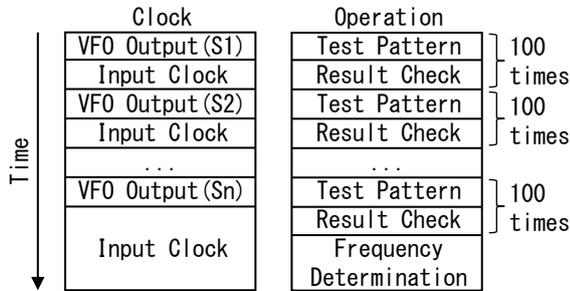
Figure 2 Conceptual Diagram of Real Circuit Delay Measurement.

### 2.2 テストパターンの実行

回路のディレイを測定するためには、内部回路を様々な周波数で動作させる必要がある。本論文で回路のディレイを測定した手順を図 3 に示す。まず最初に、VFO の周波数設定値を  $S_1$  として VFO の出力を選択する。この状態でテストパターンを実行し、結果をメモリに書き込む。テストパターンは、複数の測定対象のクリティカルパスを活性化させる複数のテストケースを含む。次に、入力クロックを選択し、メモリに格納されたテストパターンの実行結果を読み出して、結果が正しいかどうかを判定する。この 2 つのステップを 100 回繰り返す。これは、ランダムなディレイの変動によって発生する誤差を削減するためである。更に、同様の処理を VFO の周波数設定値  $S_2, \dots, S_n$  に対して繰り返す。VFO の設定値 ( $S_1, S_2, \dots, S_n$ ) は、全てのテストケースが 100% 正しく動作する周波数から、全てのテストケースで 100% 誤動作が発生する周波数までをカバーする様に選択する。その後、テストケース毎に結果が不正となる確率が 50% となる周波数を求める。この周波数の逆数が、そのテストケースで活性化されるクリティカルパス

のディレイ(ランダムな変動の中間値)に相当する。

速度劣化量を求めるためには、ディレイの時間変化を測定する必要がある。本論文では、図4に示した通り、24時間に1回ディレイの測定を行い、それ以外の時刻では実アプリケーションを模擬したワークロードを実行した。これによって、実アプリケーションを実行した時の劣化量を高精度に測定することが可能となる。



S1, S2, ..., Sn: VFO Frequency Setting

図3 ディレイ測定手順

Figure 3 Delay Measurement Procedure.

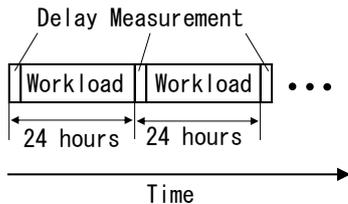


図4 一定間隔でのディレイ測定

Figure 4 Delay Measurement at Constant Intervals.

### 3. 環境影響補正手法

#### 3.1 環境変動のセンサ

環境条件の変動をモニタするセンサの特性が経時変化を起こすと環境影響補正の誤差となるため、経時変化の少ない回路をセンサとして使用した方が好ましい。本論文では、文献7)や8)で提案されている、経年速度劣化を抑制したリング発振器をセンサとして採用する。具体的な回路構成を図5に示す。

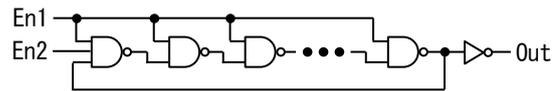
図5(a)において、センサを使用しない時にはEn1とEn2はLowレベルとなっている。この状態では、全てのNANDセルの出力がHighレベルとなる。センサを使用する場合には、まずEn2をLowレベルのままEn1をHighレベルとする。これによって、NANDセルの出力は左から順にHighとLowが交互に現れる。次にEn2をHighレベルとすると、NANDセルの出力が左から順に反転し、発振が開始される。

センサを使用するのは、図4に示した24時間に1度のディレイ測定の期間のみであり、この期間に約1000回センサの測定を行う。En1, En2がHighレベルとなるのは、センサの測定1回あたり約512μsであり、約1000回の累計で約512msとなる。この時間は、全稼働期間の約17万分の

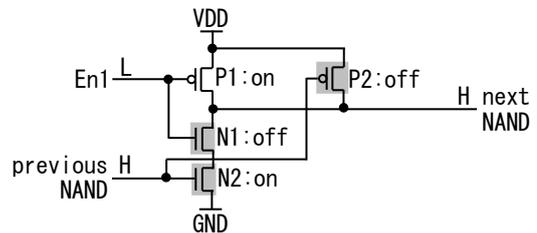
1と非常に短い。従って、センサを使用する期間の経年速度劣化の影響は小さいと考えられる。

一方、センサを使用していない期間の各NANDセルの状態は図5(b)の通りである。4つあるトランジスタのうち、発振周波数に影響与えるのはN1, N2, P2の3つであるが、このうちN1とP2はoffであるため、劣化が発生しない。N2はonであるため劣化が発生するが、65nmプロセスではNMOSの劣化はPMOSに比べて小さいと言われており、全体として見ると劣化量は小さいと考えることができる。

なお、ディレイに影響を与える環境条件には温度と電源電圧があり、両者が独立に変動する場合には両者の変動を別々にモニタしないと環境影響補正の精度が低下する可能性がある。一方、本論文は電源電圧が外部の電源回路によって一定に保たれていることを前提とした。温度の変動によって電源回路にドリフトが発生して電源電圧が変動する可能性はあるが、電源電圧の変動は温度の変動に依存しているため、1つのセンサで環境影響を補正できると予想した。後述する通り、この予想は本論文で測定した温度変動の範囲内では妥当であると考えられる。



(a) Ring Oscillator Circuit Configuration



■: transistors which affect oscillation frequency

(b) State of Transistors in 2 Input NAND When En1 is Low

図5 環境条件をモニタするためのリング発振器

Figure 5 Ring Oscillator to Monitor Environmental

Conditions.

#### 3.2 センサを用いた環境影響の補正

図4に示した測定を室温で約300日間実施した。得られたデータの中から、図5に示したモニタ用リング発振器を512μs動作させた時の立ち上がりエッジのカウント数の推移を図6に、クリティカルパスの周波数の推移の例を図7に示す。なお、クリティカルパスの周波数とは、2.2節で説明した、誤動作確率が50%となる周波数である。また、周波数は図1のVFOの出力するクロックの周波数で表記した。クロック生成回路で6倍に逡倍されるため、内部回路に供給されるクロックの周波数は図7の6倍である。クリティカルパスの周波数の変動はセンサのカウント数の変動と類似しており、環境影響による周波数変動が大きいこ

とがわかる。

次に、モニターリング発振器のカウンタ数を使用して環境影響を補正する手法として、文献8)の手法を用いた場合の補正結果を図8に示す。図7に比べると環境変動の影響が大幅に削減されているものの、図6と類似の変動が残っており、補正が不十分である。これは、文献8)の方法はセンサと測定対象の回路に同一のセルを使用しており両者のディレイの環境変動への依存性が同一であるのに対して、図6のリング発振器と図7のクリティカルパスでは回路構成が異なっており、環境変動への依存性が異なることが原因であると考えられる。

そこで、両者の環境変動への依存性の違いを調べるため、

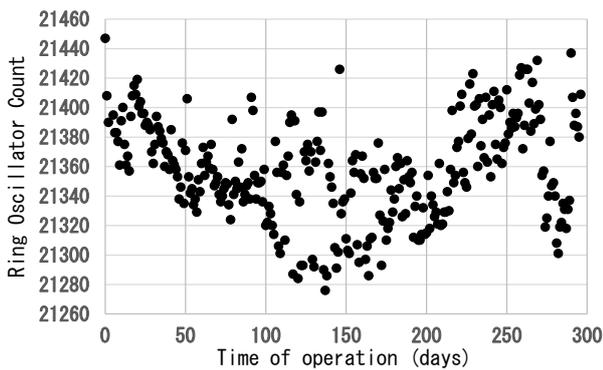


図6 モニターリング発振器のカウンタ数の推移

Figure 6 Change of Monitoring RO Count.

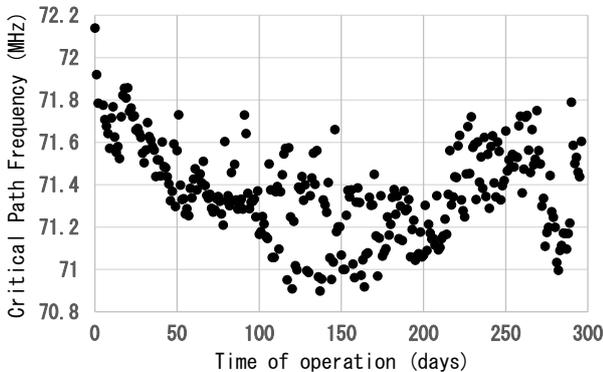


図7 クリティカルパスの周波数の推移

Figure 7 Change of Critical Path Frequency.

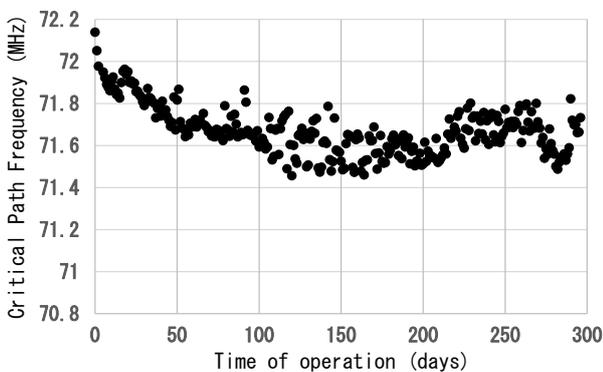


図8 クリティカルパス周波数の補正結果(従来手法)

Figure 8 Critical Path Frequency Correction (Conventional).

リング発振器のカウンタ数とクリティカルパスの周波数の関係をプロットした結果を図9に示す。ここで、リング発振器は経年速度劣化が抑制されているのに対し、クリティカルパスでは劣化が進行するため、時間の経過とともに測定リング発振器のカウンタ数が同一でもクリティカルパスの周波数は低下すると考えられる。この傾向を把握するため、測定期間の前半と後半で異なる記号を割り当てた。図9より、前半は経年速度劣化の影響が大きい、後半は経年速度劣化の影響が小さく、データがほぼ直線に乗っていることがわかった。従って、後半のデータを直線で近似し、近似直線を使用してクリティカルパスの周波数を補正することで、環境変動への依存性を補正できると考えられる。また、測定結果がほぼ直線に乗っていることから、測定した温度変動の範囲内では1つのセンサのみでも高精度に環境変動を補正できることが確認できた。

以下、提案する補正手法の詳細を説明する。まず、測定期間の後半のデータを直線で近似した時のリング発振器のカウンタ数を  $ca$ 、クリティカルパスの周波数を  $fa$  とし、近似式をカウンタ数と周波数の平均値を基準として式(1)の通り表現する。

$$fa(ca) = p \times (ca - q) + r \quad (1)$$

$p$ : 傾き

$q$ : 測定データのリング発振器カウンタ数の平均値

$r$ : 測定データのクリティカルパス周波数の平均値

次に、補正対象の周波数を  $fi$ 、対応するカウンタ値を  $ci$  とし、式(1)を用いてカウンタ数が  $q$  の時の周波数を推定して補正後の周波数とする。補正後の周波数を  $fc$  とすると、 $fc$  の計算式は式(2)の通りである。

$$fc = fi \times (fa(q) / fa(ci)) \quad (2)$$

式(1)(2)を用いて図7の周波数を補正した結果を図10に示す。図8に比べて環境変動の影響が小さく、経年速度劣化の傾向が明確となった。なお、式(1)の直線が原点を通過する( $ca=0$ の時  $fa=0$ )場合には、センサとクリティカルパスの環境変動依存性が同一であるため、従来手法と提案手法

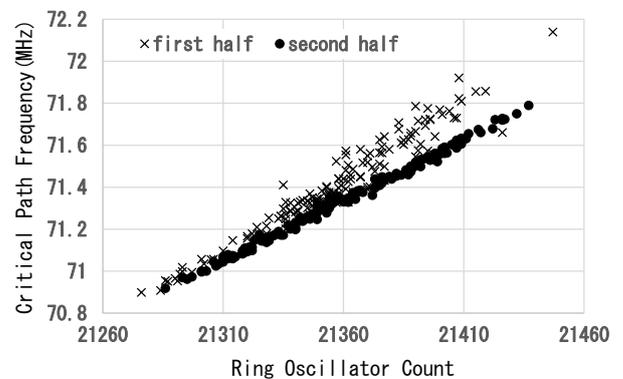


図9 リング発振器のカウンタ数とクリティカルパス周波数の関係

Figure 9 Relationship Between RO Count and Critical Path Frequency.

の効果は同等である。式(1)の直線と原点との距離が大きければ大きいほど提案手法の効果は大きくなる。

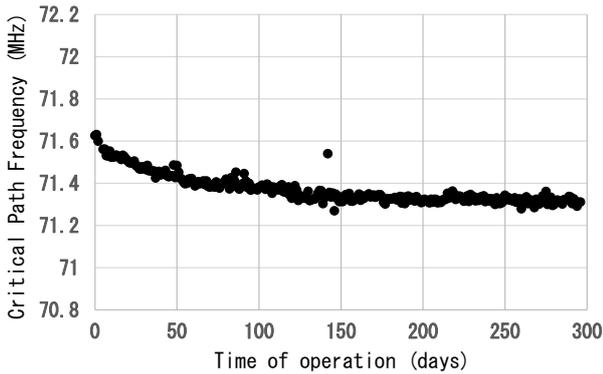


図 10 クリティカルパス周波数の補正結果(提案手法)  
Figure 10 Critical Path Frequency Correction (Proposed).

#### 4. 環境影響補正手法の評価

##### 4.1 稼働時間と周波数の相関係数を用いた評価

クリティカルパスに経年速度劣化が発生している場合、稼働時間と周波数の間には負の相関がある。一方、環境変動に起因する周波数の変動は、負の相関を弱める働きがある。従って、環境影響の補正によって負の相関が強まる効果があると考えられる。

測定したクリティカルパスの中には、経年速度劣化が見られないものが多数存在しているため、補正前、従来補正後、提案補正後のいずれかで相関係数が-0.7以下の強い負の相関があるパスに限定して、従来の補正手法と提案した補正手法の相関係数を比較したところ、図 11 の結果が得られた。従来手法で相関係数が-0.2から-0.7の間にあった多数のパスが、提案手法では-0.7以下に改善していること

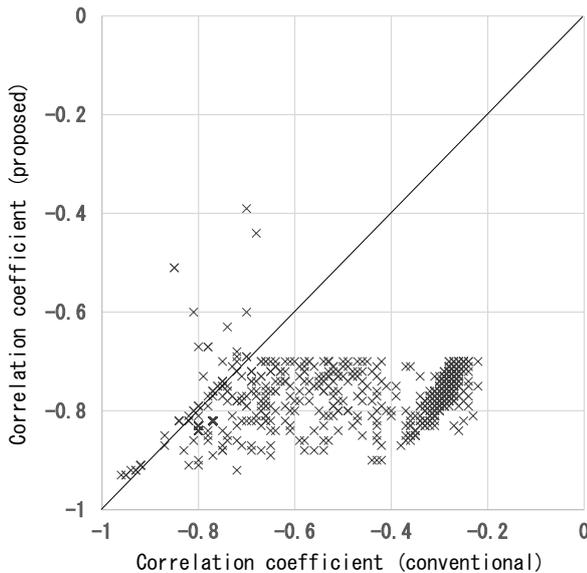


図 11 相関係数の比較(従来補正手法と提案補正手法)  
Figure 11 Comparison of Correlation Coefficient (Conventional vs Proposed).

から、提案手法の効果大きいことがわかる。従来手法では相関係数が-0.7以下のパスが454パスであったのに対し、提案手法では1014パスと大幅に増加した。

##### 4.2 劣化量関数近似の誤差を用いた評価

経年速度劣化にはいくつかのメカニズムがあるが、長期稼働後の劣化量は稼働時間の  $n$  乗で近似できるという説が有力である 9)。 $n$  の値は文献 9) では 0.14 としているが、フィッティングパラメータとしている例もある 8)。ここでは、 $n$  をフィッティングパラメータとして、クリティカルパスの周波数  $f$  を稼働時間  $t$  の関数(3)で近似することを考える。

$$f(t) = f_0 / (1 + a \times (t + b)^n) \quad (3)$$

$f_0$ : 劣化の無い時の周波数

$b$ : 測定開始時の劣化量を稼働時間に換算したもの

$a, n$ : 劣化の速度を表すフィッティングパラメータ

なお、経年速度劣化はトランジスタのしきい値電圧が変動する現象と言われているが、ディレイの変動は1次近似ではしきい値電圧の変動に比例すると考えられるため、式(3)ではディレイの変動がしきい値電圧の変動に比例すると仮定した。また、通常は測定開始時点  $t=0$  で近似するケースが多いが、式(3)では測定開始時点で劣化が進行している可能性を考慮した近似式とした。図 10 にもある通り、測定データの中には極端なはずれ値が存在する場合があるため、はずれ値は除外してフィッティングを行うこととした。図 10 のデータを式(3)でフィッティングした結果を図 11 に示す。縦軸を拡大したため誤差が大きく見えるが、RMSE(Root Mean Square Error)は0.024%であり、精度よく近似できていると言える。

環境変動に起因する周波数の変動は、式(3)による近似の誤差を増大させる働きがあるため、環境変動の補正によって近似誤差が減少する効果があると考えられる。従来の補正手法と提案した補正手法に関して、補正後のデータで式(3)のフィッティングを行い、パス毎のフィッティング誤差(RMSE)を比較したところ、図 13 の結果が得られた。なお、図 11 と同様、補正前、従来補正後、提案補正後のいずれかで相関係数が-0.7以下の強い負の相関があるパスに限定

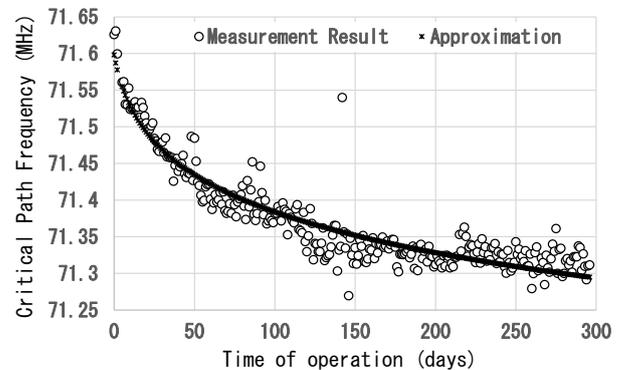


図 12 稼働期間の  $n$  乗を用いた劣化量の近似  
Figure 12 Approximation of Degradation by  $n$ -th Power of Time.

している。提案手法によりフィッティング誤差が大幅に減少していることがわかる。対象となるすべてのパスの平均を取ると、従来手法が 0.112MHz に対して、提案手法は 0.036MHz となり、フィッティング誤差を 68%削減することができた。

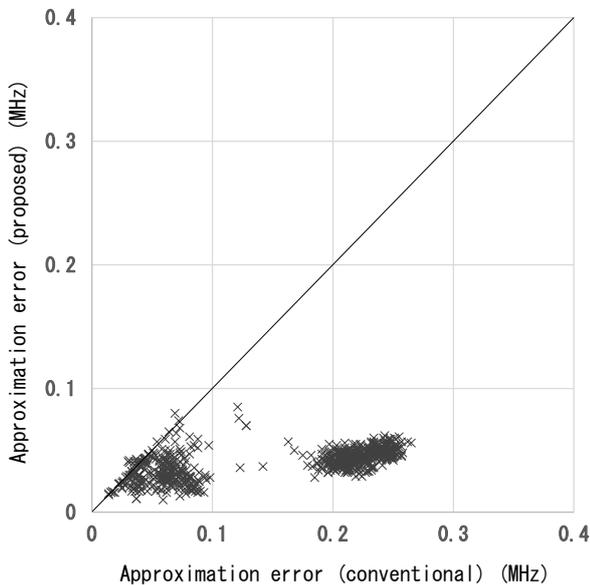


図 13 近似誤差の比較(従来補正手法と提案補正手法)

Figure 13 Comparison of Approximation Error (Conventional vs Proposed).

## 5. おわりに

本論文では、実回路の経年速度劣化量を測定する際に、温度などの環境変動によるクリティカルパスの遅延時間の変動を補正する手法を提案した。提案方式では、劣化を抑制したリング発振器の周波数の変動を用いて環境変動を検出し、クリティカルパスの遅延時間を補正する。リング発振器とクリティカルパスの環境変動依存性の違いに対応できるようにするため、リング発振器のカウント数とクリティカルパスの周波数の関係を直線で近似し、近似直線を用いて環境変動のクリティカルパス周波数への影響を補正する。65nm 低消費電力プロセスのテストチップでの劣化量測定結果に提案手法を適用したところ、相関係数により明確に劣化が発生していると判断できるパス数が 454 パスから 1014 パスに増加した。また、劣化量を稼働時間の  $n$  乗の関数で近似した場合の誤差を、平均で 68%削減できるという結果が得られた。

**謝辞** 実回路のディレイ測定手法に関して有益なご助言を頂いた梶原誠司氏、佐藤康夫氏、三宅庸資氏、井上美智子氏、三浦幸也氏、大竹哲史氏、畠山一実氏、米田友和氏、及び、テストチップの実装にご協力頂いた下村哲也氏、佐藤新之介氏、松本浩希氏に謹んで感謝の意を表する。

## 参考文献

- 1) W. Wang, et al., "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 18, No. 2, pp. 173-183, Feb. 2010.
- 2) H. Keukner, et al., "NBTI Aging on 32-Bit Adders in the Downscaling Planar FET Technology Nodes," 2014 17th Euromicro Conference on Digital System Design, pp. 98-107, Aug. 2014.
- 3) E. Mintarno et al., "Workload Dependent NBTI and PBTI Analysis for a sub-45nm Commercial Microprocessor," IEEE International Reliability Physics Symposium(IRPS), pp. 3A.1.1-6, Apr. 2013.
- 4) 島村光太郎, 池田尚弘: オンチップの高分解能周波数発振器を用いた可変周波数動作による実回路のディレイ測定手法, DA シンポジウム 2019
- 5) Kotaro Shimamura and Naohiro Ikeda, "Real Circuit Delay Measurement Method by Variable Frequency Operation with On-Chip Fine Resolution Oscillator," IPSJ Transactions on System LSI Design Methodology, Vo. 13, pp. 21-30, Feb. 2020.
- 6) Yousuke Miyake, Yasuo Sato and Seiji Kajihara, "On-Chip Delay Measurement for In-Field Test of FPGAs," IEEE 24th Pacific Rim International Symposium on Dependable Computing (PRDC), Dec. 2019.
- 7) Yukiya Miura, Yasuo Sato, Yousuke Miyake and Seiji Kajihara, "On-chip temperature and voltage measurement for field testing," 17th IEEE European Test Symposium (ETS), May 2012.
- 8) Ryo Kishida, Takuya Asuke, Jun Furuta and Kazutoshi Kobayashi, "Extracting BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive ring Oscillators," IEEE 32nd International Conference on Microelectronic Test Structures (ICMETS), Mar. 2019.
- 9) Chenyue Ma, Hans Jürgen Mattausch, Kazuya Matsuzawa, Seiichiro Yamaguchi, Teruhiko Hoshida, Masahiro Imade, Risho Koh, Takahiko Arakawa and Mitiko Miura-Mattausch, "Universal NBTI Compact Model for Circuit Aging Simulation under Any Stress Conditions," IEEE Transactions on Device and Materials Reliability, Vol. 14, No. 3, pp. 818-825, Sep. 2014.