研究報告 2020-ARC-239

※Windows の方は[Ctrl]キーを，Mac の方は[option]キーを押しながらリンク先をクリックしてください．

1 月 22 日（水）

■アプリケーション [11:00-12:15]

(1) CLAHE の低価格 Zynq ボードを用いた高位合成による実装
本田 紘規，ウェイ カイジ，新井 正敏，天野 英晴

(2) ベクトルプロセッサから FPGA へのタスクオフロードに関する一考察
土方 康平，上野 知洋，江川 隆輔，滝沢 寛之，佐野 健太郎

(3) リアルタイム処理用 DDR4SDRAM コントローラ
原村 颯，山崎 信行

■通信 [13:30-15:10]

(4) Android OS 向け MPI 実行環境における NAT 越え機能の検討
新里 将大，大津 金光，横田 隆史

(5) 最小直径ネットワークトポロジのラック配置最適化
河野 隆太，松谷 宏紀，鯉渕 道紘，天野 英晴

(6) ルータのマルチ FPGA システムへの実装と性能評価
清水 智貴，伊藤 光平，飯塚 健介，山内 脩吾，弘中 和衛，天野 英晴

(7) マルチ FPGA における複数スイッチを使用した際の性能評価
伊藤 光平，飯塚 健介，山内 脩吾，弘中 和衛，胡 曜，鯉渕 道紘，天野 英晴

■テスト・暗号化 [15:25-16:40]

(8) 等価ミュータント生成による C コンパイラのテストバリエーションの増強
前田 紘輝，石浦 菜岐佐

(9) データ生成プログラムを利用したデータ項目の型推定に基づく変異ベースファジング
樋口 瑛子，石浦 菜岐佐，難波 学之

(10) アフィン変換を用いた論理暗号化手法について
松永 裕介

■ニューラルネットワーク [16:55-18:10]

(11) ハードウェア実装に適した畳込みニューラルネットワークのフィルタに関する比較
秋元 宏介，佐田 悠生，佐藤 真平，中原 啓貴

(12)アンサンブル学習を用いたスパース CNN の FPGA 実装に関して
倉持 亮佑, 佐田 悠生, 下田 将之, 佐藤 真平, 中原 啓貴

(13)畳み込みニューラルネットワークを用いた単眼深度推定の FPGA 実装について
佐田 悠生, 下田 将之, 佐藤 真平, 中原 啓貴

1 月 23 日(木)

■機械学習 [9:30-10:45]
(14)オンデバイス学習を用いた協調型モデル更新の高効率化
伊藤 怜, 塚田 峰登, 松谷 宏紀

(15)オンライン逐次学習アルゴリズムを用いた強化学習の軽量化
渡邉 寛悠, 塚田 峰登, 松谷 宏紀

(16)コーナー検出プログラムのニューラルネットワーク化による高速化と出力精度に関する検討
竹内 一登, 谷本 輝夫, 川上 哲志, 井上 弘士

■回路設計技術 [11:00-12:15]
(17)依存グラフのスケジュール変換による畳み込み処理向けメモリアクセス最適化
外虚 尭之, 瀬戸 謙修

(18)FreeRTOS を用いたシステムのフルハードウェア合成
中野 和香子, 石浦 菜岐佐, 冨山 宏之, 神原 弘之

(19)RISC-V 機械語プログラムからのバイナリ合成
浜名 将輝, 石浦 菜岐佐

■FPGA システム [13:30-15:10]
(20)Linux が動作する RISC-V コンピュータシステムの設計と Verilog HDL による実装
三浦 順也, 宮崎 広夢, 吉瀬 謙二

(21)5 段パイプラインの RISC-V ソフトプロセッサの設計と実装
宮崎 広夢, 金森 拓斗, MdAshraful Islam, 吉瀬 謙二

(22)コンポーネント指向 FPGA 開発環境及び開発自動化ツールの提案
新井 健太, 大川 猛, 大津 金光, 横田 隆史

(23)簡易ディジタルスパイキングニューロンとその FPGA 実装に関する一考察
米田 友洋

■アクセラレーション [15:25-16:40]
(24)FPGA を用いたストリームデータ集約演算のウィンドウサイズ拡大
大坂 誠樹, 吉見 真聡, 策力木格, 吉永 努

(25) 動画認識フロントエンドを想定した特徴抽出専用ハードウエアの構想
中島 康彦

(26) 2 次元 LiDAR SLAM アルゴリズムの FPGA による高速化
杉浦 圭祐, 松谷 宏紀

■招待講演 [16:55-20:30]
(27) 回路による計算の諸側面
中野 浩嗣

1 月 24 日(金)

■ネットワーク [9:30-10:45]
(28) RFSoC を使った信号処理システム開発の一考察
庭瀬 稜平, 根来 誠, 河合 優太, 三好 健文

(29) RFSoC を用いた電子スピン量子ビット実験
河合 優太, 小出 貴斗, 今若 寛己, 宮西 孝一郎, 香川 晃徳, 根来 誠, 庭瀬 稜平, 三好 健文

(30) Qsys インターコネクトを用いた FPGA クラスタ向けネットワークの通信回路における仮想チャネル機能の実現
深瀬 尚久, 古市 晃久, 三浦 康之, 中尾 司ピエール

■GPU とマイクロアーキテクチャ [11:00-12:15]
(31) ソフトウェアスイッチによるマルチ GPU 深層学習のパラメータ集約
古川 雅輝, 井坪 知也, 松谷 宏紀

(32) CUDA を用いたハッシュ関数 Keccak に対応するレインボーテーブル生成の高速化
グェンダット トゥオン, 岩井 啓輔, 松原 隆, 黒川 恭一

(33) Reservation Station における優先度付き資源管理
中別府 将太, 山崎 信行

■回路設計・最適化 [13:30-15:10]
(34) 逆正弦の高基数 CORDIC アルゴリズムの FPGA 上での実現
松岡 裕志, 高木 直史, 高木 一義

(35) 多様な画像への応用に向けたストカスティック数を用いたエッジ検出手法
篠崎 直人, 宇佐美 公良

(36) 近似乗算器最適化へのアプローチ
張 新培, Amir Masoud Gharehbaghi, 藤田 昌宏

(37) Partial synthesis method based on Column-wise verification for integer multipliers
Jian Gu, Amir Masoud Gharehbaghi, Masahiro Fujita

■再構成回路 [15:25-17:05]

(38) シフトレジスタによる SRAM 型とフラッシュメモリ型 FPGA のソフトエラー耐性の比較
河野 雄哉, 附田 悠人, 古田 潤, 小林 和淑

(39) 光再構成型ゲートアレイのマルチコンテキストスクラビングの耐放射線試験
高木 雄介, 渡邊 実

(40) 耐放射線光再構成型ゲートアレイのイメージセンサ応用
喜夛本 凌平, 渡邊 実

(41) SD フラッシュメモリの製造技術を用いた積層型論理回路設計法
鈴木 章矢, 渡辺 重佳